




Gowin 先进先出队列(FIFO HS) 用户指南

IPUG760-1.2,2021-07-01

版权所有 © 2021 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2021/01/15	1.0	初始版本。
2021/02/04	1.1	更新第 4 章时序说明。
2021/07/01	1.2	<ul style="list-style-type: none">● 更新第 4 章 FIFO SC HS IP 信号时序图；● 添加第 5 章 FIFO HS IP 配置界面。

目录

目录	i
图目录	iii
表目录	v
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 FIFO 概述	3
2.1 FIFO 简介	3
2.2 FIFO HS/FIFO SC HS IP 简介	4
2.3 FIFO HS/FIFO SC HS IP 功能及特征	5
2.3.1 FIFO HS IP 功能及特征	5
2.3.2 FIFO SC HS IP 功能及特征	6
2.4 FIFO HS IP 最大频率和资源利用率	6
2.5 FIFO SC HS IP 最大频率和资源利用率	8
3 端口描述	10
3.1 FIFO HS IP 端口	10
3.2 FIFO SC HS IP 端口	11
4 时序说明	12
4.1 FIFO HS IP 信号时序	12
4.2 FIFO SC HS IP 信号时序	19
5 FIFO HS/FIFO SC HS IP 配置	26
5.1 FIFO HS IP 配置	26
5.2 FIFO SC HS IP 配置	30

6 参考设计 34

图目录

图 2-1 FIFO HS IP 结构示意图.....	4
图 2-2 FIFO SC HS IP 结构示意图.....	4
图 4-1 FIFO HS 配置.....	12
图 4-2 FIFO HS IP 配置时序.....	13
图 4-3 FIFO HS 配置.....	13
图 4-4 FIFO HS IP 配置时序.....	14
图 4-5 FIFO HS 配置.....	14
图 4-6 FIFO HS IP 配置时序.....	15
图 4-7 FIFO HS 配置.....	15
图 4-8 FIFO HS IP 配置时序.....	16
图 4-9 FIFO HS 配置.....	17
图 4-10 FIFO HS IP 配置时序.....	17
图 4-11 FIFO HS 配置.....	18
图 4-12 FIFO HS IP 配置时序.....	18
图 4-13 FIFO SC HS 配置.....	19
图 4-14 FIFO SC HS IP 配置时序.....	19
图 4-15 FIFO SC HS 配置.....	20
图 4-16 FIFO SC HS IP 配置时序.....	20
图 4-17 FIFO SC HS 配置.....	21
图 4-18 FIFO SC HS IP 配置时序.....	21
图 4-19 FIFO SC HS 配置.....	22
图 4-20 FIFO SC HS IP 配置时序.....	23
图 4-21 FIFO SC HS 配置.....	23
图 4-22 FIFO SC HS IP 配置时序.....	24
图 4-23 FIFO SC HS 配置.....	24
图 4-24 FIFO SC HS IP 配置时序.....	25

图 5-1 FIFO HS IP 配置界面 26

图 5-2 FIFO_SC HS IP 配置界面..... 30

表目录

表 1-1 术语、缩略语	1
表 2-1 FIFO HS/ FIFO SC HS IP 概览	5
表 2-2 未配置可选特性的 FIFO HS IP	7
表 2-3 已配置可选特性的 FIFO HS IP	8
表 2-4 未配置可选特性的 FIFO SC HS IP	9
表 2-5 已配置可选特性的 FIFO SC HS IP	9
表 3-1 FIFO HS IP 的 IO 端口列表	10
表 3-2 FIFO SC HS IP 的 IO 端口列表	11
表 5-1 FIFO HS IP 配置界面参数	27
表 5-2 FIFO SC HS IP 配置界面参数	31

1 关于本手册

1.1 手册内容

本手册主要描述 FIFO HS 的功能特性、端口、时序、相关配置及参考设计，旨在帮助用户快速了解 Gowin FIFO HS IP 的产品特点及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [DS821, GW1NS 系列 FPGA 产品数据手册](#)
- [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
- [DS841, GW1NZ 系列 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FIFO	First Input First Output	先进先出队列
IP	Intellectual Property	知识产权
RAM	Random Access Memory	随机存取存储器
LUT	Look-up Tables	查找表
GSR	Global System Reset	全局系统复位
ECC	Error Correcting Code	错误检查和纠正

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 FIFO 概述

2.1 FIFO 简介

FIFO 即 First In First Out 的缩写，是一种先进先出列队，外围控制逻辑负责对 FIFO 进行读写。此外，FIFO 还提供许多握手信号用于和外围控制逻辑交互。

当 FIFO 不满并且写使能信号有效时，数据在时钟上升沿被写入 FIFO 存储队列。满标志表示 FIFO 已满且将不再执行更多的写操作。

当 FIFO 不空并且读使能信号有效时，数据在时钟上升沿时从 FIFO 存储队列读出。空标志表示 FIFO 已空且将不再执行更多的读操作。

不合法的请求不会影响 FIFO 本身。如在 FIFO 为空时发起读请求或者在 FIFO 为满时发起写请求，该类操作不会影响 FIFO 中的数据，但相应操作会被忽略且上溢和下溢标志会置位。用户通过监控这两个信号来判断是否非法操作。同时，水位信号直接指示 FIFO 中有多少有效数据，用户也可设置不同阈值来自定义空满标志。

FIFO HS 分为同步 FIFO (FIFO SC HS IP)和异步 FIFO (FIFO HS IP)，其结构示意图分别如图 2-1、图 2-2 所示。

图 2-1 FIFO HS IP 结构示意图

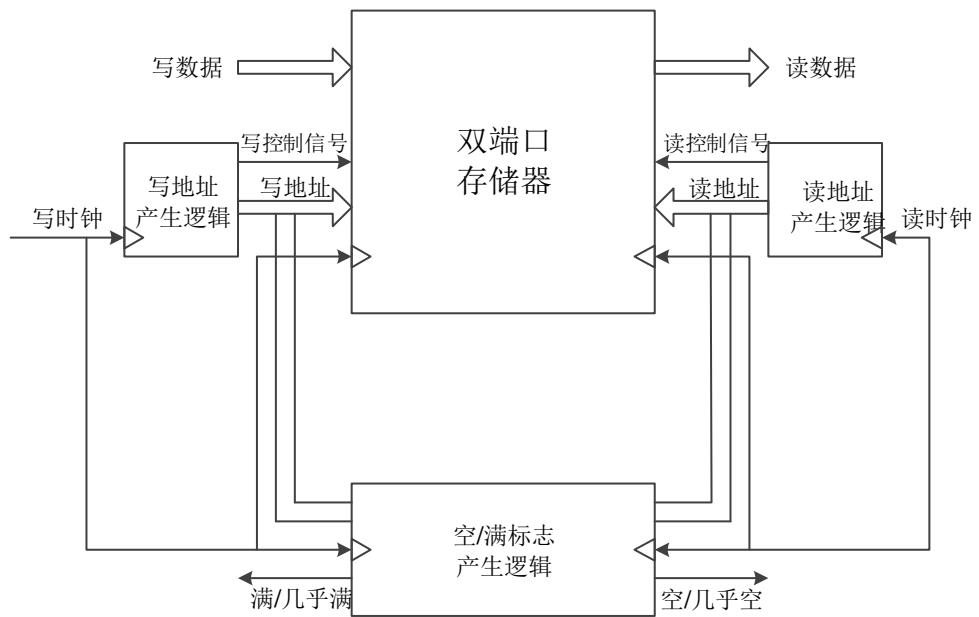
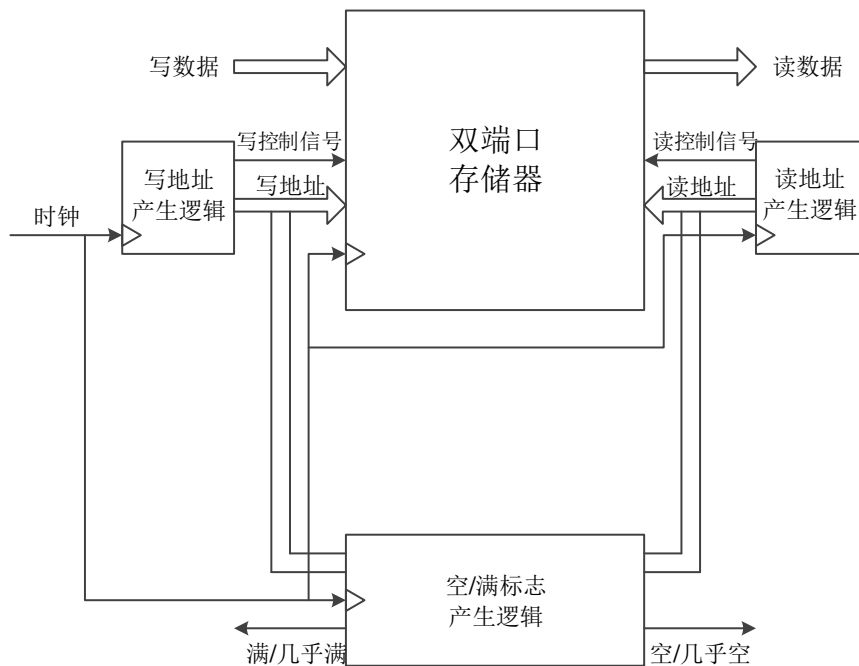


图 2-2 FIFO SC HS IP 结构示意图



2.2 FIFO HS/FIFO SC HS IP 简介

Gowin FIFO IP 分为同步 FIFO（FIFO SC HS）IP 和异步 FIFO（FIFO HS）IP。

- 同步 FIFO 的读端口和写端口信号均由一个时钟域控制；
- 异步 FIFO 的读写端口信号由两个独立的时钟域控制。

Gowin IP Core Generator 编译器用于生成单周期读写，端口可配置的 FIFO IP。端口配置是指可根据需要生成不同数据位宽和数据深度的 FIFO IP。

表 2-1 FIFO HS/ FIFO SC HS IP 概览

FIFO HS IP 与 FIFO SC HS IP	
IP 核应用	
逻辑资源	不同配置，不同数据位宽和数据深度下资源不同。
交付文件	-
设计文件	Verilog (encrypted)
测试设计流程	-
综合软件	GowinSynthesis [®]
应用软件	Gowin Software (V1.9.8Beta)

2.3 FIFO HS/FIFO SC HS IP 功能及特征

2.3.1 FIFO HS IP 功能及特征

Gowin 异步 FIFO HS IP 可完成异步时钟域不同位宽的数据传递和缓存功能，根据用户的不同需求配置不同的输出控制信号和数据结构。

主要特性如下：

- FIFO HS IP 内部存储结构的实现类型可配置，包括：Block SRAM、Shadow SRAM 和 LUT；
- 写数据深度可配置，深度值是 2^n ，最大为 65536；
- 写数据位宽可配置，大小为 1-256 bit；
- 读数据的深度可配置，深度值为 2^n ，最大为 65536；
- 读数据位宽=写数据深度 x 写数据位宽/读数据深度，不可配置。

注！

上述公式须能够整除，这也限制了读数据深度的最大值；

- 读写数据数目的输出可配置，可以选择输出读写数据的数目，也可以选择不出输出；
- 复位功能可配置，可以选择不使用复位（由 GSR 完成复位），可以选择一个复位，也可以选择读写分别复位；
- 标志信号输出可选，可以选择输出半空、半满标志，也可以选择不出半空、半满标志，输出的半空半满信号与原 FIFO IP 相比晚一个周期；
- 若选择输出半空、半满标志，则半空、半满的阈值可以进行配置，可以配置为：静态的单个常量阈值、静态的双常量阈值、动态的单个输入阈值、动态的双输入阈值；

- ECC 校验功能可选。当异步 FIFO HS IP 内部的存储结构由 Block SRAM 实现，且读写数据位宽相等并且小于等于 64bit 时，ECC 校验才可选；
- 输出寄存器功能可配置。若选择输出寄存器功能，则读使能（RdEn）控制可选。若选择读使能控制，则输出寄存器受 RdEn 控制，最后一个数据不能输出。若选择输出寄存器功能，不选择读使能控制，则读数据输出晚一个周期，最后一个数据会输出。
- 支持 First-Word Fall-Through 功能，但时序较差。

2.3.2 FIFO SC HS IP 功能及特征

GOWIN 同步 FIFO SC HS IP 可完成相同时钟域下，相同位宽和深度数据的传递和缓存，根据用户的不同需求，可配置输出不同控制信号。

主要特性如下：

- FIFO SC HS IP 内部存储结构的实现类型可配置，包括：Block SRAM、Shadow SRAM 和 LUT；
- 写数据深度可配置，深度值是 2^n ，最大为 65536；
- 写数据位宽可配置，大小为 1-256 bit；
- 读数据位宽和深度与写数据位宽和深度相等；
- 写数据数目的输出可配置，可以选择输出写数据的数目，也可以选择无输出；
- 标志信号输出可选，可以选择输出半空、半满标志，也可以选择无输出半空、半满标志；
- 若选择输出半空、半满标志，则半空、半满的阈值可以进行配置，可以配置为：静态的单个常量阈值、静态的双常量阈值、动态的单个输入阈值、动态的双输入阈值；
- ECC 校验功能可选。当 FIFO SC HS 内部的存储结构由 Block SRAM 实现，且读写数据位宽相等并且小于等于 64bit 时，ECC 校验才可选；
- 输出寄存器功能可配置。若选择输出寄存器功能，则读使能（RdEn）控制可选。若选择读使能控制，则输出寄存器受 RdEn 控制，最后一个数据不能输出。若选择输出寄存器功能，不选择读使能控制，则读数据输出晚一个周期，最后一个数据会输出。
- 支持 First-Word Fall-Through 功能。

2.4 FIFO HS IP 最大频率和资源利用率

Gowin 异步 FIFO 由 Verilog 语言实现。FIFO HS IP 的最大频率主要依赖于配置的数据深度位宽和配置功能与所使用的器件速度等级。使用不同的器件、密度、速度和等级时，其性能和资源利用情况可能不同。

FIFO HS IP 资源利用和性能情况如表 2-2 与表 2-3 所示。本次优化只针

对 BSRAM 的 FIFO Type, 所以以 Block SRAM 的 FIFO Type 为例。

表 2-2 未配置可选特性的 FIFO HS IP

FIFO Type	Depth x Width	FPGA Series	Performance (MHz)	资源利用情况				
				Reg	LUT	ALU	Logics	BSRAM
Block SRAM	4096 x 16	GW2A-55-484	WrClk=124.243 RdClk=122.991	54	35	39	74	4
	512 x 16		WrClk=195.025 RdClk=186.386	42	27	30	57	1
	64 x 16		WrClk=117.189 RdClk=117.054	30	19	21	40	1
	4096 x 16	GW2A-18-484	WrClk=164.473 RdClk=147.242	54	35	39	74	4
	512 x 16		WrClk=201.602 RdClk=208.362	42	27	30	57	1
	64 x 16		WrClk=149.176 RdClk=171.152	30	19	21	40	1
	4096 x 16	GW1N-4-144	WrClk=144.579 RdClk=115.026	54	35	39	74	4
	512 x 16		WrClk=141.036 RdClk=143.781	42	27	30	57	1
	64 x 16		WrClk=134.581 RdClk=127.163	30	19	21	40	1

表 2-3 已配置可选特性的 FIFO HS IP

FIFO Type	Depth x Width	FPGA Series	Performance (MHz)	资源利用情况					配置项		
				Reg	LUT	ALU	Logics	BSRAM	Data NUM	Flag con	ECC
BSRAM	4096 x 16	GW2A-55-484	WrClk=158.200 RdClk=201.117	162	141	82	223	4	Yes	Yes	Yes
	512 x 16		WrClk=249.642 RdClk=168.863	126	122	64	186	1	Yes	Yes	Yes
	64 x 16		WrClk=250.041 RdClk=176.390	90	110	46	156	1	Yes	Yes	Yes
	4096 x 16	GW2A-18-484	WrClk=202.941 RdClk=162.838	162	141	82	223	4	Yes	Yes	Yes
	512 x 16		WrClk=263.991 RdClk=170.131	126	122	64	186	1	Yes	Yes	Yes
	64 x 16		WrClk=253.679 RdClk=178.594	90	110	46	156	1	Yes	Yes	Yes
	4096 x 16	GW1N-4-144	WrClk=116.434 RdClk=83.14	162	141	82	223	4	Yes	Yes	Yes
	512 x 16		WrClk=124.109 RdClk=86.073	126	122	64	186	1	Yes	Yes	Yes
	64 x 16		WrClk=119.766 RdClk=82.506	90	110	46	156	1	Yes	Yes	Yes

注!

- FIFO 在其他高云 FPGA 上的应用验证会陆续推出。

2.5 FIFO SC HS IP 最大频率和资源利用率

Gowin 同步 FIFO 由 Verilog 语言实现。FIFO SC HS 的最大频率主要依赖于配置的数据深度位宽和配置功能与所使用的器件速度等级。使用不同的器件、密度、速度和等级时，其性能和资源利用情况可能不同。

FIFO SC HS IP 资源利用和性能情况如表 2-4 与表 2-5 所示。本次优化只针对 BSRAM 的 FIFO Type，所以以 Block SRAM 的 FIFO Type 为例。

表 2-4 未配置可选特性的 FIFO SC HS IP

FIFO Type	Depth x Width	FPGA Series	Performance (MHz)	资源利用情况(MHz)				
				Reg	LUT	ALU	Logics	BSRAM
Block SRAM	4096 x 16	GW2A-55-484	184.072	54	13	65	78	4
	512 x 16		187.569	42	11	50	61	1
	64 x 16		211.382	30	9	35	44	1
	4096 x 16	GW2A-18-484	193.129	54	13	65	78	4
	512 x 16		201.438	42	11	50	61	1
	64 x 16		236.317	30	9	35	44	1
	4096 x 16	GW1N-4-144	101.041	54	13	65	78	4
	512 x 16		115.146	42	11	50	61	1
	64 x 16		120.803	30	9	35	44	1

表 2-5 已配置可选特性的 FIFO SC HS IP

FIFO Type	Depth x Width	FPGA Series	Performance (MHz)	资源利用情况(MHz)					配置项		
				Reg	LUT	ALU	Logics	BSRAM	Data NUM	Flag con	ECC
BSRAM	4096 x 16	GW2A-55-484	136.188	71	110	83	193	4	Yes	Yes	Yes
	512 x 16		166.123	56	105	65	170	1	Yes	Yes	Yes
	64 x 16		144.873	41	102	47	149	1	Yes	Yes	Yes
	4096 x 16	GW2A-18-484	158.949	71	110	83	193	4	Yes	Yes	Yes
	512 x 16		172.282	56	105	65	170	1	Yes	Yes	Yes
	64 x 16		161.652	41	102	47	149	1	Yes	Yes	Yes
	4096 x 16	GW1N-4-144	104.066	69	19	78	97	4	Yes	Yes	Yes
	512 x 16		114.538	54	16	60	76	1	Yes	Yes	Yes
	64 x 16		105.768	39	12	42	54	1	Yes	Yes	Yes

注!

- FIFO SC HS IP 在其他高云 FPGA 上的应用验证会陆续推出。

3 端口描述

3.1 FIFO HS IP 端口

FIFO HS IP 的 IO 端口描述如表 3-1 所示。

表 3-1 FIFO HS IP 的 IO 端口列表

信号名	位宽	方向	初始状态	是否可选	描述
Data	[WDSIZE-1:0]	输入	-	否	写入数据
WrClk	1	输入	-	否	写时钟
RdClk	1	输入	-	否	读时钟
WrEn	1	输入	-	否	写使能
RdEn	1	输入	-	否	读使能
Reset	1	输入	-	是	复位，高电平有效
WrReset	1	输入	-	是	写复位，高电平有效
RdReset	1	输入	-	是	读复位，高电平有效
AlmostEmptySetTh	[RASIZE-1:0]	输入	-	是	半空标志置 1 阈值
AlmostEmptyClrTh	[RASIZE-1:0]	输入	-	是	半空标志清 0 阈值
AlmostEmptyTh	[RASIZE-1:0]	输入	-	是	半空标志置 1 阈值
AlmostFullSetTh	[ASIZE-1:0]	输入	-	是	半满标志置 1 阈值
AlmostFullClrTh	[ASIZE-1:0]	输入	-	是	半满标志清 0 阈值
AlmostFullTh	[ASIZE-1:0]	输入	-	是	半满标志置 1 阈值
Q	[RDSIZE-1:0]	输出	-	否	读出数据
Empty	1	输出	1	否	空标志
Full	1	输出	0	否	满标志
Wnum	[ASIZE: 0]	输出	0	是	写入数据数目
Rnum	[RASIZE: 0]	输出	0	是	可读数据数目

信号名	位宽	方向	初始状态	是否可选	描述
Almost_Empty	1	输出	1	是	半空标志
Almost_Full	1	输出	0	是	半满标志
ERROR	2	输出	0	是	ECC 校验输出

3.2 FIFO SC HS IP 端口

FIFO SC HS IP 的 IO 端口描述如表 3-2 所示。

表 3-2 FIFO SC HS IP 的 IO 端口列表

信号名	位宽	方向	初始状态	是否可选	描述
Data	[DSIZE-1:0]	输入	-	否	写入数据
Clk	1	输入	-	否	写时钟
WrEn	1	输入	-	否	写使能
RdEn	1	输入	-	否	读使能
Reset	1	输入	-	是	复位，高电平有效
AlmostEmptySetTh	[ASIZE-1:0]	输入	-	是	半空标志置 1 阈值
AlmostEmptyClrTh	[ASIZE-1:0]	输入	-	是	半空标志清 0 阈值
AlmostEmptyTh	[ASIZE-1:0]	输入	-	是	半空标志置 1 阈值
AlmostFullSetTh	[ASIZE-1:0]	输入	-	是	半满标志置 1 阈值
AlmostFullClrTh	[ASIZE-1:0]	输入	-	是	半满标志清 0 阈值
AlmostFullTh	[ASIZE-1:0]	输入	-	是	半满标志置 1 阈值
Q	[DSIZE-1:0]	输出	-	否	读出数据
Empty	1	输出	1	否	空标志
Full	1	输出	0	否	满标志
Wnum	[ASIZE: 0]	输出	0	是	写数据数目
Almost_Empty	1	输出	1	是	半空标志
Almost_Full	1	输出	0	是	半满标志
ERROR	2	输出	0	是	ECC 校验输出

4 时序说明

本章主要介绍 FIFO HS IP 和 FIFO SC HS IP 在读写操作时信号的时序情况。

在实际应用中，用户可能会根据自己需求配置不同的输出控制信号，读写控制时机也会各不相同，本章以最常用且最重要的输入、输出、空满、半空及半满信号为例。

4.1 FIFO HS IP 信号时序

图 4-2 为 FIFO HS 在图 4-1 所示的配置下的一次读写操作示例。

图 4-1 FIFO HS 配置

The screenshot shows the configuration interface for the FIFO HS IP. The settings are as follows:

- Output Registers Selected Controlled by RdEn
- Write Depth: 8 (dropdown) | Write Data Width: 8 (input) (1-256)
- Read Depth: 8 (dropdown) | Read Data Width: 8 (input) (1-256)
- FIFO Implementation: BSRAM SSRAM REG
- Read Mode: Standard FIFO First-Word Fall-Through
- Data Number:
 - Read Data Num (Synchronized with Read Clk)
 - Write Data Num (Synchronized with Write Clk)
 - En_Reset Reset_Synchronization
- Flag Control:
 - Almost Full Flag: Full-Single Threshold Constant Parameter (dropdown)
 - Set: 1 (1-7) | Clear: 1 (1-7)
 - Almost Empty Flag: Empty-Single Threshold Constant Parameter (dropdown)
 - Set: 1 (1-7) | Clear: 1 (1-7)
- ECC Selected (Supported for Data Width in 1-64 bit)
- Generation Config

如图 4-2 所示，当 FIFO 不满时，写使能拉高，将数据写入 FIFO；写入

8 个数后 FIFO 写满，写使能将被屏蔽，Full 信号拉高，此时无法再写入数据。FIFO 不空时，读使能拉高，将写入 FIFO 的数据依次读出至 Q。读出第 8 个数时，读使能将被屏蔽，Empty 信号拉高，此时无法再读出数据。

图 4-2 FIFO HS IP 配置时序

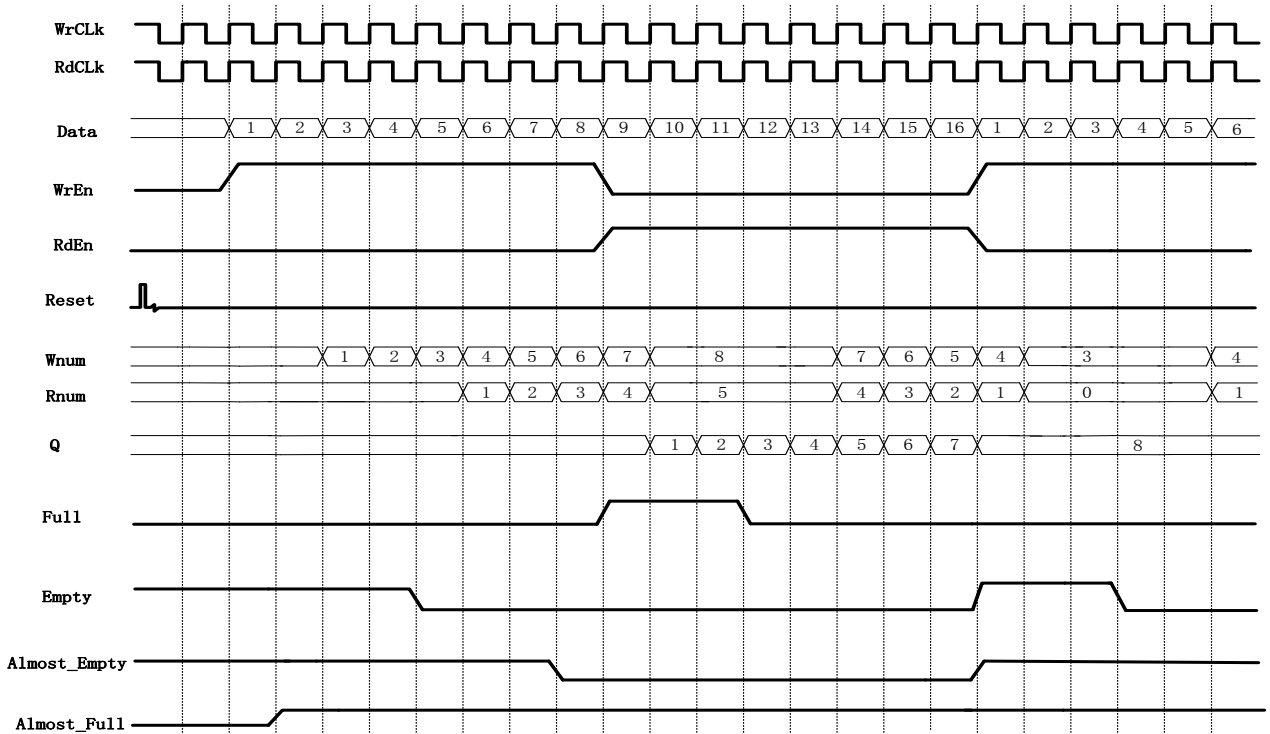
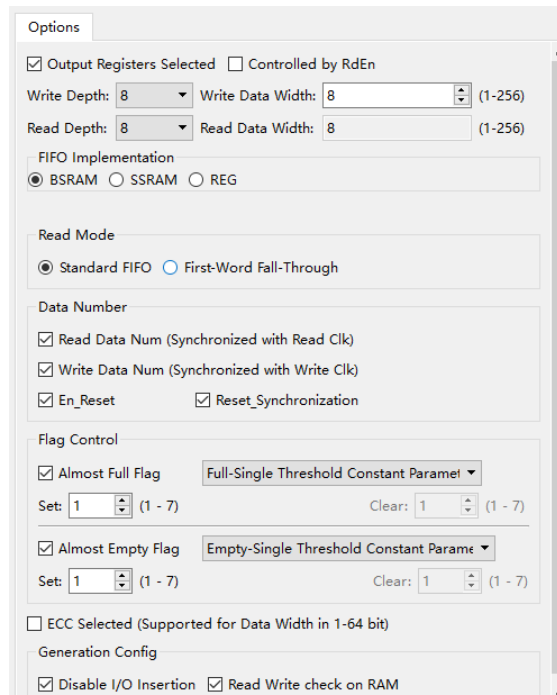


图 4-4 为 FIFO HS 在图 4-3 所示的配置下的一次读写操作示例。

图 4-3 FIFO HS 配置



如图 4-4 所示，在图 4-3 的配置中，选择输出寄存器功能，即将输出寄存一级再输出，所以读出的数据较不配置输出寄存器时晚一个周期，且最后一个数据会输出。

图 4-4 FIFO HS IP 配置时序

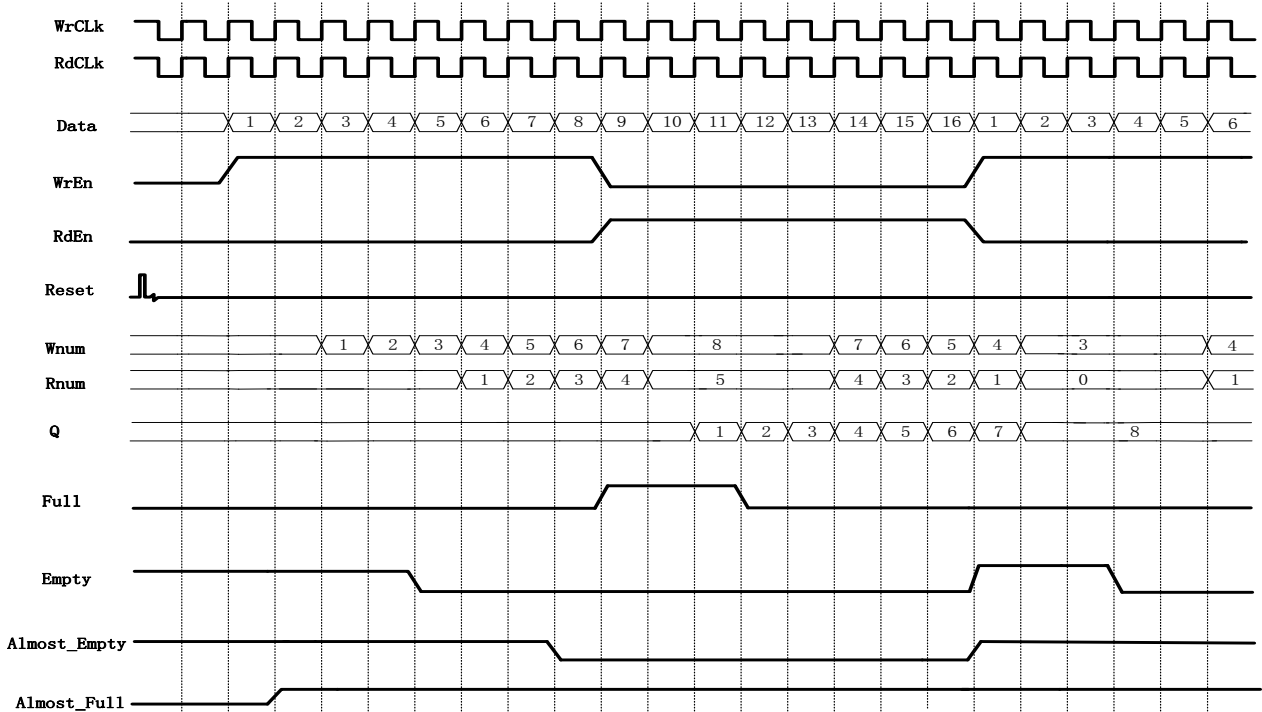
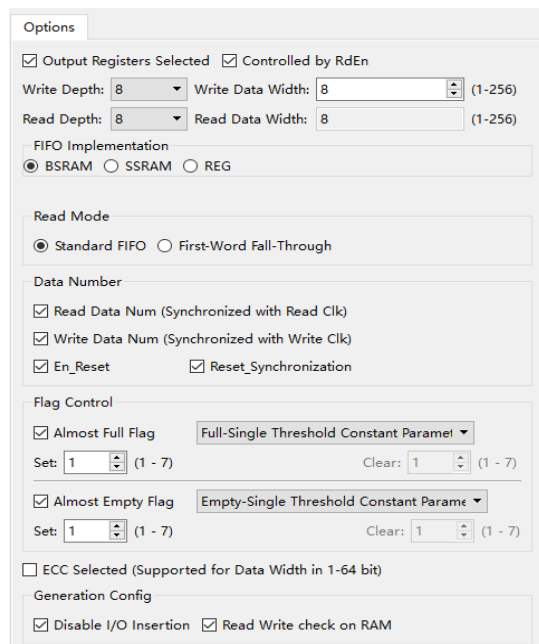


图 4-6 为 FIFO HS 在图 4-5 所示的配置下的一次读写操作示例。

图 4-5 FIFO HS 配置



如图 4-6 所示，在图 4-5 的配置中，选择输出寄存器功能且选择读使能

控制，即输出寄存器受 RdEn 控制，所以读出的数据较不配置输出寄存器时晚一个周期，且最后一个数据不会在第一个读使能下输出，这个数据将会成为下一个读使能的第一个数据输出。

图 4-6 FIFO HS IP 配置时序

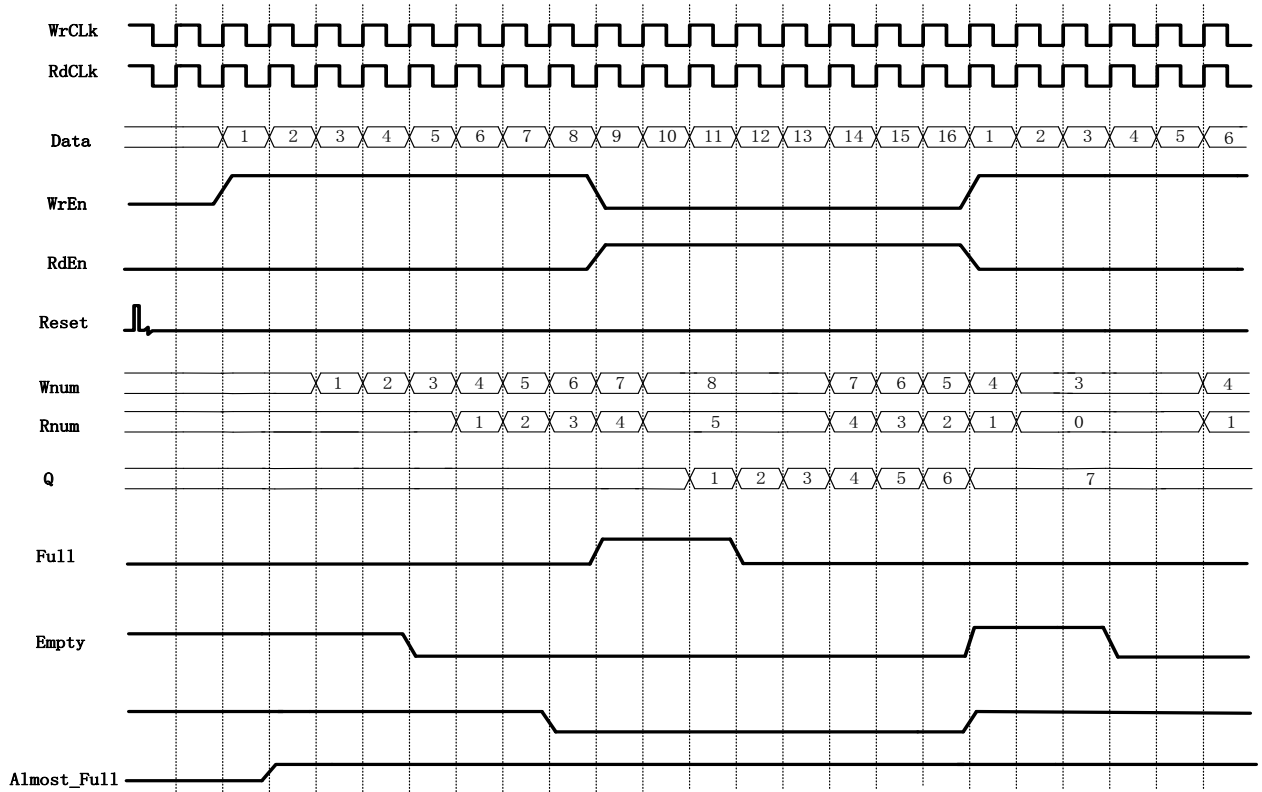
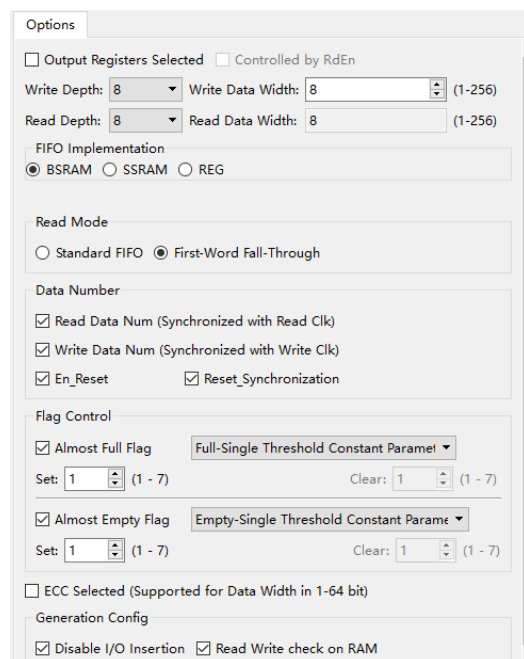


图 4-8 为 FIFO HS 在图 4-7 所示的配置下的一次读写操作示例。

图 4-7 FIFO HS 配置



如图 4-8 所示，在图 4-7 的配置中，选择 FIFO HS IP 的 FWFT 模式，即 First-Word Fall-Through，在 FIFO 为非空状态时，不管是否有读使能信号，都会将写入的第一个数马上放在输出数据总线上，当读使能拉高后会按顺序输出写入的其他数据。

图 4-8 FIFO HS IP 配置时序

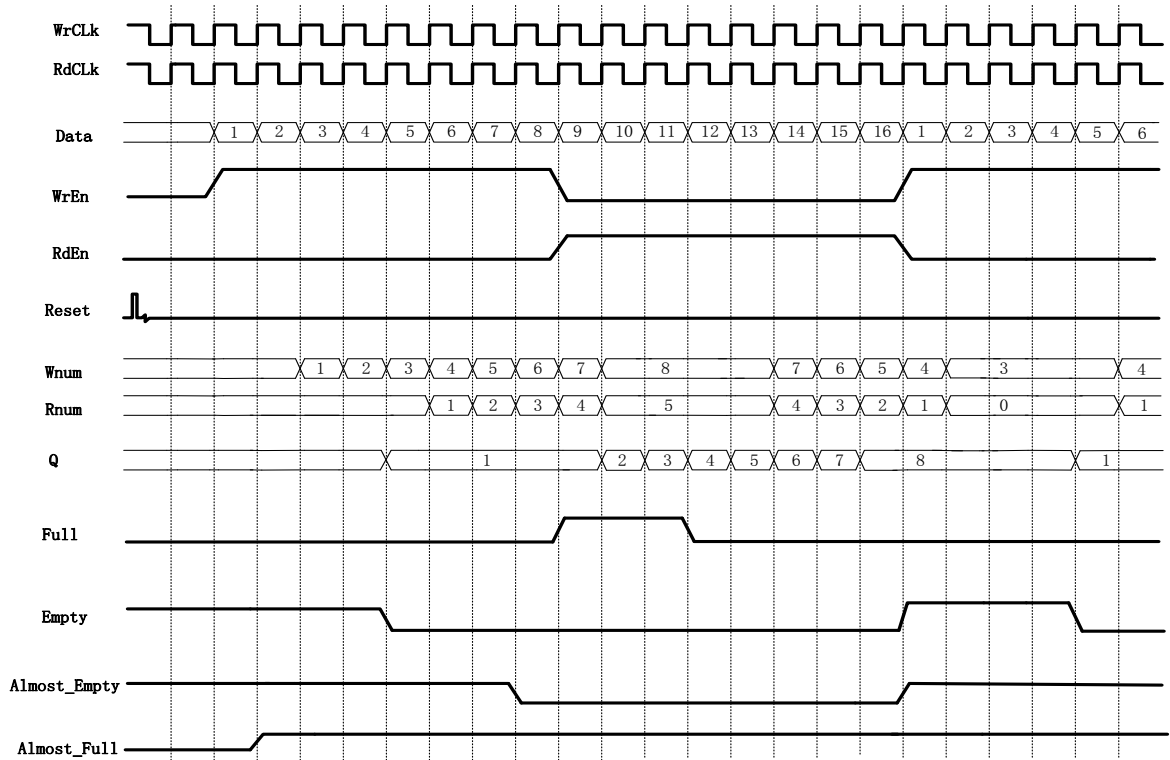
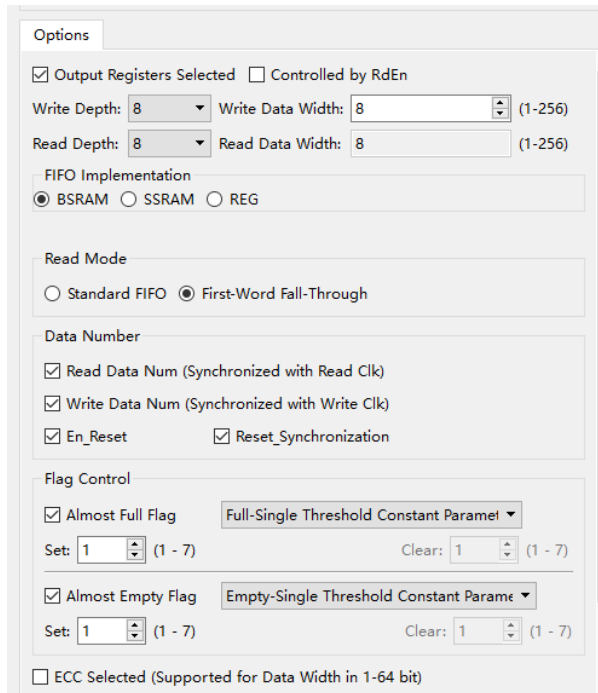


图 4-10 为 FIFO HS 在图 4-9 所示的配置下的一次读写操作示例。

图 4-9 FIFO HS 配置



如图 4-10 所示，在图 4-9 的配置中，选择 FIFO HS IP 的 FWFT 模式，且选择输出寄存功能，即将 FWFT 模式下 FIFO 的输出数据寄存一级再输出。

图 4-10 FIFO HS IP 配置时序

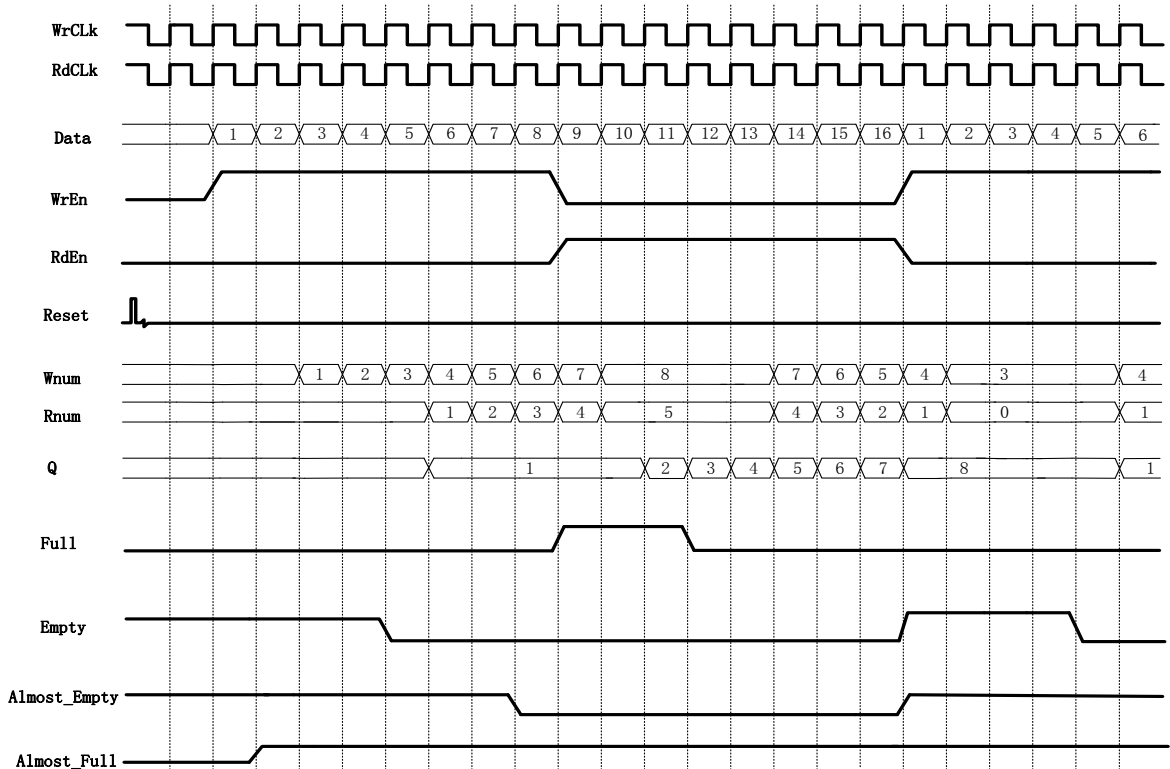
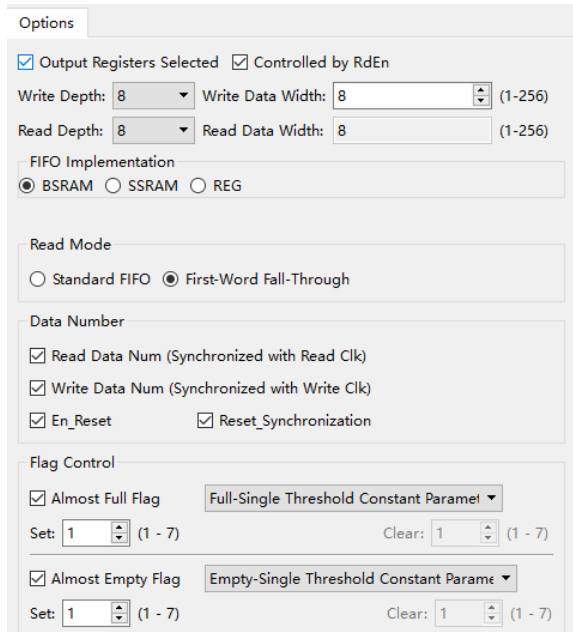


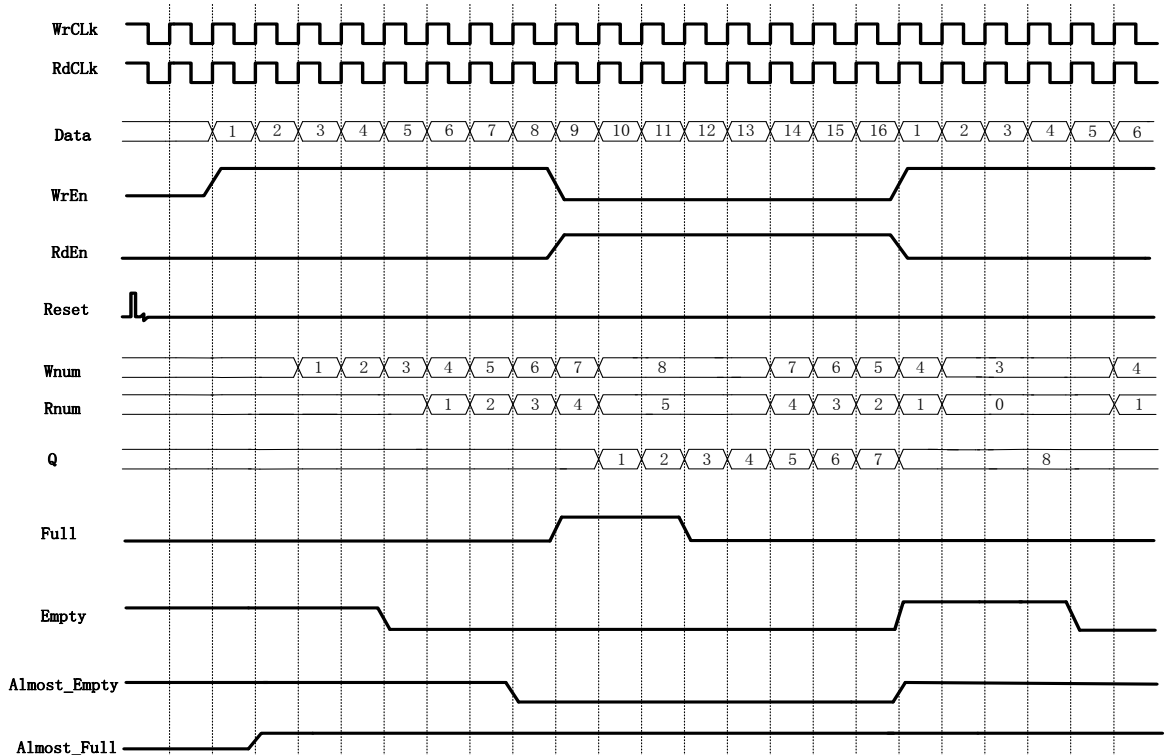
图 4-12 为 FIFO HS 在图 4-11 所示的配置下的一次读写操作示例。

图 4-11 FIFO HS 配置



如图 4-12 所示, 在图 4-11 的配置中, 选择 FIFO HS IP 的 FWFT 模式, 且选择输出寄存功能和读使能控制, 即将 FWFT 模式下 FIFO 的输出数据寄存一级, 但是在读使能的控制下输出。

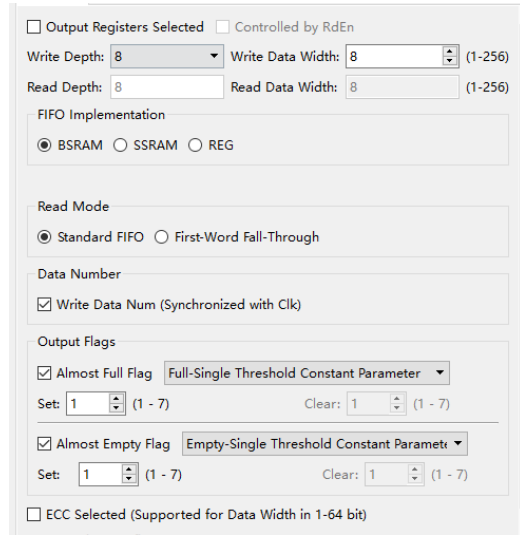
图 4-12 FIFO HS IP 配置时序



4.2 FIFO SC HS IP 信号时序

图 4-14 为 FIFO SC HS 在图 4-13 所示的配置下的一次读写操作示例。

图 4-13 FIFO SC HS 配置



如图 4-14 所示，当 FIFO 不满时，写使能拉高，将数据写入 FIFO；写入 8 个数后 FIFO 写满，写使能将被屏蔽，Full 信号拉高，此时无法再写入数据。FIFO 不空时，读使能拉高，将写入 FIFO 的数据依次读出至 Q。读出第 8 个数时，读使能将被屏蔽，Empty 信号拉高，此时无法再读出数据。

图 4-14 FIFO SC HS IP 配置时序

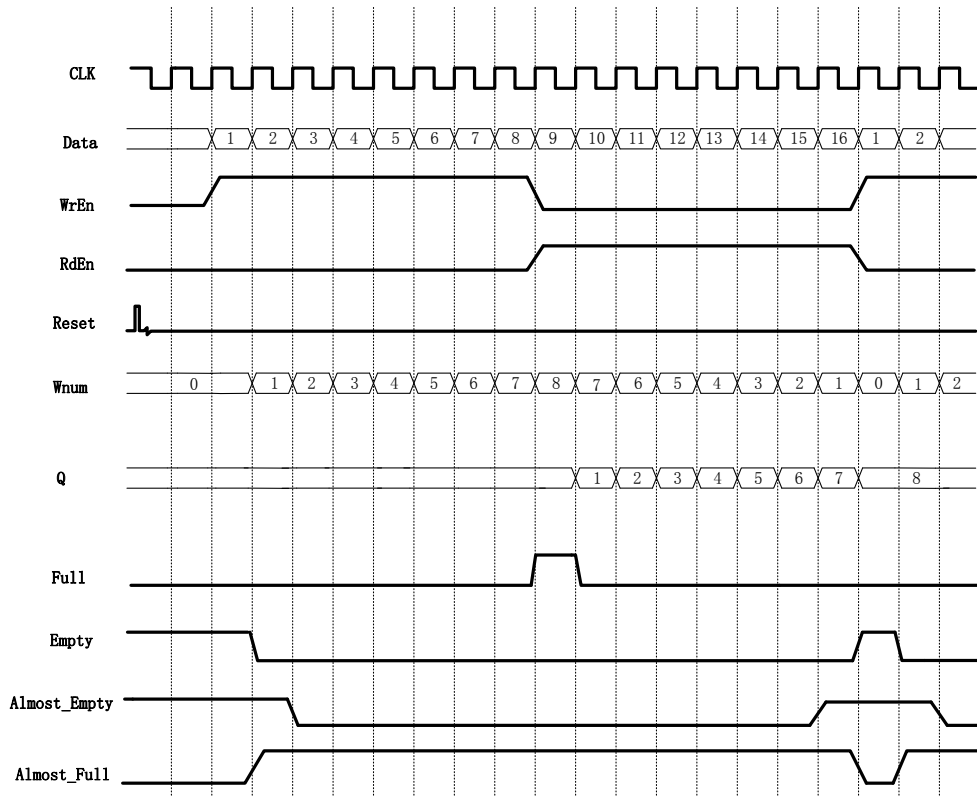
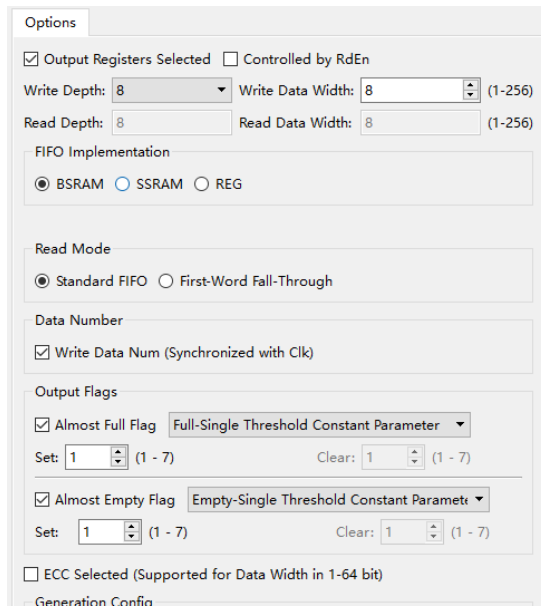


图 4-16 为 FIFO SC HS 在图 4-15 所示的配置下的一次读写操作示例。

图 4-15 FIFO SC HS 配置



如图 4-16 所示，在图 4-15 的配置中，选择输出寄存器功能，即将输出寄存一级再输出，所以读出的数据较不配置输出寄存器时晚一个周期，且最后一个数据会输出。

图 4-16 FIFO SC HS IP 配置时序

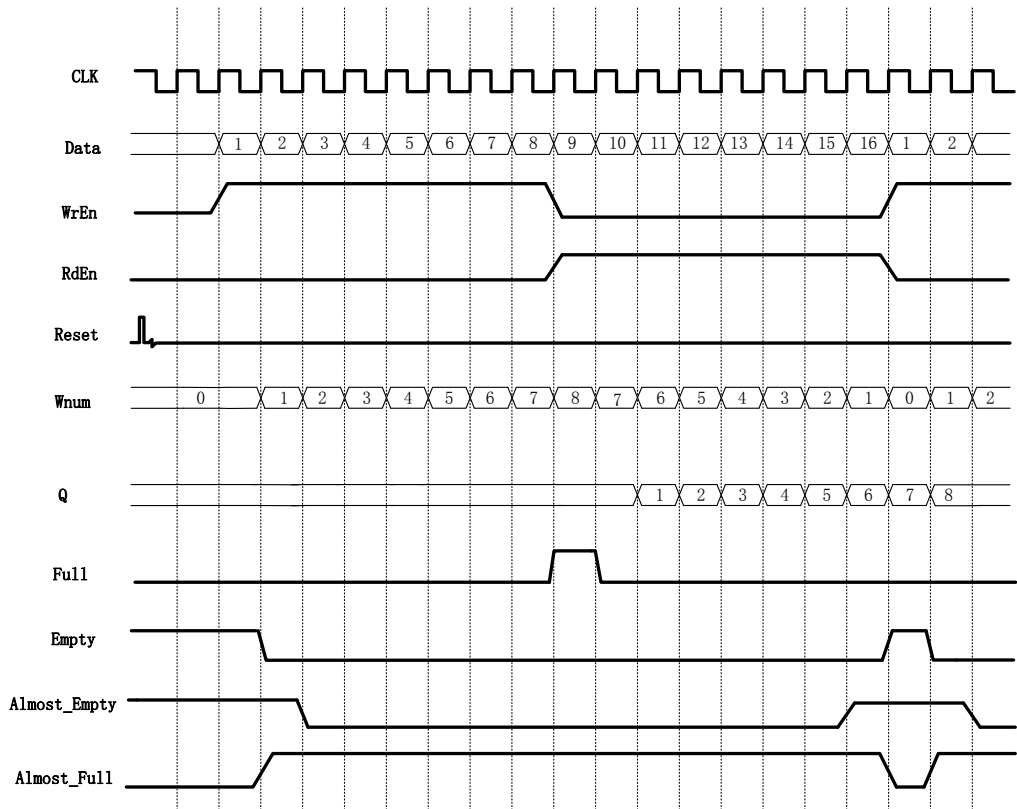
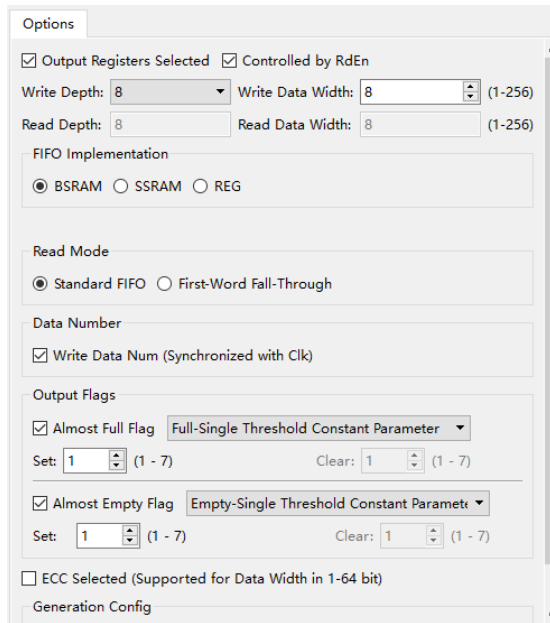


图 4-18 为 FIFO SC HS 在图 4-17 所示的配置下的一次读写操作示例。

图 4-17 FIFO SC HS 配置



如图 4-18 所示，在图 4-17 的配置中，选择输出寄存器功能且选择读使能控制，即输出寄存器受 RdEn 控制，所以读出的数据较不配置输出寄存器时晚一个周期，且最后一个数据不会在第一个读使能下输出，这个数据将会成为下一个读使能的第一个数据输出。

图 4-18 FIFO SC HS IP 配置时序

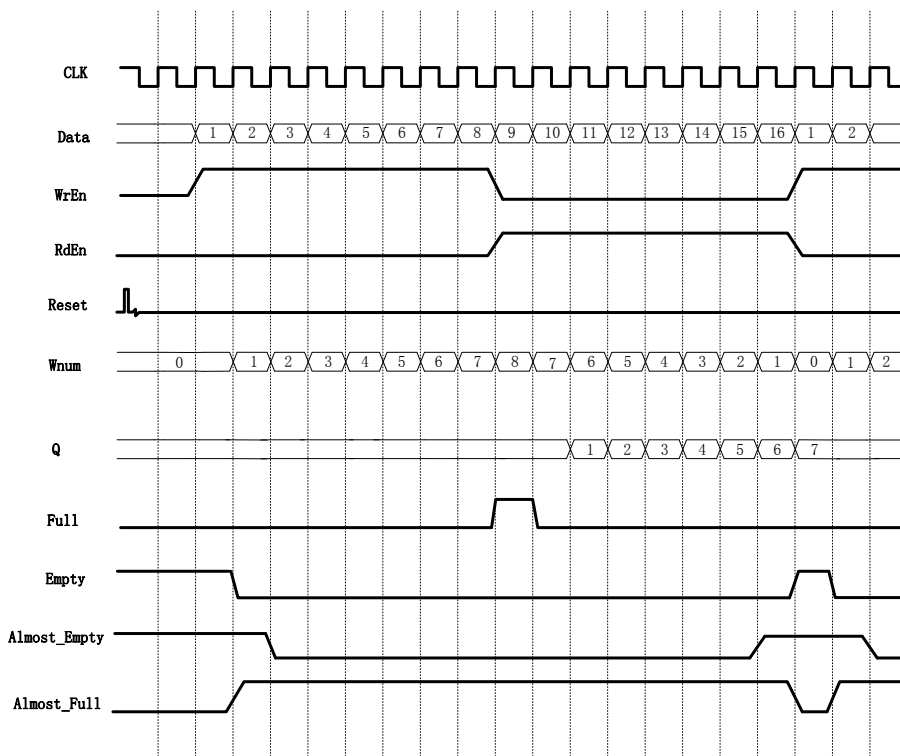


图 4-20 为 FIFO SC HS 在图 4-19 所示的配置下的一次读写操作示例。

图 4-19 FIFO SC HS 配置

The image shows the configuration options for the FIFO SC HS IP. The 'Options' tab is active. The 'Output Registers Selected' checkbox is unchecked, and 'Controlled by RdEn' is also unchecked. The 'Write Depth' is set to 8, and 'Write Data Width' is set to 8 (range 1-256). The 'Read Depth' is set to 8, and 'Read Data Width' is set to 8 (range 1-256). Under 'FIFO Implementation', 'BSRAM' is selected with a radio button. Under 'Read Mode', 'First-Word Fall-Through' is selected with a radio button. Under 'Data Number', 'Write Data Num (Synchronized with Clk)' is checked. Under 'Output Flags', 'Almost Full Flag' is checked with a dropdown menu set to 'Full-Single Threshold Constant Parameter', and 'Set' is 1 (range 1-7), 'Clear' is 1 (range 1-7). 'Almost Empty Flag' is also checked with a dropdown menu set to 'Empty-Single Threshold Constant Parameter', and 'Set' is 1 (range 1-7), 'Clear' is 1 (range 1-7). The 'ECC Selected (Supported for Data Width in 1-64 bit)' checkbox is unchecked. The 'Generation Config' section is partially visible at the bottom.

如图 4-20 所示，在图 4-19 的配置中，选择 FIFO SC HS IP 的 FWFT 模式，即 First-Word Fall-Through，在 FIFO 为非空状态时，不管是否有读使能信号，都会将写入的第一个数马上放在输出数据总线上，当读使能拉高后会按顺序输出写入的其他数据。

图 4-20 FIFO SC HS IP 配置时序

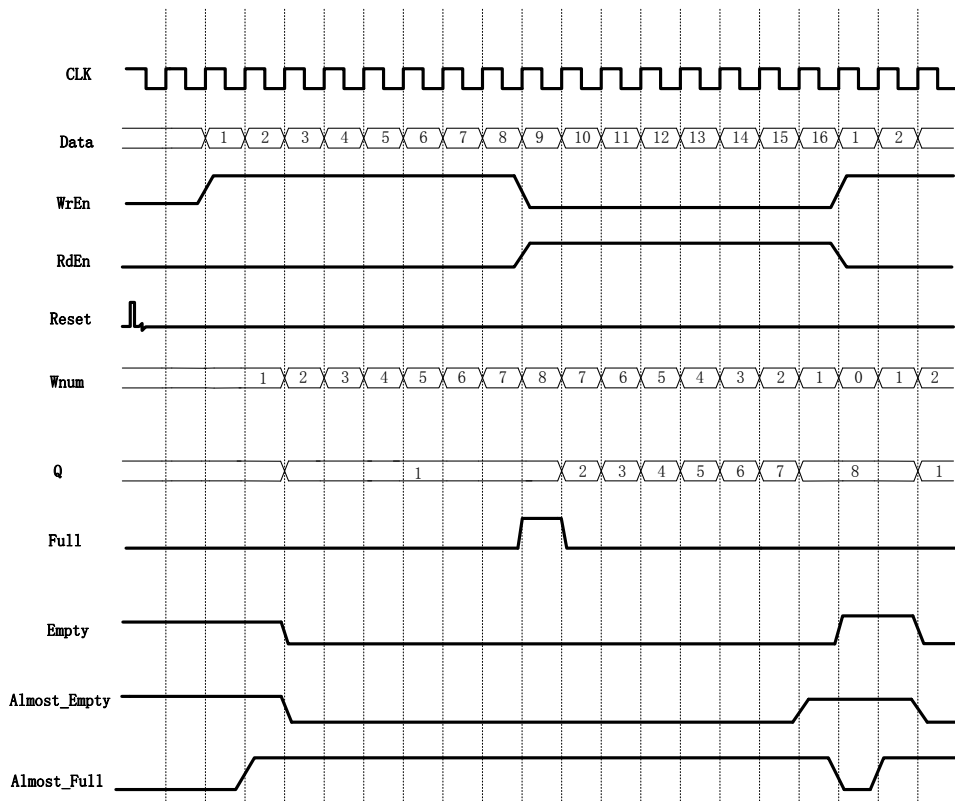
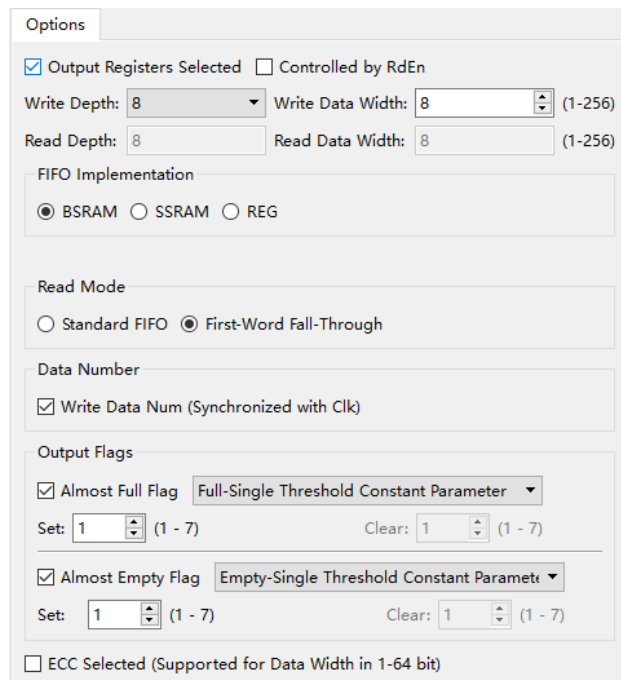


图 4-22 为 FIFO SC HS 在图 4-21 所示的配置下的一次读写操作示例。

图 4-21 FIFO SC HS 配置



如图 4-22 所示，在图 4-21 的配置中，选择 FIFO SC HS IP 的 FWFT

模式，且选择输出寄存功能，即将 FWFT 模式下 FIFO 的输出数据寄存一级再输出。

图 4-22 FIFO SC HS IP 配置时序

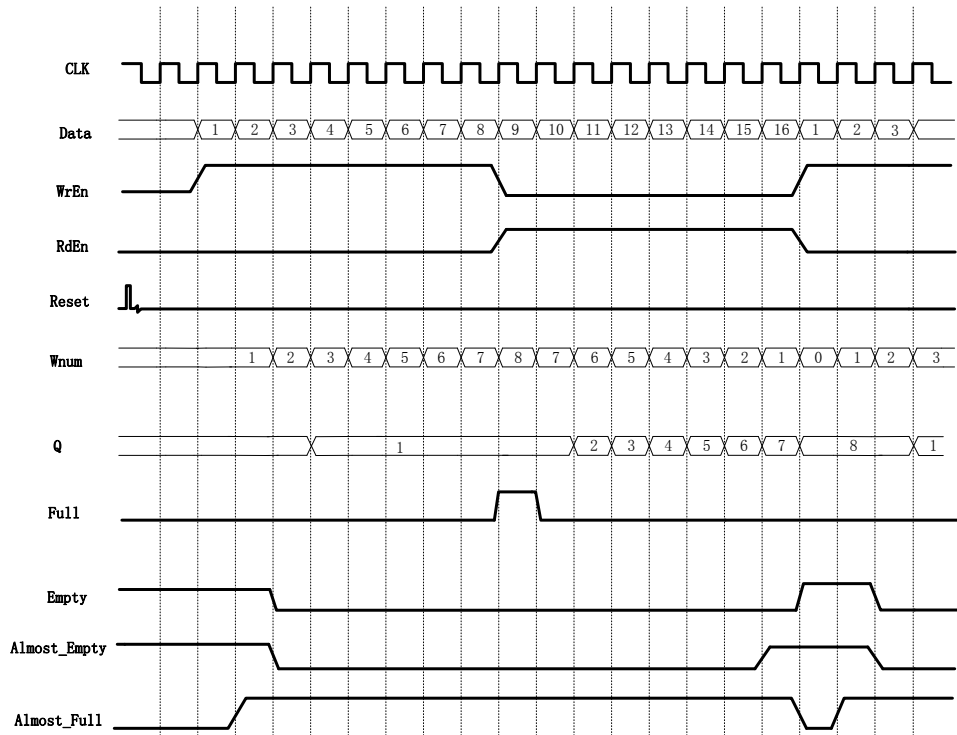
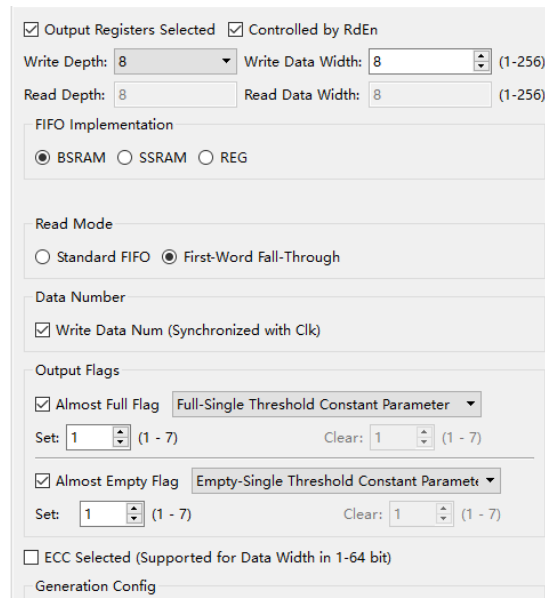


图 4-24 为 FIFO SC HS 在图 4-23 所示的配置下的一次读写操作示例。

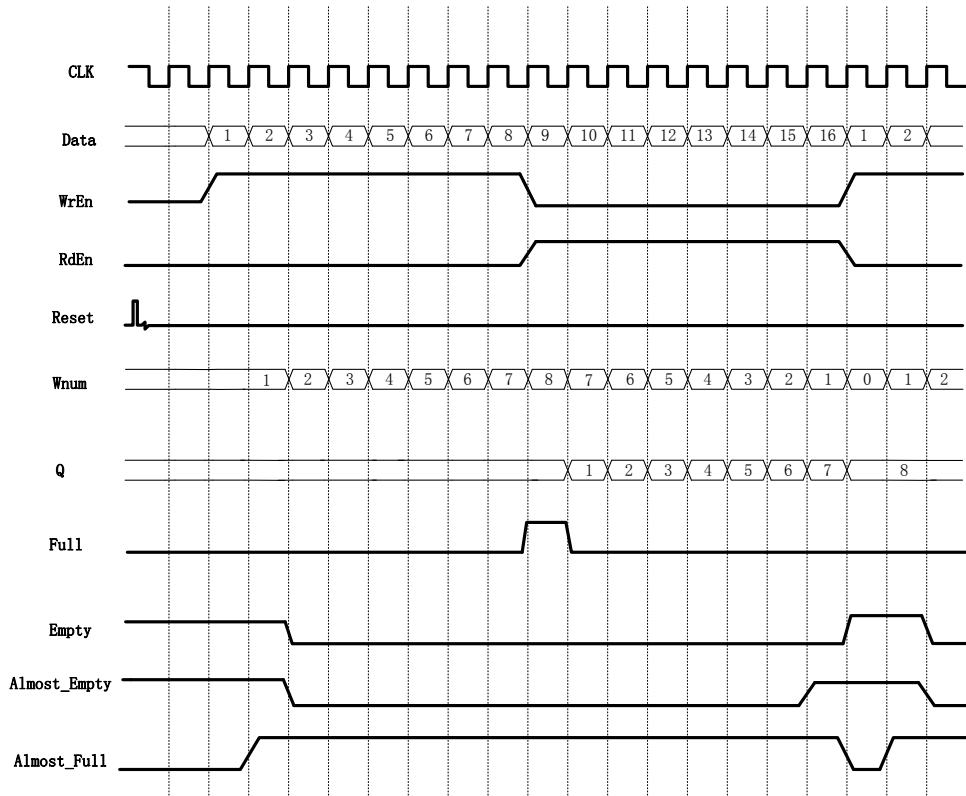
图 4-23 FIFO SC HS 配置



如图 4-24 所示，在图 4-23 的配置中，选择 FIFO SC HS IP 的 FWFT 模式，且选择输出寄存功能和读使能控制，即将 FWFT 模式下 FIFO 的输出数据寄存一级，但是寄存后的数据并不是马上输出，而是在读使能的控制下

输出。

图 4-24 FIFO SC HS IP 配置时序



5 FIFO HS/FIFO SC HS IP 配置

在 Gowin 云源软件界面中，用户可通过菜单栏“Tools”，启动 IP Core Generator 工具，完成调用并配置 FIFO HS IP 或 FIFO SC HS IP。FIFO HS/FIFO SC HS IP 配置界面及界面参数说明如下所述。

5.1 FIFO HS IP 配置

FIFO HS IP 配置界面如错误!未找到引用源。所示。

图 5-1 FIFO HS IP 配置界面

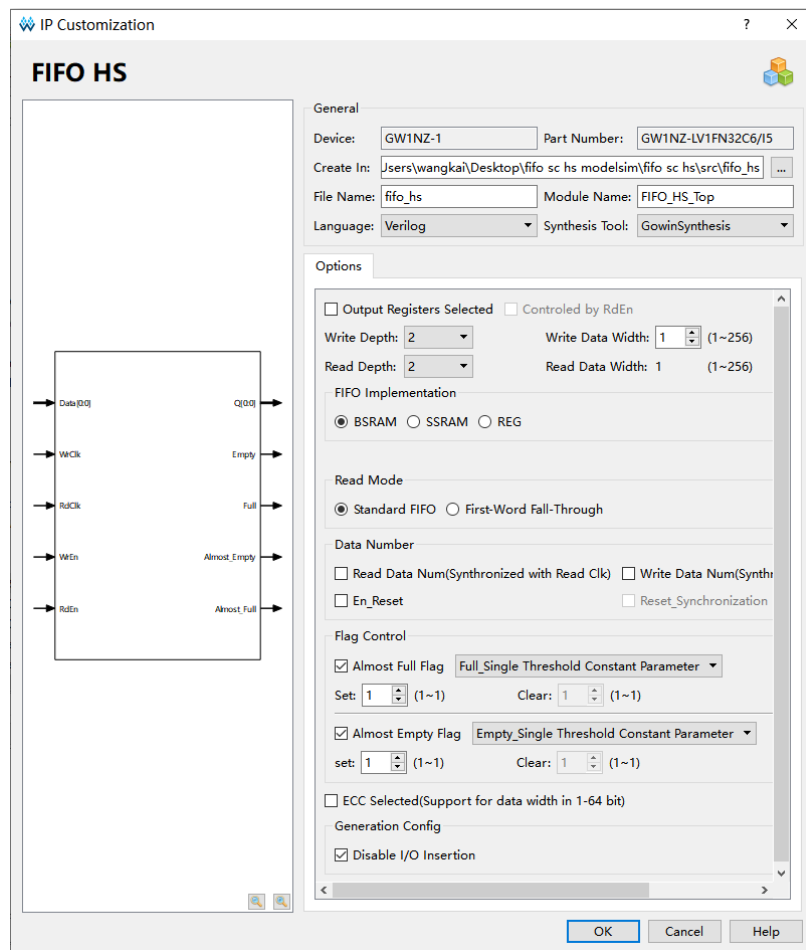


表 5-1 FIFO HS IP 配置界面参数

选项	参数名称	描述	备注	
File	Target Device	-	-	
	File Name	FIFO HS 文件名称	-	
	Module Name	FIFO HS 的顶层模块名称	-	
	Create In	-	FIFO HS IP Model 产生时可选择是否添加到当前项目	
Options	FIFO Implementation	Block SRAM	配置使用 Block SRAM、Shadow SRAM、LUT	-
		Shadow SRAM		
		LUT		
	Write Depth	写数据深度	异步 FIFO HS IP 满足写入数据宽度不同于读出数据宽度，Read Data Width 自动计算等于 Write Depth x Write Data Width / Read Depth。	
	Write Data Width	写数据位宽		
	Read Depth	读数据深度		
	Read Data Width	读数据位宽		
	Read Mode	Standard FIFO	标准 FIFO	标准 FIFO 按照时序图标准读写时序，FWFT FIFO 不管是否有读使能信号，都会将写入的第一个数马上放在输出数据总线上，读使能拉高后会按顺序输出写入的其他数据。
		First-Word Fall Through	FWFT FIFO	
	Data Num	Read Data Num	写数据数目	有效时，增加输出 Wnum。
Write Data Num		读数据数目	有效时，增加输出 Rnum。	
En_Reset		使能复位	使能时，读写各自复位，增加输入 WrReset、RdReset。	

选项	参数名称		描述	备注	
		Reset_Synchronization	同一个复位	En_Reset 有效后, Reset_Synchronization 可选; 若选择, 表示使用一个复位, 增加输入 Reset。	
	Flag Control	Almost Full Flag	半满标志使能	有效时, 增加输出 Almost_Full。	
		Almost Full Flag	Full-Single Threshold Constant Parameter	静态半满单常量阈值, 有效时, Set 有效	Almost Full Flag 有效: Full-Single Threshold Constant Parameter、Full-Dual Threshold Constant Parameters、Full-Single Threshold Input Parameter、Full-Dual Threshold Input Parameters 可四选一。
			Full-Dual Threshold Constant Parameters	静态半满双常量阈值, 有效时, Set、Clear 有效。	
			Full-Single Threshold Input Parameter	动态半满单输入阈值, 有效时, 增加输入 AlmostFullTh。	
			Full-Dual Threshold Input Parameters	动态半满双输入阈值, 有效, 增加输入 AlmostFullSetTh、AlmostFullClrTh。	
		Set	半满置 1 阈值大小	选择单常量阈值, Set 有效。	
		Clear	半满清 0 阈值大小	选择双常量阈值, Set、Clear 有效。	
		Almost Empty Flag	半空标志使能	有效时, 增加输出 Almost_Empty。	
		Almost Empty Flag	Empty-Single Threshold Constant Parameter	静态半空单常量阈值, 有效时, Set 有效。	
			Empty-Dual Threshold Constant Parameters	静态半空双常量阈值, 有效时, Set、Clear 有效。	
	Empty-Single Threshold Input		动态半空单输入阈值, 有效时, 增加输入		

选项	参数名称		描述	备注
		Parameter	AlmostEmptyTh。	
		Empty-Dual Threshold Input Parameter	动态半空双输入阈值，有效，增加输入 AlmostEmptySetTh、AlmostEmptyClrTh。	
		Set	半空置 1 阈值	
		Clear	半空清 0 阈值	
	ECC Selected		ECC 功能	Data width 1-64bit 时有效，增加输出 ERROR。
	Output Register Selected		输出寄存器可选	有效时，数据延迟一个周期输出。BSRAM 输出数据需要满足时钟到输出延时。当 Output Register 使能打开时，这个时间自动满足；当 Output Register 使能关闭时，用户需满足时钟到输出延时，避免采样到亚稳态的数据。
Controlled by RdEn		输出受 RdEn 控制	Output Register Selected 有效时，可选。	

注！

- 开启 ECC 功能需满足数据宽度小于等于 64 位；
- 可根据需求配置不同输出控制信号和阈值，各选项配置如表 5-1 所示。
- Read Write check on RAM 功能是防止 RAM 的读写冲突，具体可查看 FPGA 或 Synplify Pro 的使用手册。

5.2 FIFO SC HS IP 配置

FIFO SC HS IP 配置界面如表 5-2 所示。

图 5-2 FIFO_SC HS IP 配置界面

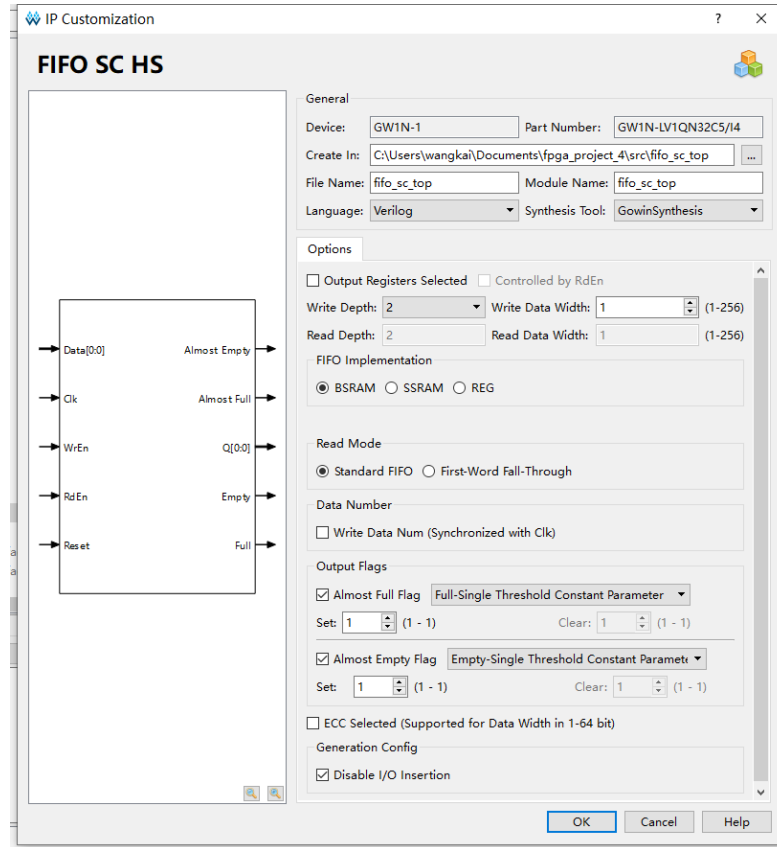


表 5-2 FIFO SC HS IP 配置界面参数

选项	参数		描述	备注	
File	Target Device		-	-	
	Module Name		FIFO SC HS 的顶层模块名称	-	
	File Name		FIFO SC HS 文件名	-	
	Create In		-	FIFO SC HS IP Model 产生时可选择是否添加到当前项目。	
Options	FIFO Implementation	Block SRAM	存储结构由 Block SRAM 实现	-	
		Shadow SRAM	存储结构由分布式 Ram 实现	-	
		LUT	存储结构由 Registers 实现	-	
	Write Depth		写数据深度	FIFO SC HS IP 要求写入数据宽度和深度与读出数据宽度和深度相同，无需编写 Read Depth 和 Read Data Width，自动等于 Write Depth 和 Write Data Width。	
	Write Data Width		写数据位宽		
	Read Depth		读数据深度		
	Read Data Width		读数据位宽		
	Read Mode	Standard FIFO		标准 FIFO	标准 FIFO 按照时序图标准读写时序，FWFT FIFO 不管是否有读使能信号，都会将写入的第一个数马上放在输出数据总线上，读使能拉高后会按顺序输出写入的其他数据。
		First-Word Fall Through		FWFT FIFO	
	Data Num	Write Data Num (Synchronized with Clk)		写数据数目	有效时，增加输出 Rnum。
Output Flags	Almost Full Flag	Full-Single Threshold Constant Parameter	静态半满单常量阈值,有效时，Set 有效	Almost Full Flag 有效: Full-Single Threshold Constant Parameter、Full-Dual Threshold	

选项	参数		描述	备注	
			Full-Dual Threshold Constant Parameters	静态半满双常量阈值, 有效时, Set、Clear 有效	Constant Parameters、Full-Single Threshold Input Parameter、Full-Dual Threshold Input Parameters 可四选一。
			Full-Single Threshold Input Parameter	动态半满单输入阈值, 有效时, 增加输入 AlmostFullTh	
			Full-Dual Threshold Input Parameters	动态半满双输入阈值, 有效, 增加输入 AlmostFullSetTh、AlmostFullClrTh	
		Set		半满置 1 阈值大小	选择单常量阈值, Set 有效;
		Clear		半满清 0 阈值大小	选择双常量阈值, Set、Clear 有效。
		Almost Empty Flag	Empty-Single Threshold Constant Parameter	静态半空单常量阈值, 有效时, Set 有效	Almost Empty Flag 有效: Empty -Single Threshold Constant Parameter、Empty-Dual Threshold Constant Parameters、Empty-Single Threshold Input Parameter、Empty-Dual Threshold Input Parameters 可四选一。
			Empty-Dual Threshold Constant Parameters	静态半空双常量阈值, 有效时, Set、Clear 有效	
			Empty-Single Threshold Input Parameter	动态半空单输入阈值, 有效时, 增加输入 AlmostEmptyTh	
			Empty-Dual Threshold Input Parameter	动态半空双输入阈值,有效, 增加输入 AlmostEmptySetTh、AlmostEmptyClrTh	
		Set		半空置 1 阈值	选择单常量阈值, Set 有效。
		Clear		半空清 0 阈值	选择双常量阈值, Set、Clear 有效。
	ECC Selected			ECC 功能	有效时, 增加输出 ERROR。

选项	参数	描述	备注
	Output Register Selected	输出寄存器可选	有效时，数据晚一个周期输出。 BSRAM 输出数据需要满足时钟到输出延时。当 Output Register 使能打开时，这个时间自动满足；当 Output Register 使能关闭时，用户一定要满足时钟到输出延时，避免采样到亚稳态的数据。
	Controlled by RdEn	输出受 RdEn 控制	Output Register Selected 有效时，可选。

注！

- 开启 ECC 功能需满足数据宽度小于等于 64 位；
- 可根据需求配置不同输出控制信号和阈值，各选项配置如表 5-2 所示。

6 参考设计

FIFO HS/FIFO SC HS 功能上与 FIFO/FIFO SC 一致，参考设计可参考 [FIFO](#) 和 [FIFO_SC](#) 的参考设计部分。

