



Gowin HDLC IP 用户指南

IPUG763-1.0,2021-03-16

版权所有© 2021 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2021/03/16	1.0	初始版本。

目录

目录	i
图目录	ii
表目录	iii
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	2
1.4 技术支持与反馈	2
2 概述	3
2.1 Gowin HDLC IP 介绍	3
2.2 HDLC 简介	3
3 特征与性能	5
3.1 主要特征	5
3.2 最大频率	5
3.3 资源利用	5
4 功能描述	6
4.1 HDLC 结构	6
4.2 端口描述	7
5 时序说明	9
6 调用及配置	11
7 参考设计	13

图目录

图 2-1 HDLC 帧结构示意图	3
图 2-2 Gowin HDLC IP 帧结构示意图	4
图 4-1 HDLC TX 实现框图	6
图 4-2 HDLC RX 实现框图	7
图 4-3 HDLC IP 端口图	7
图 5-1 Gowin HDLC IP TX 时序图	10
图 5-2 Gowin HDLC IP RX 时序图	10
图 6-1 HDLC 配置界面图	11

表目录

表 1-1 术语、缩略语	2
表 2-1 Gowin HDLC IP 概述	3
表 3-1 HDLC 占用资源.....	5
表 4-1 HDLC 的 I/O 列表.....	8
表 6-1 选项描述.....	12

1 关于本手册

1.1 手册内容

Gowin HDLC IP 用户指南主要内容包括功能特征、端口描述、时序说明、配置调用等，旨在帮助用户快速了解 Gowin HDLC IP 的产品特性、特点及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看 FPGA 产品相关文档。

- [DS100](#), GW1N 系列 FPGA 产品数据手册
- [DS117](#), GW1NR 系列 FPGA 产品数据手册
- [DS821](#), GW1NS 系列 FPGA 产品数据手册
- [DS861](#), GW1NSR 系列 FPGA 产品数据手册
- [DS871](#), GW1NSE 系列安全 FPGA 产品数据手册
- [DS881](#), GW1NSER 系列安全 FPGA 产品数据手册
- [DS891](#), GW1NRF 系列蓝牙 FPGA 产品数据手册
- [DS841](#), GW1NZ 系列 FPGA 产品数据手册
- [DS102](#), GW2A 系列 FPGA 产品数据手册
- [DS226](#), GW2AR 系列 FPGA 产品数据手册
- [DS961](#), GW2ANR 系列 FPGA 产品数据手册
- [DS976](#), GW2AN-55 器件数据手册
- [SUG100](#), Gowin 云源软件用户指南

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
IP	Intellectual Property	知识产权
LUT	Look-up Tables	查找表
HDLC	High-Level Data Link Control	高级数据链路控制
ISO	International Organization for Standardization	国际标准化组织
OSI	Open System Interconnection	开放式系统互联

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 Gowin HDLC IP 介绍

Gowin HDLC IP 是基于 HDLC 协议基本帧的控制器，HDLC 协议位于 ISO 发布的 OSI 参考模型中的链路层。

表 2-1 Gowin HDLC IP 概述

Gowin HDLC IP	
逻辑资源	请参见表 3-1。
交付文件	-
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	-
综合软件	Synplify Pro/GowinSynthesis
应用软件	Gowin Software

2.2 HDLC 简介

HDLC 是数据链路层协议的一项国际标准，由 ISO/IEC13239 定义，其广泛应用于通信领域。HDLC 的帧包含 5 个字段：标志字段 F (FLAG, F 字段)、地址字段 A (ADDR, A 字段)、控制字段 C (CTRL, C 字段)、信息字段 I (INFO, I 字段)、校验字段 FCS (FCS, FCS 字段)。

HDLC 的帧结构如图 2-1 所示，首尾都为 F 字段。

图 2-1 HDLC 帧结构示意图

FLAG	ADDR	CTRL	INFO	FCS	FLAG
------	------	------	------	-----	------

Gowin HDLC IP 不区分 A 字段、C 字段、I 字段、FCS 字段。这几个字

段都解析为有效数据，示意图如图 2-2 所示。

图 2-2 Gowin HDLC IP 帧结构示意图



3 特征与性能

3.1 主要特征

- 支持 Flag 序列的生成与检测；
- 支持 Abort 序列的生成与检测；
- 支持 Zero 的插入与删除；
- 支持 8bit 并行数据接口。

3.2 最大频率

Gowin HDLC IP 的最大频率主要根据所用器件及其速度等级（speed grade of the devices）确定，以 GW1NZ-1 系列 FPGA 为例，可达到 100MHz。

3.3 资源利用

Gowin HDLC IP 通过 Verilog 语言实现。因使用器件的密度、速度、等级不同以及 IP 配置模式不同，其性能和资源利用情况可能不同。

以 GW1NZ-1 系列 FPGA，默认配置为例，介绍 Gowin HDLC IP 资源利用情况，其资源利用情况如表 3-1 所示，有关在其他高云 FPGA 上的应用验证，请关注后期发布信息。

表 3-1 HDLC 占用资源

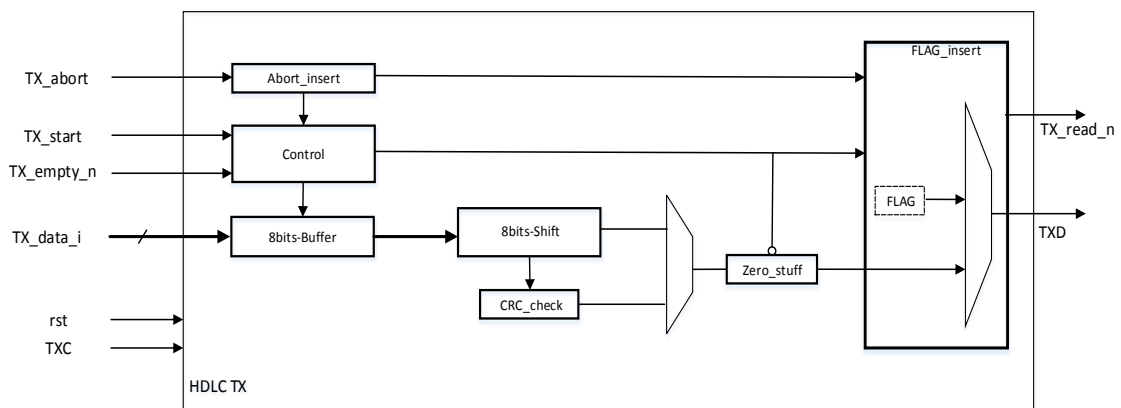
器件系列	速度等级	器件名称	资源利用	备注
GW1NZ-1	C6/I5	LUT	111	-
		REG	129	

4 功能描述

4.1 HDLC 结构

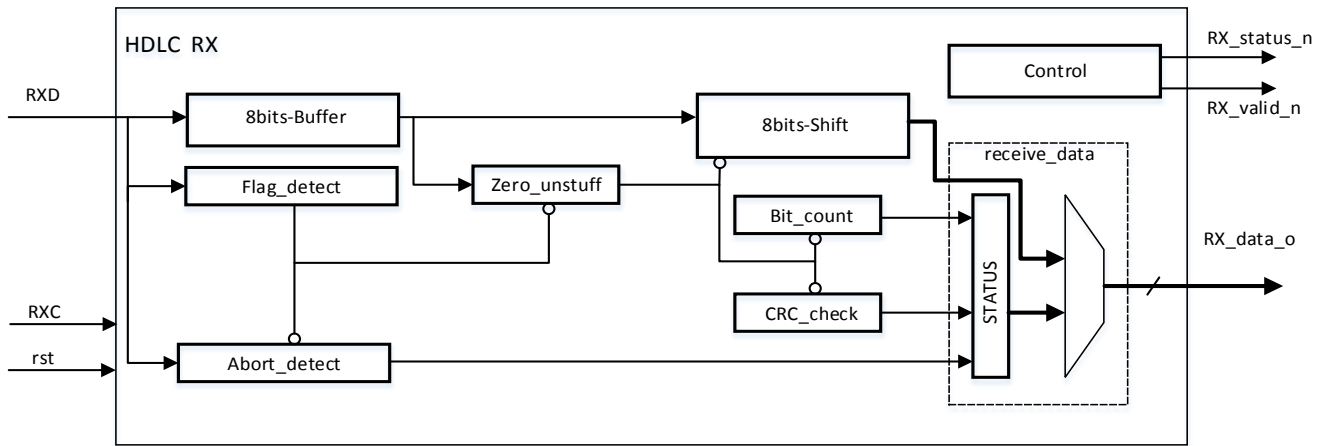
Gowin HDLC IP 通过 HDLC TX 模块实现并行数据转串行，完成 HDLC 的发送，如图 4-1 所示。TX 部分以 TXC 作为时钟，将 8 位并行数据 TX_data_i 转化为串行数据，传输到 TXD 上。

图 4-1 HDLC TX 实现框图



Gowin HDLC IP 通过 HDLC RX 实现串行数据转并行，完成 HDLC 的接收。其结构如图 4-2 所示。RX 部分以 RXC 作为时钟，将串行数据 RXD 转化为 8 bits 并行数据，传输到 RX_data_o。在一次接收中，在有效数据传输完成后，RX_data_o 还将发送本次传输的状态信息。

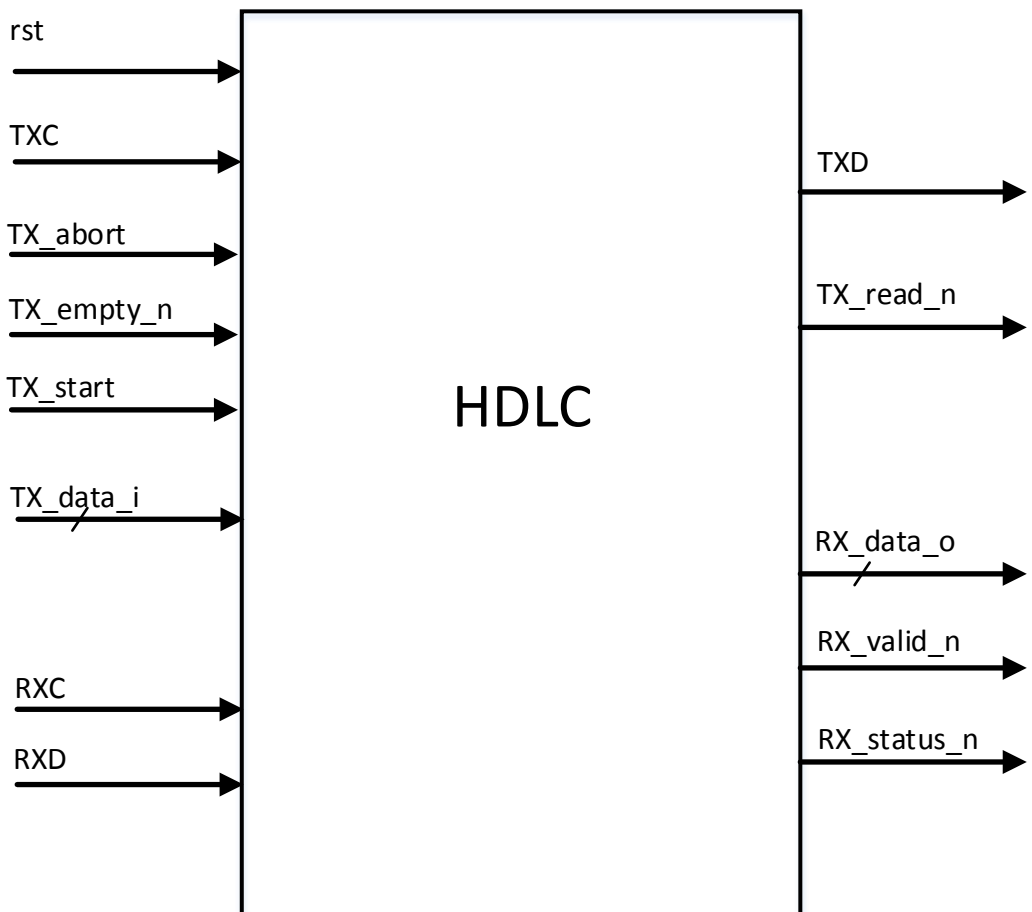
图 4-2 HDLC RX 实现框图



4.2 端口描述

Gowin HDLC IP 的 IO 端口如下图 4-3 所示。

图 4-3 Gowin HDLC IP 端口图



有关 Gowin HDLC IP 的 IO 端口详情，如表 4-1 所示。

表 4-1 Gowin HDLC IP 的 I/O 列表

信号	方向	位宽	描述
rst	input	1	复位，高电平有效。
TXC	input	1	发送端的时钟
TX_abort	input	1	Abort 序列使能，高电平有效。
TX_empty_n	input	1	数据空使能，低电平有效。
TX_start	input	1	开始使能，高电平有效。
TX_data_i	input	8	发送端并行输入数据
RXC	input	1	接收端时钟
RXD	input	1	接收端串行数据
TX_read_n	output	1	发送端采样 TX_data_i 标志，低电平有效。
TXD	output	1	发送端串行数据
RX_data_o	output	8	接收端并行输出数据
RX_valid_n	output	1	接收端并行输出数据有效标志，低电平有效。
RX_status_n	output	1	接收端状态数据有效标志，低电平有效

5 时序说明

Gowin HDLC IP 的时序如图 5-1、图 5-2 所示。

HDLC TX 时序

Gowin HDLC IP TX 部分时序如图 5-1 所示。TX 部分以 TXC 作为时钟，在 TXC 的上升沿发送数据。

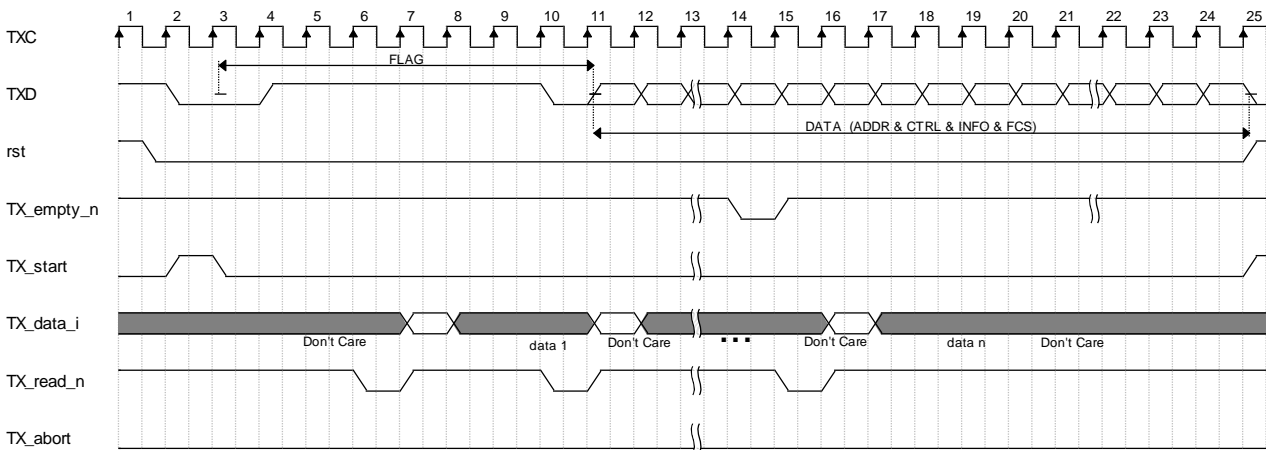
空闲时，TXD 会根据时钟 TXC，一直循环发送 F 字段，即 01111110 > 01111110 > 01111110 >.....

传输数据时，需 TX_start 至少保持 1 个 TXC 时钟周期；一段时间后，TX_read_n 将会被拉低；IP 将采样 TX_read_n 拉低后的下一个 TXC 的上升沿的 TX_data_i,作为有效的并行数据，串行传输到 TXD 上；在 8 个 TXC 时钟周期后，TX_read_n 将再被拉低，IP 重复进行采样并行数据并串行传输到 TXD 的步骤。在 8 个 TXC 时钟周期后，又将重复进行数据传输，直到 TX_empty_n 被拉低；IP TX 部分采样到的下一个 TX_data_i 将是最后一个有效数据。

数据传输完成后，IP TX 部分将自动发送 FCS 字段，根据配置，FCS 字段可为 8/16/32 bits。

FCS 字段发送完成后，将进入空闲状态，一直循环发送 F 字段，直到下次数据传输到来。

图 5-1 Gowin HDLC IP TX 时序图



HDLC RX 时序

Gowin HDLC IP RX 部分时序如图 5-2 所示。IP RX 部分以 RXC 作为时钟，在 RXC 的上升沿检测数据。

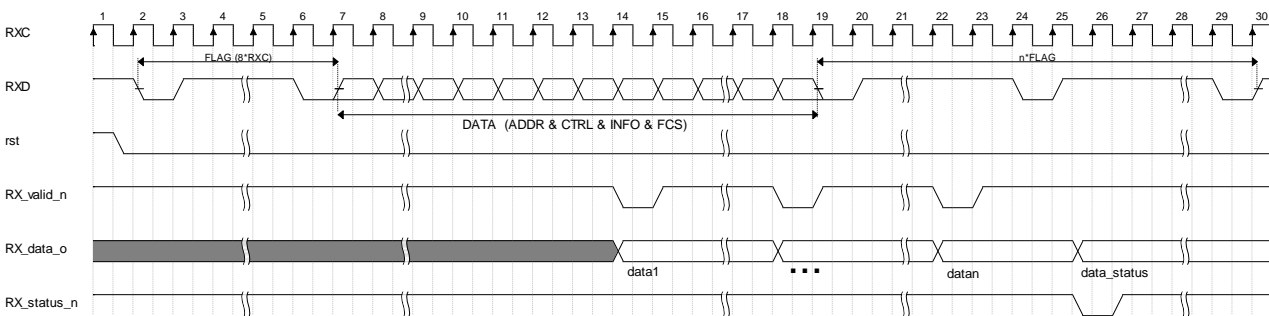
IP RX 部分将根据 RXC，检测 RXD 上的数据。在两个 F 字段之间为一次数据传输。IP RX 部分在一次解析中，分为数据与状态。在数据解析完成后将会给出本次解析的状态信息。

在 RX_valid_n 信号拉低时，RX_data_o 上为接收的有效数据。在 RX_status_n 信号拉低时，RX_data_o 上为本次接收的状态信息。

注！

状态信息 status(8 Bits)为：Bit7~ Bit3:5'b11111; Bit2:Abort 检测; Bit1:字节错误; Bit0:CRC 错误。

图 5-2 Gowin HDLC IP RX 时序图

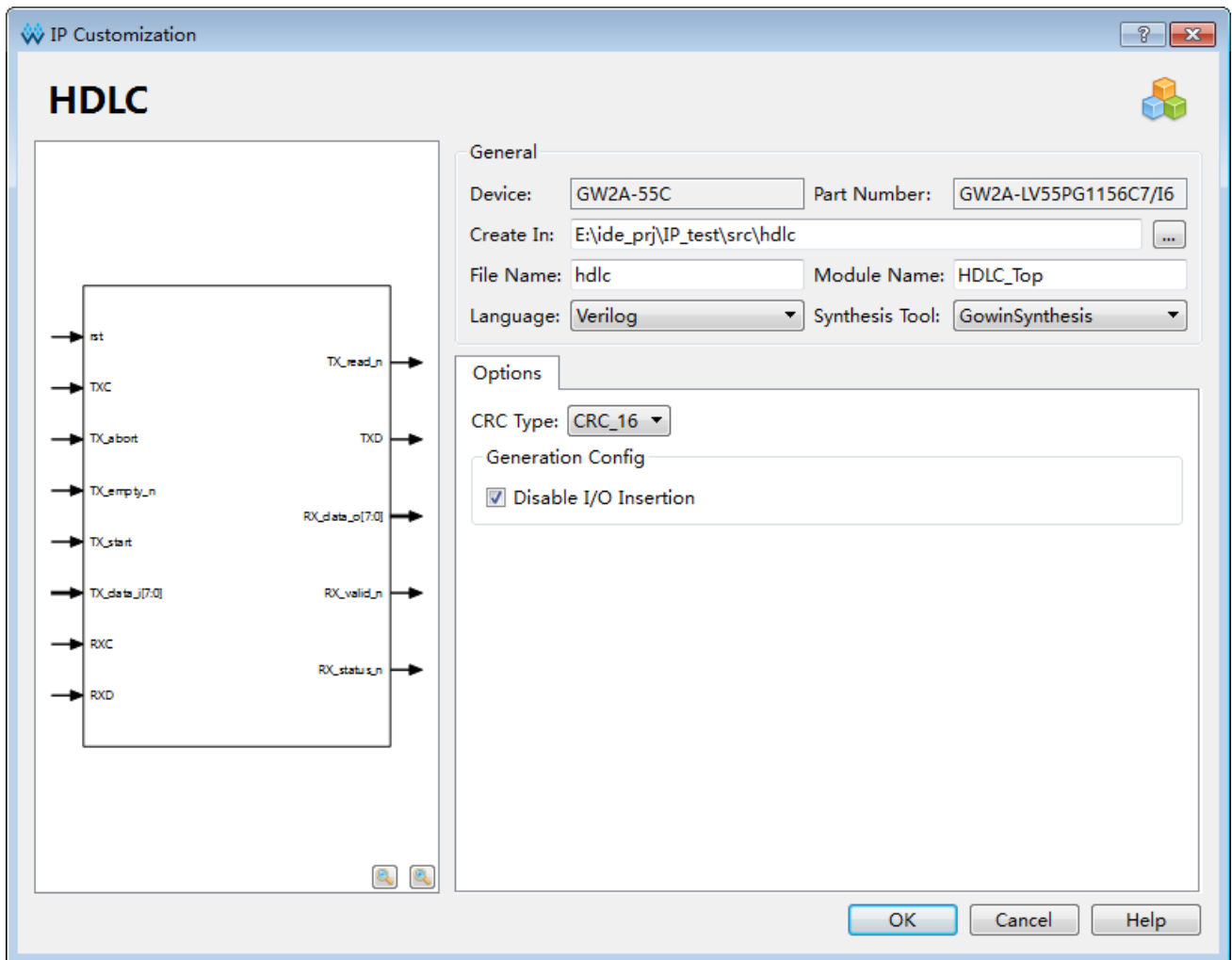


6 调用及配置

在高云云源软件界面菜单栏 Tools 下，可启动 IP Core Generator 工具，完成调用并配置 Gowin HDLC IP。

Gowin HDLC IP 配置界面如图 6-1 所示。

图 6-1 Gowin HDLC IP 配置界面图



具体选项描述如表 6-1 所示。

表 6-1 选项描述

选项	描述
CRC Type	校验字段 CRC 多项式选择: CRC_8: $x^8+x^2+x^1+1$ CRC_16: $x^{16}+x^{12}+x^5+1$ CRC_32: $x^{32}+x^{26}+x^{23}+x^{22}+x^{16}+x^{12}+x^{11}+x^{10}+x^8+x^7+x^5+x^4+x^2+x^1+1$

7 参考设计

详细信息请参见高云半导体官网给出的 Gowin HDLC 相关[参考设计](#)。

