



Gowin UHS PSRAM Memory Interface & 2CH IP

用户指南

IPUG767-1.0,2021-01-14

版权所有© 2021 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2021/01/14	1.0	初始版本。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	2
1.4 技术支持与反馈	2
2 概述	3
3 主要特征与性能	5
3.1 主要特征	5
3.2 工作频率与带宽效率	5
3.3 资源利用	6
4 功能描述	7
4.1 整体结构	7
4.2 Memory Controller Logic	7
4.3 PHY	9
4.3.1 初始化单元	9
4.3.2 数据通路单元	9
4.3.3 控制通路单元	9
4.3.4 I/O 逻辑单元	10
4.4 主要功能	10
4.4.1 初始化	10
4.4.2 发送地址与命令	10
4.4.3 写数据	11
4.4.4 读数据	12
5 端口列表	14
6 参数配置	20
7 界面配置	22
8 参考设计	27
9 文件交付	28
9.1 文档	28

9.2 设计源代码（加密） 28

9.3 参考设计 29

图目录

图 4-1 Gowin UHS PSRAM Memory Interface IP 结构图.....	7
图 4-2 UHS PSRAM Memory Controller Logic 基本结构图	8
图 4-3 PSRAM PHY 基本结构图	9
图 4-4 初始化完成信号时序图	10
图 4-5 Row-Column 顺序的寻址方案	11
图 4-6 命令、地址与使能信号时序图.....	11
图 4-7 写数据端口时序图.....	12
图 4-8 读数据端口时序图.....	13
图 7-1 打开 IP Core Generator	22
图 7-2 打开 UHS PSRAM Memory Interface V1.0 IP 核	23
图 7-3 IP 核接口示意图	23
图 7-4 Help 文档.....	24
图 7-5 基本信息配置界面.....	25
图 7-6 Options 选项卡	25
图 7-7 Memory Options 选项卡	26
图 8-1 参考设计基本结构框图	27

表目录

表 1-1 术语、缩略语	2
表 2-1 Gowin UHS PSRAM Memory Interface IP	3
表 2-2 IP 版本说明	3
表 3-1 资源利用情况	6
表 4-1 cmd 命令	11
表 4-2 burst_num 最大值与频率关系	12
表 5-1 Gowin UHS PSRAM Memory Interface IP V1.0 的 IO 端口列表	14
表 5-2 Gowin UHS PSRAM Memory Interface IP V2.0 的 IO 端口列表	15
表 5-3 Gowin UHS PSRAM Memory Interface 2CH IP V1.0 的 IO 端口列表	16
表 5-4 Gowin UHS PSRAM Memory Interface 2CH V2.0 IP 的 IO 端口列表	18
表 6-1 Gowin UHS PSRAM Memory Interface 的静态参数选项	20
表 8-1 psram_syn_top 模块输入端口列表	27
表 9-1 文档列表	28
表 9-2 设计源代码列表	28
表 9-3 Ref. Design 文件夹内容列表	29

1 关于本手册

1.1 手册内容

Gowin UHS PSRAM Memory Interface & 2CH IP 用户指南主要内容包括 IP 的特征与功能描述、端口说明、时序说明、配置调用、参考设计等，旨在帮助用户快速了解 Gowin UHS PSRAM Memory Interface & 2CH IP 的产品特性、特点及使用方法。其中 256Mbit 颗粒和 32Mbit 颗粒用法基本相同，本手册以 32Mbit 颗粒 PSRAM 为主体介绍 UHS PSRAM Memory Interface IP 用法，如无特殊说明即可通用。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS100](#)，GW1N 系列 FPGA 产品数据手册
- [DS117](#)，GW1NR 系列 FPGA 产品数据手册
- [DS821](#)，GW1NS 系列 FPGA 产品数据手册
- [DS102](#)，GW2A 系列 FPGA 产品数据手册
- [DS226](#)，GW2AR 系列 FPGA 产品数据手册
- [DS841](#)，GW1NZ 系列 FPGA 产品数据手册
- [DS861](#)，GW1NSR 系列 FPGA 产品数据手册
- [DS871](#)，GW1NSE 系列安全 FPGA 产品数据手册
- [DS881](#)，GW1NSER 系列安全 FPGA 产品数据手册
- [DS891](#)，GW1NRF 系列蓝牙 FPGA 产品数据手册
- [DS961](#)，GW2ANR 系列 FPGA 产品数据手册
- [SUG100](#)，Gowin 云源软件用户指南

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
IP	Intellectual Property	知识产权
RAM	Random Access Memory	随机存取存储器
LUT	Look-up Tables	查找表
GSR	Global System Reset	全局系统复位
PSRAM	Pseudo Static Random Access Memory	伪静态随机存储器
UHS	Ultra High Speed	超高速
2CH	2 Channels	两通道

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

Gowin UHS PSRAM Memory Interface IP 是一个通用的 PSRAM 内存接口 IP，符合 PSRAM 标准协议。该 IP 包含 PSRAM 内存控制逻辑（Memory Controller Logic）与对应的物理层接口（Physical Interface, PHY）设计。Gowin UHS PSRAM Memory Interface IP 为用户提供一个通用的命令接口，使其与 PSRAM 内存芯片进行互连，完成用户的访存需求。

表 2-1 Gowin UHS PSRAM Memory Interface IP

Gowin UHS PSRAM Memory Interface IP	
逻辑资源	请参见表3-1
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	Synplify Pro
应用软件	Gowin Software

IP 版本说明

Gowin UHS PSRAM Memory Interface & 2CH IP 有如下版本，其特性和相应支持的器件均不相同，如表 2-2 所示。

表 2-2 IP 版本说明

IP名称	支持的颗粒类型	支持器件	IP特性
UHS PSRAM Memory Interface V1.0	32Mbit/256Mbit	不支持1K系列所有器件，其他系列均支持。	使用较少时钟资源，对高温不敏感的客户推荐使用。
UHS PSRAM Memory Interface V2.0	32Mbit/256Mbit	不支持1K、4K系列所有器件，其他系列均支持。	相较于V1.0版本，增加memory_clk_p管脚，clk管脚修改为clk_d，占用稍多时钟资源，高温特性好。

IP名称	支持的颗粒类型	支持器件	IP特性
UHS PSRAM Memory Interface 2CH V1.0	32Mbit/256Mbit	不支持1K系列所有器件，其他系列均支持。	使用较少时钟资源，对高温不敏感的客户推荐使用。
UHS PSRAM Memory Interface 2CH V2.0	32Mbit/256Mbit	不支持1K、4K系列所有器件，其他系列均支持。	相较于V1.0版本，增加memory_clk_p管脚，clk管脚修改为clk_d，占用稍多时钟资源，高温特性好。

3 主要特征与性能

3.1 主要特征

- 能与标准的 PSRAM 器件接口兼容；
- 支持存储器数据路径宽度为 8、16、24、32、40、48、56 和 64 位；
- 支持 x8/x16 数据宽度的内存芯片；
- 可编程突发长度 16、32、64、2048；
- 支持线性连续突发模式；
- 时钟比例为 1:2
- 支持初始延时为 5/6/7；
- 支持固定延时模式；
- 支持电源关闭选项；
- 可配置的驱动强度；
- 可配置的自刷新区域；
- 可配置的刷新速率；
- 单通道双通道两种操作模式 IP 可选。

注！

32Mbit 颗粒与 256Mbit 颗粒在参数配置和接口上有些许不同，GUI 界面可见，但是用户层操作方式是相同的。

3.2 工作频率与带宽效率

Gowin UHS PSRAM Memory Interface IP 可支持的数据速率与效率为：

- 最高工作数据速率 400Mbps；
- 线性连续突发模式下，突发数据越长效率越高，最高 90%；

3.3 资源利用

Gowin UHSPSRAM Memory Interface IP 通过 Verilog 语言实现，应用于高云 GW1N-4、GW1NR-4 等系列 FPGA，其资源利用情况如表 3-1 所示，有关在其他高云 FPGA 上的应用验证，请关注后期发布信息。

表 3-1 资源利用情况

DQ_WIDTH	LOGICs	REGs	I/O	f _{MAX}	吞吐量	器件系列	速度等级
8(x8)	615	541	16	400Mbps	f _{MAX} x DQ x 工作效率	GW1N-4	C6/I5
16(x8)	947	898	29			GW1NR-4	C5/I4

注！

在表 3-1 中，Gowin UHS PSRAM Memory Interface IP 配置用户地址宽度为 22/24/25 位，PSRAM WITDH 为 x8，使用双通道 PSRAM IP 资源使用会稍有增加。

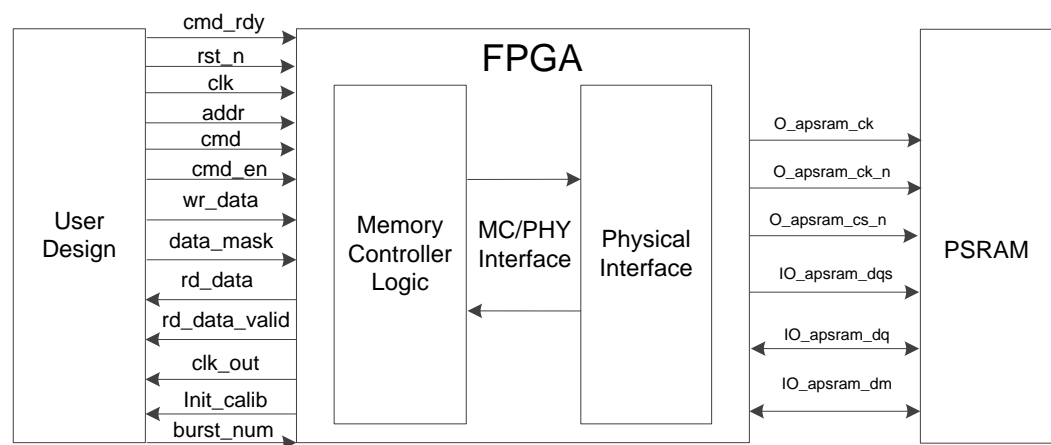
4 功能描述

4.1 整体结构

Gowin UHS PSRAM Memory Interface IP 基本结构如图 4-1 所示，主要包含 Memory Controller Logic、Physical Interface 等模块。

图 4-1 中的 User Design 是 FPGA 中需要与外部 PSRAM 芯片所连接的用户设计。

图 4-1 Gowin UHS PSRAM Memory Interface IP 结构图



4.2 Memory Controller Logic

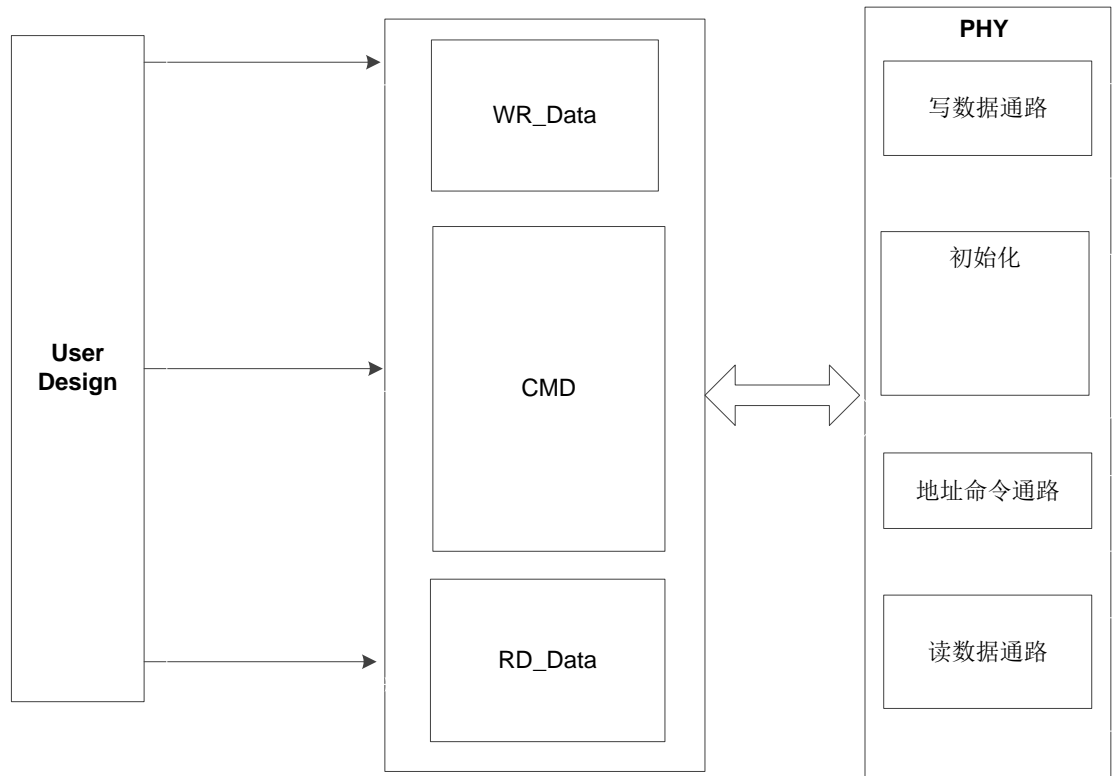
Memory Controller Logic 是 Gowin PSRAM Interface IP 的逻辑模块，位于 User Design 与 PHY 之间。Memory Controller Logic 接收来自用户接口的命令、地址与数据，并按照一定逻辑顺序进行存储。

用户发送的写、读等命令和地址在 Memory Controller Logic 中进行排序重组，组合成满足 PSRAM 协议的数据格式。同时，写数据时 Memory Controller Logic 会对数据进行重组和缓存，以满足命令和数据之间的初始延时值，读数据时，Memory Controller Logic 会对读回的数据进行采样和重组，恢复成正确数据。

UHS PSRAM Memory Controller 主要由以下几个模块组成：CMD 单元、

WR_Data 单元、RD_Data 单元等，主要结构如图 4-2 所示。

图 4-2 UHS PSRAM Memory Controller Logic 基本结构图

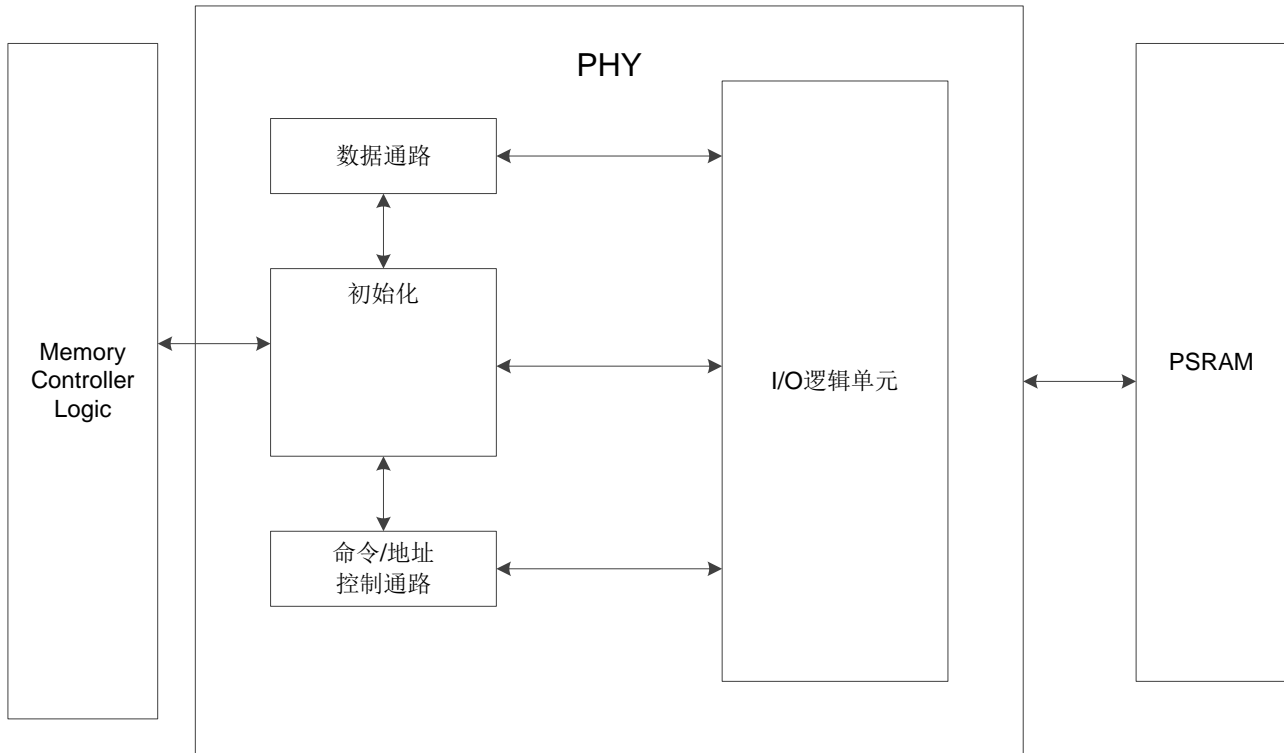


4.3 PHY

PHY 提供了 Memory Controller Logic 与外部 PSRAM 之间的物理层定义与接口，接收来自 Memory Controller Logic 的命令地址和数据，并向 PSRAM 接口提供满足时序与顺序要求的信号。

PHY 的基本结构如图 4-3 所示，主要包括四个模块，分别为初始化模块、数据通路、命令地址控制通路和 I/O 逻辑模块。

图 4-3 PSRAM PHY 基本结构图



4.3.1 初始化单元

初始化模块主要完成 PSRAM 上电后的初始化和读校准。在完成所有初始化与读校准之后，信号“init_calib”会由低变高，指示整个初始化完成。

上电初始化

按照 PSRAM 协议标准，上电后需对 PSRAM 颗粒进行初始化，包括复位、模式寄存器的配置及读校准等过程。

4.3.2 数据通路单元

数据通路包括写数据和读数据过程。

4.3.3 控制通路单元

命令/地址控制通路为单向通路，接收 Memory Controller Logic 发送的命令与地址信号，并与数据通路配合，处理写、读数据时延参数，并将命令发送到 I/O 逻辑模块。

4.3.4 I/O 逻辑单元

I/O 逻辑模块主要是对数据通路和命令/地址通路传递过来的数据、命令、地址信号进行时钟域的转换。

4.4 主要功能

UHS PSRAM Memory Interface IP 可实现以下功能：

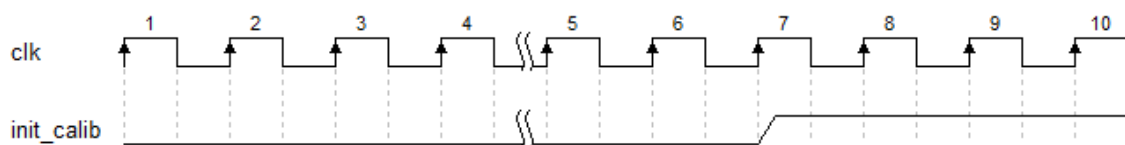
- PSRAM 颗粒的初始化；
- 发送地址、命令；
- 写数据；
- 读数据；

4.4.1 初始化

PSRAM 必须经过读校准操作才能进行正常的写、读操作。因此上电后 PHY 会对 PSRAM 进行初始化读校准操作，初始化完成后返回初始化完成标志 `init_calib`，单通道 PSRAM IP 会将两颗 `psram` 颗粒同时初始化，而双通道 IP 则是两颗 `psram` 颗粒各自初始化，并将两个初始化完成信号分别送给用户使用。

初始化完成后向用户返回操作完成信号，如图 4-4 所示。

图 4-4 初始化完成信号时序图



4.4.2 发送地址与命令

用户可通过 `addr`、`cmd`、`cmd_en` 等用户接口发送操作命令与地址。

- `addr` 为地址数据端口；
- 连续地址写操作时，相邻两次操作地址自加 $(burst_num+1) * 4$ ，连续地址读操作相同；
- `cmd` 为命令数据端口；
- `cmd_en` 为地址与命令使能信号，高电平有效；
- 双通道 PSRAM IP 和单通道 PSRAM IP 的操作方式一致，但是双通道 PSRAM IP 两个通道的命令和地址是独立的，需要分别给出控制信号。

在应用中，用户接口的地址总线与物理内存的 `ROW`、`Column` 之间存在一定的映射关系，在本设计中，按照 `ROW-Column` 的顺序进行依次排列，其寻址方案如图 4-5 所示。用户在应用中，只需按照需要给出地址，不需要关心映射关系。

图 4-5 Row-Column 顺序的寻址方案



用户通过 cmd 端口可发送的命令如表 4-1 所示：

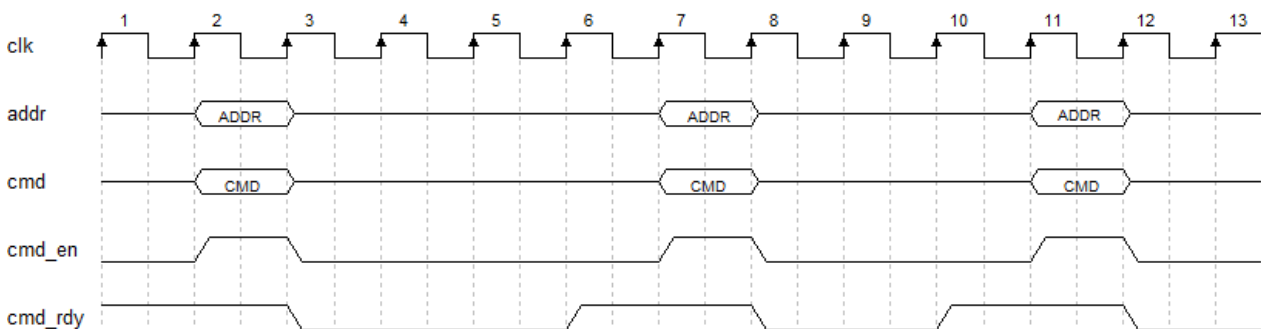
表 4-1 cmd 命令

命令	cmd
Read	1'b0
Write	1'b1

在用户接口端，命令、地址及使能信号之间的时序如图 4-6 所示，

当 cmd_en 为高时，此时的 cmd 与 addr 有效，用户发送命令需等待 cmd_rdy 拉高，才能发送命令，cmd_rdy 拉高表示控制器处于空闲状态可以接受用户命令。

图 4-6 命令、地址与使能信号时序图

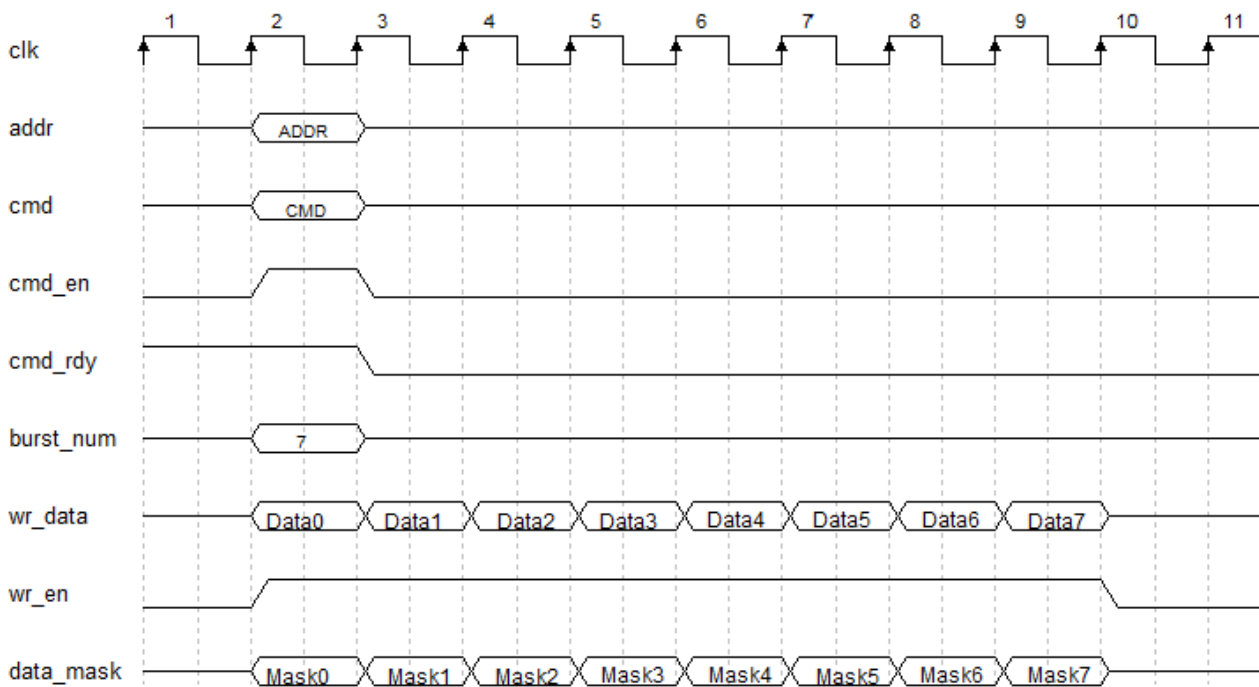


4.4.3 写数据

用户可通过用户接口 wr_data、wr_en、burst_num、data_mask 等端口将写数据发送给 Gowin UHS PSRAM Memory Interface IP，写数据经过处理后会被发送给 PSRAM 颗粒。

- wr_data 为写数据端口；
- wr_en 为写使能信号；
- burst_num 为此次突发的数据数量；
- data_mask 为写遮掩端口；
- 写数据通道与命令通道之间存在多种时序情况，下图以线性连续突发长度 burst_num 为 8 举例；
- 双通道 PSRAM IP 与单通道 PSRAM IP 写操作模式一致，但是双通道 PSRAM IP 两个通道的数据端口是独立的，需要分别给出写数据；

图 4-7 写数据端口时序图



- `burst_num` 为线性连续突发数量，最小为 1 即 2 个用户数据，上图为 7 即表示本次连续写 8 个数据，不同频率下 `burst_num` 最大值如表 4-2 所示。
- 连续操作下地址自加需用户计算，如上图突发 8 个用户数据，下次再进行写操作，地址需自加 $(burst_num+1) * 4$ ，即 32；
- 如果不使用 `mask` 功能 `data_mask` 可以接 0。

表 4-2 `burst_num` 最大值与频率关系

<code>burst_num</code> 最大值	memory_clk 频率	WL
163	133MHz	0
191	166MHz	0
191	200MHz	0
245	200MHz	2
255	233MHz	2

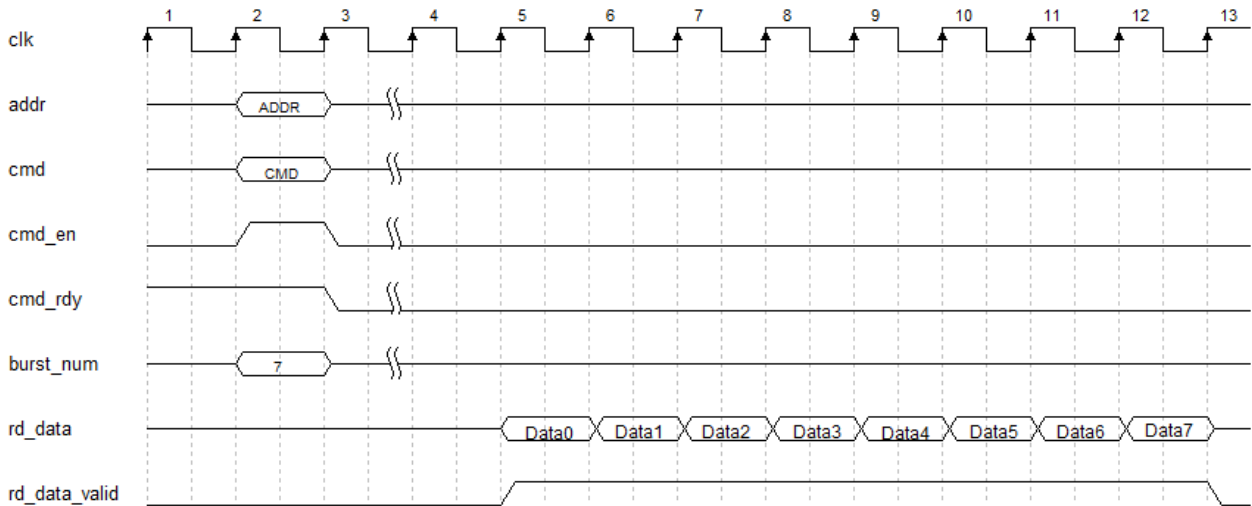
4.4.4 读数据

用户可通过用户接口 `rd_data`、`rd_data_valid` 读取 PSRAM 返回的数据。

- 端口 `rd_data` 为返回的读数据端口；
- 端口信号 `rd_data_valid` 为读数据有效端口，当其为高电平时，指示此时返回的 `rd_data` 有效；
- 读数据通道与命令通道之间存在多种时序情况，图以线性连续突发长度 `burst_num` 为 8 举例；

- 双通道 PSRAM IP 与单通道 PSRAM IP 读操作模式一致，但是双通道 PSRAM IP 两个通道的数据端口是独立的，需要分别接收 rd_data_valid 信号和 rd_data 数据；

图 4-8 读数据端口时序图



- 连续操作下地址自加需用户计算，如上图突发 8 个用户数据，下次再进行读操作，地址需自加 $(burst_num+1) * 4$ ，即 32。
- 读时 burst_num 最大值为 1023；

5 端口列表

Gowin UHS PSRAM Memory Interface IP 的 IO 端口如表 5-1、表 5-2 所示。

表 5-1 Gowin UHS PSRAM Memory Interface IP V1.0 的 IO 端口列表

信号	位宽	方向	描述
User Interface			
addr	ADDR_WIDTH	Input	地址输入
cmd	1	Input	命令通道
cmd_en	1	Input	命令与地址使能信号： 0: 无效 1: 有效
cmd_rdy	1	output	命令允许写入标志位： 0: 不可写入指令 1: 可以写入指令
rd_data	4*DQ_WIDTH	Output	读数据通道
rd_data_valid	1	Output	rd_data有效信号： 0: 无效 1: 有效
wr_data	4*DQ_WIDTH	Input	写数据通道
wr_en	1	Input	写数据使能信号： 0: 数据无效 1: 数据有效
data_mask	MASK_WIDTH	Input	为wr_data提供遮挡信号
clk	1	Input	参考输入时钟，一般为板载晶振时钟
init_calib	1	Output	初始化完成信号
clk_out	1	Output	用户设计使用时钟，频率为 Memory Clk的1/2
rst_n	1	Input	用户输入复位信号： 0: 有效 1: 无效

信号	位宽	方向	描述
memory_clk	1	Input	用户输入颗粒工作时钟，一般为PLL倍频出来的高速时钟，也可以不使用PLL
pll_lock	1	Input	如果memory_clk为PLL倍频输入，此接口接PLL的pll_lock管脚 如果用户不使用PLL，此接口接1'b1
PSRAM Interface			
O_apsram_cs_n	CS_WIDTH	Output	片选，低有效
O_apsram_ck	CS_WIDTH	Output	提供给PSRAM的时钟信号
O_apsram_ck_n	CS_WIDTH	Output	与O_apsram_ck组成差分信号
O_apsram_dm	CS_WIDTH	Output	PSRAM掩码信号
IO_apsram_dq	DQ_WIDTH	Bidirection	PSRAM数据
IO_apsram_dqs	CS_WIDTH	Bidirection	PSRAM数据选通信号

表 5-2 Gowin UHS PSRAM Memory Interface IP V2.0 的 IO 端口列表

信号	位宽	方向	描述
User Interface			
addr	ADDR_WIDTH	Input	地址输入
cmd	1	Input	命令通道
cmd_en	1	Input	命令与地址使能信号： 0: 无效 1: 有效
cmd_rdy	1	output	命令允许写入标志位： 0: 不可写入指令 1: 可以写入指令
rd_data	4*DQ_WIDTH	Output	读数据通道
rd_data_valid	1	Output	rd_data有效信号： 0: 无效 1: 有效
wr_data	4*DQ_WIDTH	Input	写数据通道
wr_en	1	Input	写数据使能信号： 0: 数据无效 1: 数据有效
data_mask	MASK_WIDTH	Input	为wr_data提供遮挡信号
clk_d	1	Input	与memory_clk同一个PLL的clkoutd管脚，一般为memory_clk的四分频；
init_calib	1	Output	初始化完成信号
clk_out	1	Output	用户设计使用时钟，频率为

信号	位宽	方向	描述
			Memory Clk的1/2
rst_n	1	Input	用户输入复位信号： 0: 有效 1: 无效
memory_clk	1	Input	用户输入颗粒工作时钟，一般为PLL倍频出来的高速时钟，也可以不使用PLL
memory_clk_p	1	Input	memory_clk的90°位移时钟，一般为同一个PLL的clkoutp管脚
pll_lock	1	Input	如果memory_clk为PLL倍频输入，此接口接PLL的pll_lock管脚 如果用户不使用PLL，此接口接1'b1
PSRAM Interface			
O_aprsram_cs_n	CS_WIDTH	Output	片选，低有效
O_aprsram_ck	CS_WIDTH	Output	提供给PSRAM的时钟信号
O_aprsram_ck_n	CS_WIDTH	Output	与O_aprsram_ck组成差分信号
O_aprsram_dm	CS_WIDTH	Output	PSRAM掩码信号
IO_aprsram_dq	DQ_WIDTH	Bidirection	PSRAM数据
IO_aprsram_dqs	CS_WIDTH	Bidirection	PSRAM数据选通信号

Gowin UHS PSRAM Memory Interface 2CH IP 的 IO 端口如表 5-3、表 5-4 所示。

表 5-3 Gowin UHS PSRAM Memory Interface 2CH IP V1.0 的 IO 端口列表

信号	位宽	方向	描述
User Interface			
addr0	ADDR_WIDTH	Input	通道0地址输入
addr1	ADDR_WIDTH	Input	通道1地址输入
cmd0	1	Input	通道0命令通道
cmd1	1	Input	通道1命令通道
cmd_en0	1	Input	通道0命令与地址使能信号： 0: 无效 1: 有效
cmd_en1	1	Input	通道1命令与地址使能信号： 0: 无效 1: 有效
cmd_rdy0	1	output	通道0命令允许写入标志位： 0: 不可写入指令 1: 可以写入指令

信号	位宽	方向	描述
cmd_rdy1	1	output	通道1命令允许写入标志位: 0: 不可写入指令 1: 可以写入指令
rd_data0	4*DQ_WIDTH	Output	读数据通道0
rd_data1	4*DQ_WIDTH	Output	读数据通道1
rd_data_valid0	1	Output	通道0rd_data有效信号: 0: 无效 1: 有效
rd_data_valid1	1	Output	通道1rd_data有效信号: 0: 无效 1: 有效
wr_data0	4*DQ_WIDTH	Input	写数据通道0
wr_data1	4*DQ_WIDTH	Input	写数据通道1
wr_en0	1	Input	通道0写数据使能信号: 0: 数据无效 1: 数据有效
wr_en1	1	Input	通道1写数据使能信号: 0: 数据无效 1: 数据有效
data_mask0	MASK_WIDTH	Input	为通道0wr_data提供遮挡信号
data_mask1	MASK_WIDTH	Input	为通道1wr_data提供遮挡信号
init_calib0	1	Output	通道0初始化完成信号
init_calib1	1	Output	通道1初始化完成信号
clk	1	Input	参考输入时钟, 一般为板载晶振时钟
clk_out	1	Output	用户设计使用时钟, 频率为Memory Clk的1/2
rst_n	1	Input	用户输入复位信号: 0: 有效 1: 无效
memory_clk	1	Input	用户输入颗粒工作时钟, 一般为PLL倍频出来的高速时钟, 也可以不使用PLL
pll_lock	1	Input	如果memory_clk为PLL倍频输入, 此接口接PLL的pll_lock管脚 如果用户不使用PLL, 此接口接1'b1
PSRAM Interface			
O_apsram_cs_n	2*CS_WIDTH	Output	片选, 低有效
O_apsram_ck	2*CS_WIDTH	Output	提供给PSRAM的时钟信号
O_apsram_ck_n	2*CS_WIDTH	Output	与O_apsram_ck组成差分信号

信号	位宽	方向	描述
O_apram_dm	2*CS_WIDTH	Output	PSRAM掩码信号
IO_apram_dq	2*DQ_WIDTH	Bidirection	PSRAM数据
IO_apram_dqs	2*CS_WIDTH	Bidirection	PSRAM数据选通信号

表 5-4 Gowin UHS PSRAM Memory Interface 2CH V2.0 IP 的 IO 端口列表

信号	位宽	方向	描述
User Interface			
addr0	ADDR_WIDTH	Input	通道0地址输入
addr1	ADDR_WIDTH	Input	通道1地址输入
cmd0	1	Input	通道0命令通道
cmd1	1	Input	通道1命令通道
cmd_en0	1	Input	通道0命令与地址使能信号： 0: 无效 1: 有效
cmd_en1	1	Input	通道1命令与地址使能信号： 0: 无效 1: 有效
cmd_rdy0	1	output	通道0命令允许写入标志位： 0: 不可写入指令 1: 可以写入指令
cmd_rdy1	1	output	通道1命令允许写入标志位： 0: 不可写入指令 1: 可以写入指令
rd_data0	4*DQ_WIDTH	Output	读数据通道0
rd_data1	4*DQ_WIDTH	Output	读数据通道1
rd_data_valid0	1	Output	通道0rd_data有效信号： 0: 无效 1: 有效
rd_data_valid1	1	Output	通道1rd_data有效信号： 0: 无效 1: 有效
wr_data0	4*DQ_WIDTH	Input	写数据通道0
wr_data1	4*DQ_WIDTH	Input	写数据通道1
wr_en0	1	Input	通道0写数据使能信号： 0: 数据无效 1: 数据有效
wr_en1	1	Input	通道1写数据使能信号： 0: 数据无效 1: 数据有效

信号	位宽	方向	描述
data_mask0	MASK_WIDTH	Input	为通道0wr_data提供遮挡信号
data_mask1	MASK_WIDTH	Input	为通道1wr_data提供遮挡信号
init_calib0	1	Output	通道0初始化完成信号
init_calib1	1	Output	通道1初始化完成信号
clk_d	1	Input	与memory_clk同一个PLL的clkoutd管脚，一般为memory_clk的四分频；
clk_out	1	Output	用户设计使用时钟，频率为Memory Clk的1/2
rst_n	1	Input	用户输入复位信号： 0: 有效 1: 无效
memory_clk	1	Input	用户输入颗粒工作时钟，一般为PLL倍频出来的高速时钟，也可以不使用PLL
memory_clk_p	1	Input	memory_clk的90° 位移时钟，一般为同一个PLL的clkoutp管脚
pll_lock	1	Input	如果memory_clk为PLL倍频输入，此接口接PLL的pll_lock管脚 如果用户不使用PLL，此接口接1'b1
PSRAM Interface			
O_apsram_cs_n	2*CS_WIDTH	Output	片选，低有效
O_apsram_ck	2*CS_WIDTH	Output	提供给PSRAM的时钟信号
O_apsram_ck_n	2*CS_WIDTH	Output	与O_apsram_ck组成差分信号
O_apsram_dm	2*CS_WIDTH	Output	PSRAM掩码信号
IO_apsram_dq	2*DQ_WIDTH	Bidirection	PSRAM数据
IO_apsram_dqs	2*CS_WIDTH	Bidirection	PSRAM数据选通信号

6 参数配置

Gowin UHS PSRAM Memory Interface IP 可支持 PSRAM 器件，用户需根据设计要求配置 Gowin UHS PSRAM Memory Interface 的各个静态参数与时序参数，具体参数如表 6-1 所示。

表 6-1 Gowin UHS PSRAM Memory Interface 的静态参数选项

名称	描述	选项
Memory TYPE	PSRAM颗粒型号	32Mbit/256Mbit容量可选
CLk Ratio	PSRAM PHY与内部逻辑时钟比例，用户不可操作	1:2
Psram Width	PSRAM颗粒DQ宽度	8
Dq Width	用户需要使用的数据位宽	8,16,24,32,40,48,56,64
Addr Width	颗粒的地址位宽,用户根据具体颗粒填写	<ul style="list-style-type: none"> ● 32Mbit颗粒可选22 ● 256Mbit颗粒可选25
Data Width	用户数据位宽	4*Dq Width;
CS Width	片选位宽	Dq Width/Psram Width
Mask Width	掩码位宽	Data Width/Psram Width
Simulation	仿真加速按钮	<ul style="list-style-type: none"> ● 点击此选项加速仿真 ● 板测时请不要勾选
Burst Type	突发类型	<ul style="list-style-type: none"> ● 选择256Mbit时Word/Hybrid可选; ● 选择32Mbit时置灰，此选项无效。
Burst Length	突发长度	<ul style="list-style-type: none"> ● 选择256Mbit时16/32/64/2048; ● 选择32Mbit时置灰，此选项无效。
Fixed Latency Enable	固定延时使能	Fixed
Initial Latency	初始延时值	<ul style="list-style-type: none"> ● 选择32Mbit时5/6可选 ● 选择256Mbit时置灰，此选项无效。

名称	描述	选项
Memory TYPE	PSRAM颗粒型号	32Mbit/256Mbit容量可选
RL	读延时	<ul style="list-style-type: none"> ● 选择256Mbit时6/7可选, 需与WL保持一致; ● 选择32Mbit时置灰, 此选项无效。
WL	写延时	<ul style="list-style-type: none"> ● 选择256Mbit时6/7可选, 需与RL保持一致; ● 选择32Mbit时 0/2可选。
Drive Strength	驱动强度	1/2, 1/4, 1/8, 1/16可选;
Deep Power Down	电源关闭选项	<ul style="list-style-type: none"> ● 选择256Mbit时 None/Half_Sleep/Deep_Power_Down可选; ● 选择32Mbit时置灰, 此选项无效。
Refresh Rate	刷新速度	<ul style="list-style-type: none"> ● 选择256Mbit时4X/1X/0.5X可选; ● 选择32Mbit时置灰, 此选项无效。
DQ Mode	DQ 模式	<ul style="list-style-type: none"> ● 选择256Mbit时X8/X16可选; ● 选择32Mbit时置灰, 此选项无效。
RBX	跨行读写	<ul style="list-style-type: none"> ● 选择256Mbit时ON/OFF可选; ● 选择32Mbit时置灰, 此选项无效。
PASR	自刷新区域	full, bottom_1/2, bottom_1/4, bottom_1/8, top_1/2, top_1/4, top_1/8;

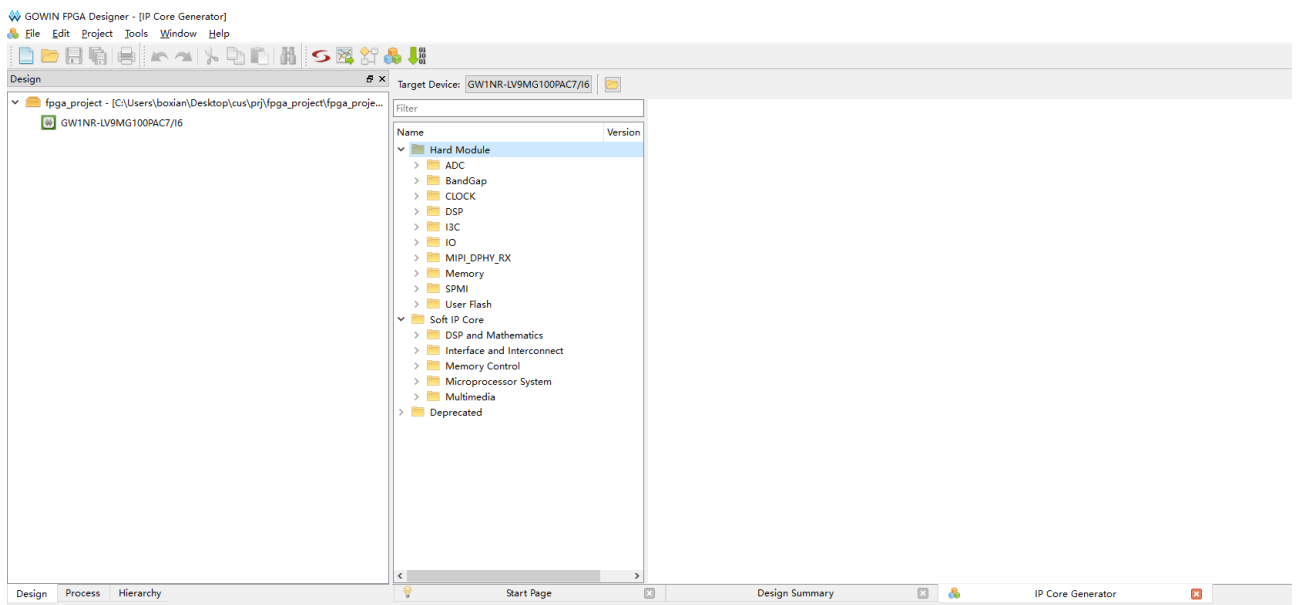
7 界面配置

用户可在 IDE 中通过 IP Core Generator 工具调用并配置 Gowin UHS PSRAM Memory Interface IP。本章节以选择使用 32Mbit PSRAM 内存颗粒、UHS PSRAM Memory Interface V1.0 IP 为例，介绍了主要配置界面、配置流程以及各配置选项含义。

1. 打开 IP Core Generator

用户建立工程后，点击左上角 Tools 选项卡，下拉单击 IP Core Generator 选项，就可打开 GOWIN 的 IP 核产生工具，如图 7-1 所示。

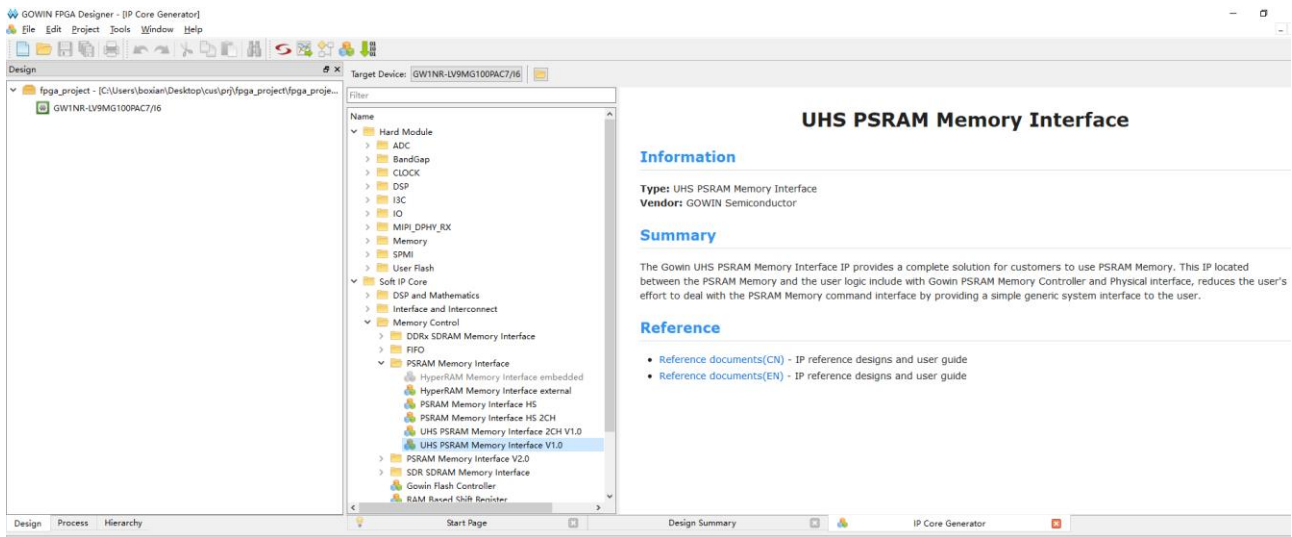
图 7-1 打开 IP Core Generator



2. 打开 UHS PSRAM Memory Interface V1.0 IP 核

点击 Soft IP Core/Memory Cotrol/PSRAM Memory Interface 选项，双击 UHS PSRAM Memory Interface V1.0，打开 UHS PSRAM Memory Interface V1.0 IP 核的配置界面，如图 7-2 所示。

图 7-2 打开 UHS PSRAM Memory Interface V1.0 IP 核

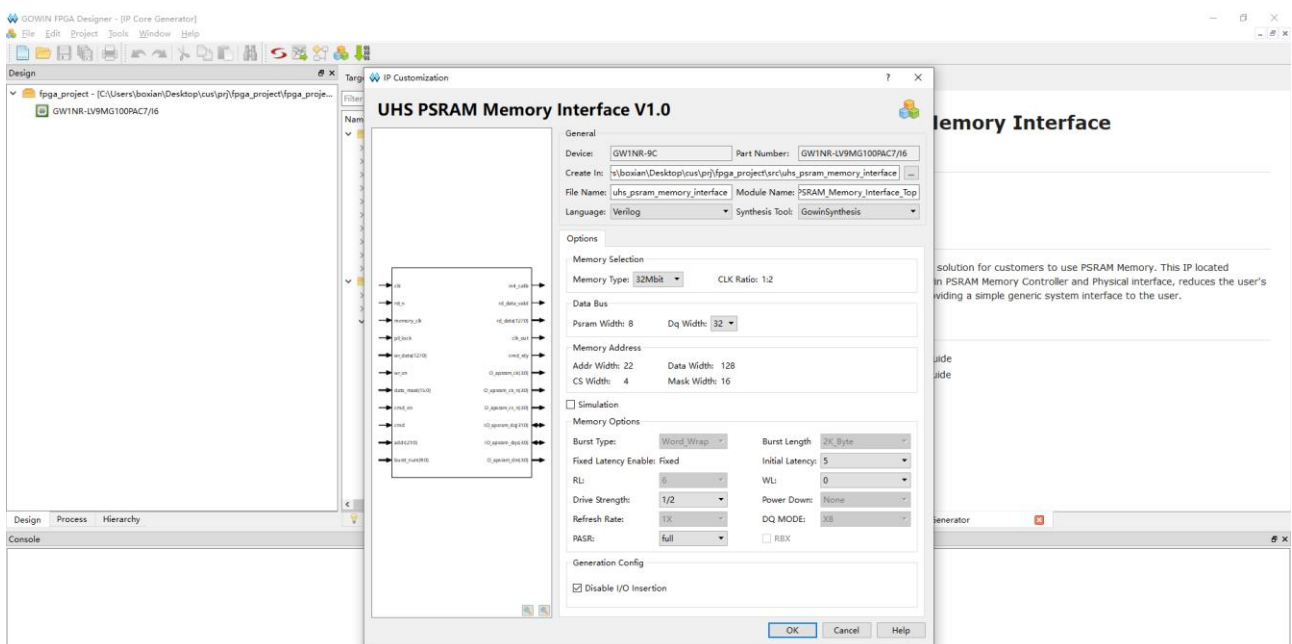


3. UHS PSRAM Memory Interface V1.0 IP 核端口界面

配置界面左端是 UHS PSRAM Memory Interface V1.0 IP 核的接口示意图，如图 7-3 所示。

接口示意图中右端是 UHS PSRAM Memory Controller 与用户端接口，用户通过将自己的用户设计连接到 UHS PSRAM Memory Interface V1.0 IP 中实现命令和数据的收发，左端是 PHY（Physical interface）与内存颗粒的接口，用户通过将 UHS PSRAM Memory Interface V1.0 IP 核与自己所需内存颗粒连接，实现对数据的存取。用户使用不同的配置信息，接口示意图中的信号位宽，信号数量将会随之改变。

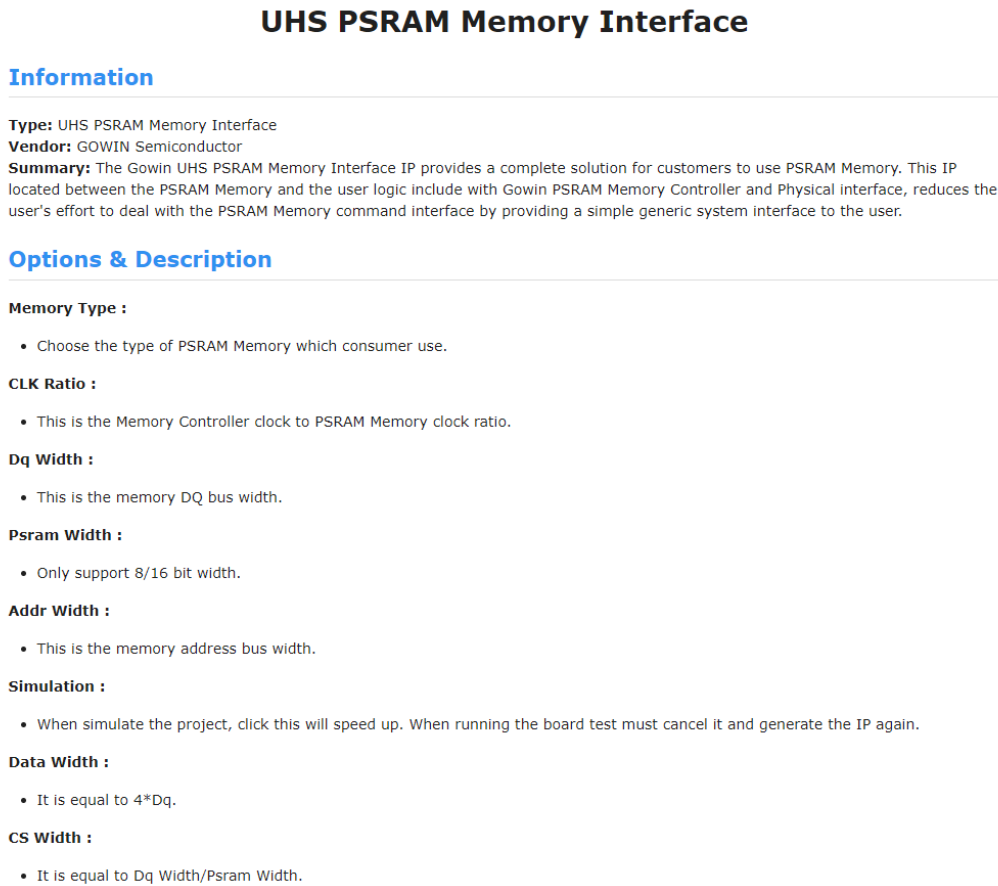
图 7-3 IP 核接口示意图



4. 打开 Help 文档

在图 7-3 的左下角，有一个 Help 按钮，用户可以点击 Help 按钮查看配置界面中各个选项的简单英文介绍，方便用户快速完成对 IP 核的配置，Help 文档选项介绍顺序和界面顺序一致，如图 7-4 所示。

图 7-4 Help 文档



5. 配置基本信息

在配置界面的上部分是工程基本信息配置界面，本文芯片型号选择 GW1NR-9C 为例，封装选择 MBGA100PA。Module Name 选项后面是工程产生后顶层文件的名字，默认为“UHS_PSRAM_Memory_Interface_Top”，用户可自行修改。“File Name”是 IP 核文件产生的文件夹，存放 UHS PSRAM Memory Interface V1.0 IP 核所需文件，默认为“uhs_psram_memory_interface”，用户可自行修改路径。Creat In 选项是 IP 核文件夹产生路径，默认为“\工程路径\src\uhs_psram_memory_interface”，用户可自行修改路径。右下角“Add to Current Project”选项是询问是否产生的 IP 直接添加到你的工程中，默认勾选，如图 7-5 所示。

图 7-5 基本信息配置界面

The screenshot shows the 'General' configuration window with the following fields:

- Device: GW1NR-9C
- Part Number: GW1NR-LV9MG100PAC7/I6
- Create In: s:\boxian\Desktop\cus\prj\fpga_project\src\uhs_psram_memory_interface
- File Name: uhs_psram_memory_interface
- Module Name: PSRAM_Memory_Interface_Top
- Language: Verilog
- Synthesis Tool: GowinSynthesis

6. Options 选项卡

在 Options 选项卡中，用户需要配置所使用的 PSRAM 内存芯片的基本信息。

- Select Memory 选项
- Data Bus 选项
- Memory Address 选项

Memory Address 中填写 PSRAM 内存颗粒的地址信息，用户需要知道所用颗粒的地址位宽，填写数据等于颗粒的 ROW +Upper Column+Lower Column，当选择好 PSRAM 内存颗粒类型后，GUI 会自动填写，如果选择 Custom 则需要用户根据自己使用的 PSRAM 内存类型自行选择；

- Accelerrate Simulation 选项

该选项用于加速用户仿真，用户仿真时可勾选此项，但是板级测试时请去掉勾选并重新生成 IP；

图 7-6 Options 选项卡

The screenshot shows the 'Options' configuration window with the following sections and values:

- Memory Selection**
 - Memory Type: 32Mbit
 - CLK Ratio: 1:2
- Data Bus**
 - Psram Width: 8
 - Dq Width: 32
- Memory Address**
 - Addr Width: 22
 - Data Width: 128
 - CS Width: 4
 - Mask Width: 16
- Simulation

7. Memory Options 选项卡

- Memory options 选项
- Generation Config 选项

勾选后产生的 IP 中，没有插入 IBUF、OBUF 等原语，直接使用 port 连接逻辑，默认勾选。

Memory Options 选项卡如图 7-7 所示，已选择 32Mbit PSRAM 内存颗粒为例。置灰选项为其他类型颗粒选项，选择 32Mbit 颗粒时不可用，不生成参数配置；

图 7-7 Memory Options 选项卡

The image shows two configuration panels. The top panel, titled "Memory Options", contains the following settings:

Burst Type:	Word_Wrap	Burst Length:	2K_Byte
Fixed Latency Enable:	Fixed	Initial Latency:	5
RL:	6	WL:	0
Drive Strength:	1/2	Power Down:	None
Refresh Rate:	1X	DQ MODE:	X8
PASR:	full	<input type="checkbox"/> RBX	

The bottom panel, titled "Generation Config", contains the following setting:

<input checked="" type="checkbox"/> Disable I/O Insertion

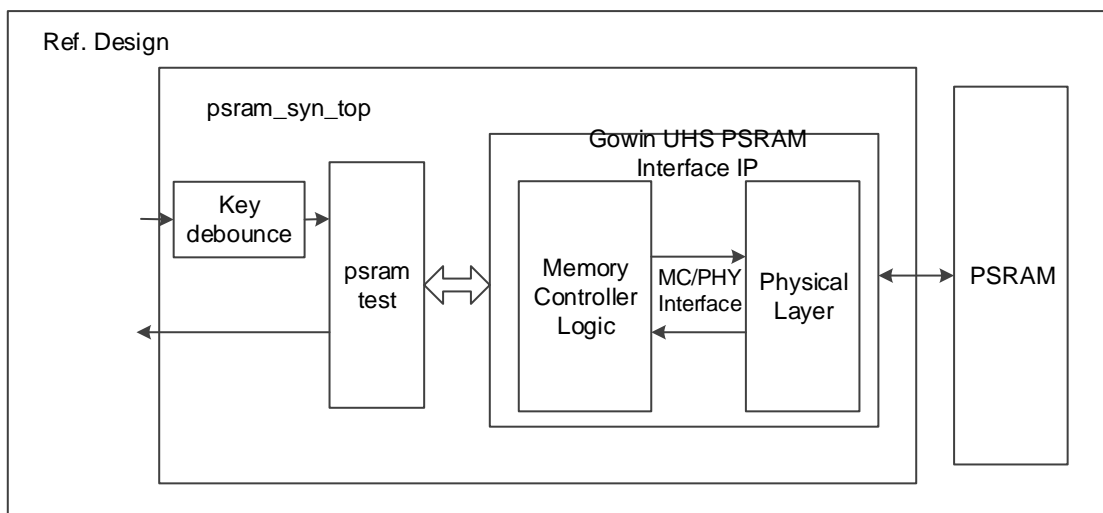
8. PSRAM 2CH IP 特殊说明

- Dq Width Psram Width 不可修改，已经按照一个颗粒位宽配置好，顶层文件将例化两个通道，形成双通道传输；

8 参考设计

为方便用户快速熟悉并使用 Gowin UHS PSRAM Memory Interface IP，提供了一个简单的参考设计，参考设计基本结构如图 8-1 所示。

图 8-1 参考设计基本结构框图



在参考设计中，psram_syn_top 模块是顶层模块单元，其端口连接输入参考时钟、外部复位等信号，端口连接如表 8-1 所示。psram_test 用于产生 Gowin PSRAM Interface IP 所需的地址、数据与读写等命令，并且该模块单元可综合。Key_debounce 模块是一个消抖模块，用于消除由按键或拨码开关控制外部激励时产生的信号抖动。

表 8-1 psram_syn_top 模块输入端口列表

名称	描述
clk	输入参考时钟，默认50MHz
rst_n	输入复位信号

PSRAM_test 等待 IP 初始化完成后，自动循环读写，对不同地址进行读写操作，并且每次突发长度自定增加，遍历所有突发情况，并对 UHS PSRAM Memory Interface IP 返回的读数据进行分析验证，并输出 error 检测信号，当 error 信号拉高表示有误码，反之没有误码。

9 文件交付

Gowin UHS PSRAM Memory Interface IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

9.1 文档

文件夹主要包含用户指南 PDF 文档。

表 9-1 文档列表

名称	描述
IPUG767, Gowin UHS PSRAM Memory Interface & 2CH IP用户指南	高云PSRAM内存接口IP用户手册，即本手册。

9.2 设计源代码（加密）

加密代码文件夹包含 Gowin UHS PSRAM Memory Interface IP 的 RTL 加密代码，供 GUI 使用，以配合高云云源软件产生用户所需的 IP 核。

表 9-2 设计源代码列表

名称	描述
PSRAM_256_TOP.v	IP核顶层文件，给用户提提供接口信息，未加密，256Mbit 颗粒使用。
PSRAM_32_TOP.v	IP核顶层文件，给用户提提供接口信息，未加密，32Mbit 颗粒使用。
GOWIN UHS PSRAM Memory Interface部分代码	
apsram_256_code.v	高云UHS PSRAM Memory Interface IP 设计RTL源文件，加密，256Mbit颗粒使用。
apsram_32_code.v	高云UHS PSRAM Memory Interface IP 设计RTL源文件，加密，32Mbit颗粒使用。
apsram_define.v	高云PSRAM内存控制器参数定义模块，由用户通过GUI配置产生，未加密。
apsram_local_define.v	高云PSRAM内存控制器参数定义处理模块，加密。
apsram_param.v	高云PSRAM内存控制器参数配置模块，由用户通过GUI配置产生，未加密。
apsram_local_param.v	高云PSRAM内存控制器参数处理模块，处理GUI传进的

名称	描述
	参数, 加密。

9.3 参考设计

Ref. Design 文件夹主要包含 Gowin UHS PSRAM Memory Interface IP 的网表文件, 用户参考设计, 约束文件、消抖模块、顶层文件及工程文件夹等。

表 9-3 Ref. Design 文件夹内容列表

名称	描述
psram_syn_top.v	参考设计的顶层module
key_debounce.v	按键消抖模块
psram_test.v	测试激励产生模块
UHS_PSRAM_Memory_Interface.vo	Gowin UHS PSRAM Memory Interface IP网表文件
psram.cst	PSRAM工程物理约束文件
psram.sdc	PSRAM工程时序约束文件
psram.gao	抓取PSRAM颗粒数据
UHS_PSRAM_Memory_Interface	PSRAM IP工程文件夹

