



Gowin FOC Current Loop Control Light IP 用户指南

IPUG770-1.0,2021-03-16

版权所有©2021 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2021/03/16	1.0	初始版本。

目录

目录	i
图目录	iii
表目录	iii
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 概述	3
2.1 FOC Current Loop Control Light IP 介绍	3
2.2 FOC 电流环算法简介	4
2.2.1 电机原理	4
2.2.2 FOC 原理	5
2.2.3 FOC 电流环原理	6
2.2.4 Clarke 变换原理	6
2.2.5 Park 变换原理	7
2.2.6 Park 逆变换原理	7
2.2.7 PI 控制原理	8
2.2.8 SVPWM 原理	9
2.2.9 PWM 死区补偿原理	11
3 特征与性能	12
3.1 主要特征	12
3.2 最大频率	12
3.3 延迟 Latency	12
3.4 资源利用	12

4 功能描述	13
4.1 FOC Current Loop Control Light IP 结构与功能	13
5 端口描述	15
5.1 FOC Current Loop Control Light IP 端口	15
5.2 FOC Current Loop Control Light Debug Mode 端口	17
6 时序说明	20
6.1 FOC Current Loop Control Light IP 时序	20
7 配置及调用	22
8 参考设计	25
8.1 设计实例应用	25

图目录

图 2-1 电机原理图.....	4
图 2-2 电机驱动的三相桥的原理图	4
图 2-3 FOC 原理图	5
图 2-4 FOC 电流环原理图	6
图 2-5 Clarke 变换原理图	6
图 2-6 Park 变换原理图	7
图 2-7 Park 逆变换原理图	7
图 2-8 PI 控制原理图	8
图 2-9 Anti-Windup PI 控制原理图.....	8
图 2-10 SVPWM 扇区分布图.....	9
图 2-11 电机驱动的三相桥原理图.....	9
图 2-12 扇区分布图	10
图 2-13 第一扇区矢量合成图	10
图 2-14 第一扇区 PWM 输出图.....	11
图 2-15 死区补偿图	11
图 4-1 FOC Current Loop Control Light IP 实现框图	13
图 5-1 FOC Current Loop Control Light IP 端口图.....	15
图 5-2 FOC Current Loop Control Light IP 的 Debug Mode 端口图.....	17
图 6-1 FOC Current Loop Control Light IP 的输入状态时序图.....	20
图 6-2 FOC Current Loop Control Light IP 的输出状态时序图.....	21
图 7-1 IP Core Generator 界面.....	22
图 7-2 FOC Current Loop Control Light IP 界面.....	23
图 7-3 Help 文档.....	24
图 8-1 参考设计结构框图.....	25

表目录

表 1-1 术语、缩略语.....	1
表 2-1 FOC Current Loop Control Light IP.....	3
表 2-2 扇区开关切换表.....	11
表 3-1 FOC Current Loop Control Light IP 占用资源.....	12
表 5-1 FOC Current Loop Control Light IP 的 IO 端口列表.....	16
表 5-2 FOC Current Loop Control Light Debug Mode 的 IO 端口列表.....	18

1 关于本手册

1.1 手册内容

Gowin FOC Current Loop Control Light IP 用户指南主要内容包括功能特点、端口描述、时序说明、配置调用、参考设计等。主要用于帮助用户快速了解 Gowin FOC Current Loop Control Light IP 的产品特性、特点及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

1. [DS100](#)，GW1N 系列 FPGA 产品数据手册
2. [DS117](#)，GW1NR 系列 FPGA 产品数据手册
3. [DS102](#)，GW2A 系列 FPGA 产品数据手册
4. [DS226](#)，GW2AR 系列 FPGA 产品数据手册
5. [SUG100](#)，Gowin 云源软件用户指南

1.3 术语、缩略语

表 1-1 术语、缩略语 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
DSP	Digital Signal Processing	数字信号处理
IP	Intellectual Property	知识产权
RAM	Random Access Memory	随机存取存储器
LUT	Look-up Tables	查找表

术语、缩略语	全称	含义
FOC	Field Oriented Control	磁场定向控制
SVPWM	Space Vector Pulse Width Modulation	空间矢量脉宽调制
PWM	Pulse Width Modulation	脉宽调制

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 FOC Current Loop Control Light IP 介绍

Gowin FOC Current Loop Control Light IP 主要是实现 FOC 的电流环的设计，采用较少的资源设计实现对电机的控制。

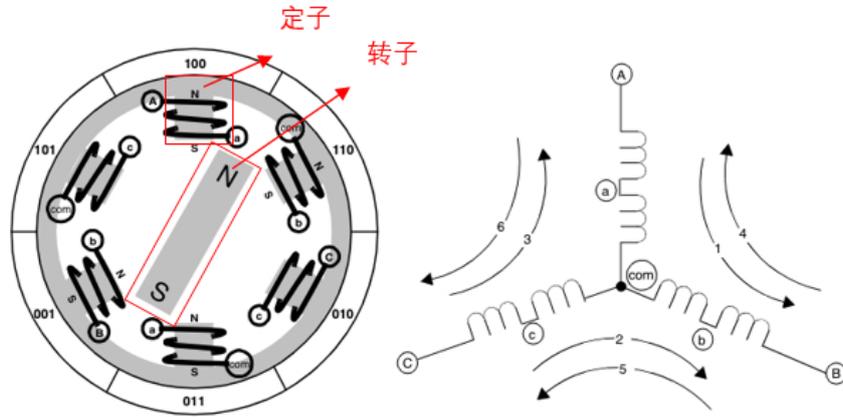
表 2-1 FOC Current Loop Control Light IP

FOC Current Loop Control Light IP	
IP核应用	
逻辑资源	请参见表3-1。
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSythesis
应用软件	Gowin Software

2.2 FOC 电流环算法简介

2.2.1 电机原理

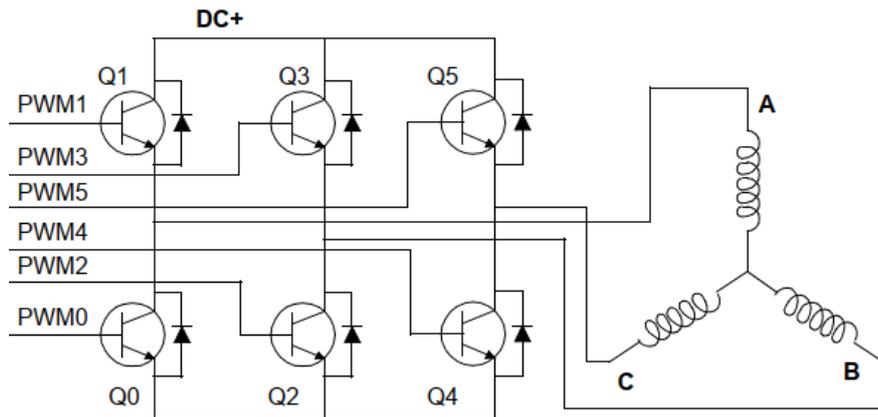
图 2-1 电机原理图



电机（俗称“马达”）是指依据电磁感应定律实现电能转换或传递的一种电磁装置。它的主要作用是产生驱动转矩，为用电器或各种机械提供动力。

电机主要包括两部分，定子(Stator)和转子(rotor)两部分组成。电机的转动通过电磁感应原理使流过绕线定子的电流产生磁场，转子由于极性的不同，从而产生一次转动。通过三相桥通过周期性的电流流过，从而让转子完成一周的转动。

图 2-2 电机驱动的三相桥的原理图

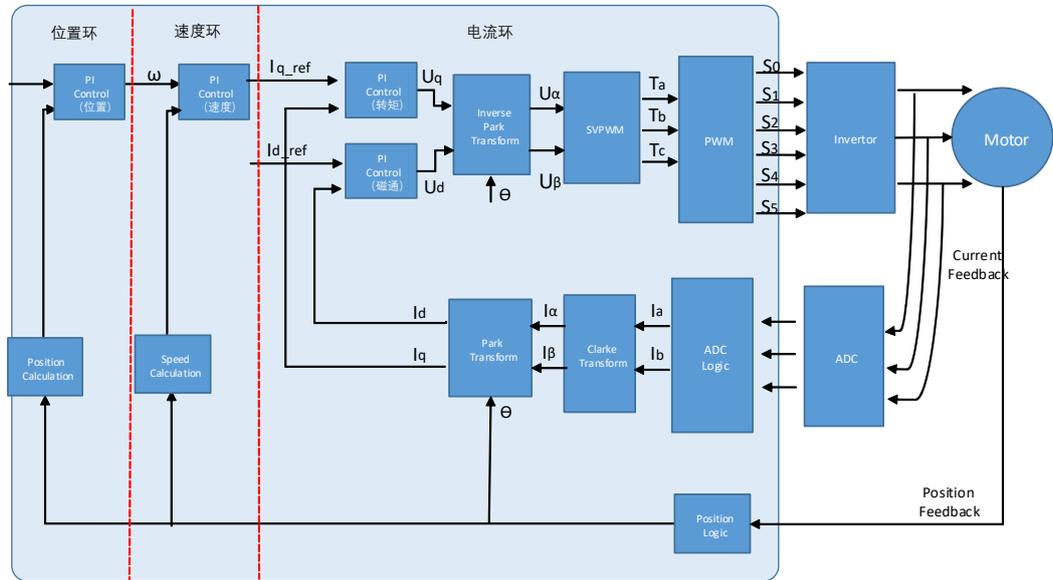


电机驱动的三相桥如图 2-2 所示。通过上下开关管的打开和关闭，给三相 A 相，B 相，C 相通电产生磁场，让转子转动。如 Q1 和 Q4 打开，其他管子关闭，正电流从 Q1 流向 A 相绕组定子，接着 C 相绕组定子，从 Q4 流回电源负端。流过 A 相，C 相的电流产生磁场，根据电磁感应和右手定则，可知其方向与 B 相平行，所以转子在磁场力的作用下，转到 B 相平行位置。

如果要使电机按指定方向连续转动，只需要按照一定顺序给定子通电，即“换相”处理。

2.2.2 FOC 原理

图 2-3 FOC 原理图



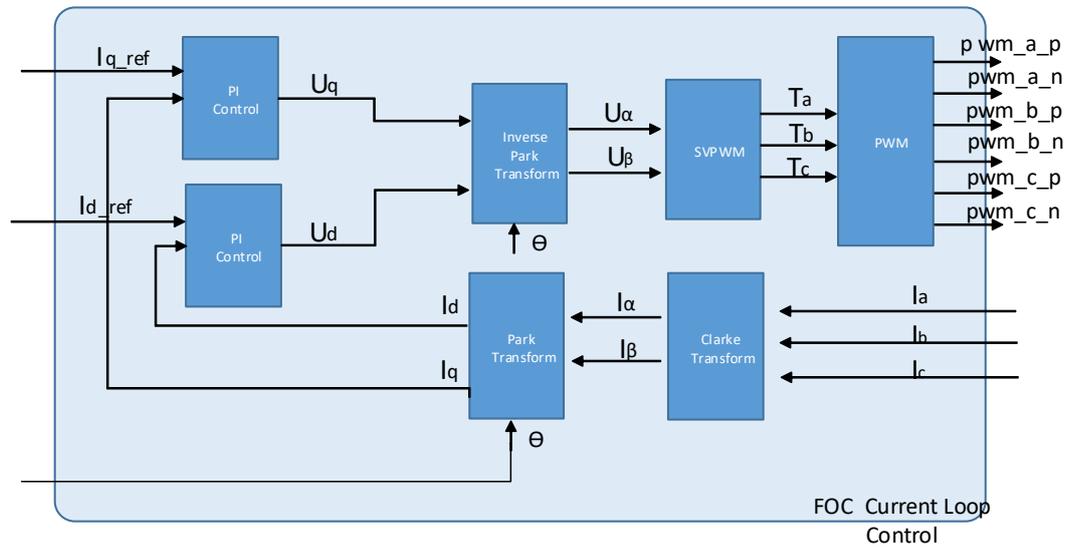
FOC(磁场定向控制), 又称矢量控制, 通过测量和控制电动机的定子电流矢量, 根据磁场定向原理分别对电动机的励磁电流和转矩电流进行控制。

FOC 典型控制如图 2-3 所示。电机转子的位置、电机转速、电流大小等信息作为反馈, 对三相电流进行一系列的数学变换后得到解耦了的易用控制的反馈量。然后, 根据反馈量与目标值的误差进行动态调节, 最终输出三相正弦波驱动电机转动。

FOC 一般采用三环控制, 分别为电流环、速度环、位置环。电流环控制电机的转矩, 是 FOC 控制的根本。而速度环、位置环主要通过检测的电机编码器的信号来进行负反馈 PI 调节, 它的环内 PI 输出直接就是电流环的给定, 所以速度环控制时就包含了速度环和电流环, 换句话说任何模式都必须使用电流环, 电流环是控制的根本, 在速度和位置控制的同时系统实际也在进行电流(转矩)的控制以达到对速度和位置的相应控制。

2.2.3 FOC 电流环原理

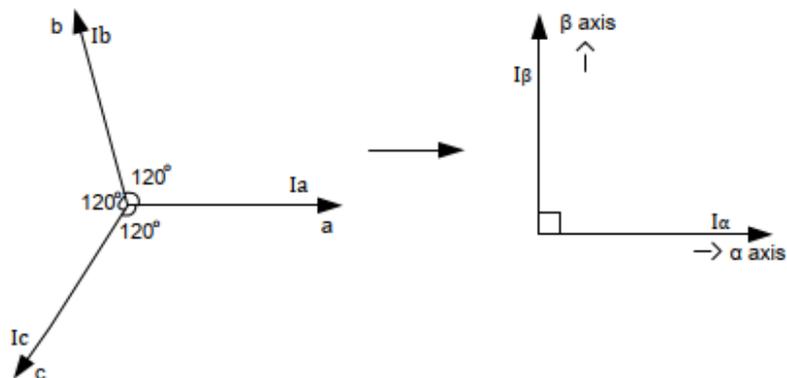
图 2-4 FOC 电流环原理图



FOC 内环控制是 FOC 的核心控制部分。FOC 电流环控制，如图 2-4 所示，是一个将三相电流转换为相互正交电流的过程。首先，电机的三相电流通过 ADC 采样后进行输入，通过 Clarke 变换和 Park 变换进行坐标变换，将三相静止坐标系转化为两相旋转的坐标系，通过 PI 控制进行转速调节，之后，Park 逆变换进行坐标系还原，SVPWM 进行电压调控输出，最后产生 PWM 波，三相桥驱动完成电机驱动控制。

2.2.4 Clarke 变换原理

图 2-5 Clarke 变换原理图



Clarke 变换，如图 2-5 所示，是将三轴二维坐标系转为双轴二维坐标系的过程。

$$I_{\alpha} = \frac{2}{3}I_a - \frac{1}{3}I_b - \frac{1}{3}I_c$$

$$I_{\beta} = \frac{1}{\sqrt{3}}(I_b - I_c)$$

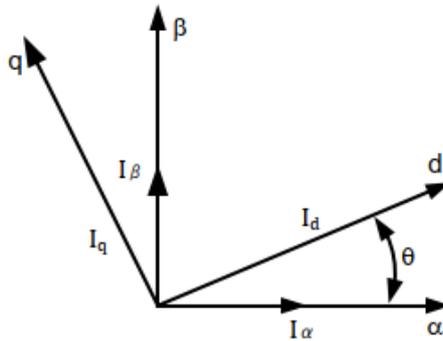
若 $I_a + I_b + I_c = 0$, 则

$$I_{\alpha} = I_a$$

$$I_{\beta} = \frac{1}{\sqrt{3}}(I_a + 2I_b)$$

2.2.5 Park 变换原理

图 2-6 Park 变换原理图



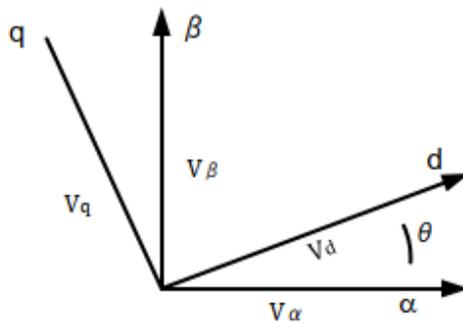
Park 变换, 如图 2-6 所示, 是将静止坐标系转换为旋转坐标系。

$$I_d = I_{\alpha} \cos(\theta) + I_{\beta} \sin(\theta)$$

$$I_q = I_{\beta} \cos(\theta) - I_{\alpha} \sin(\theta)$$

2.2.6 Park 逆变换原理

图 2-7 Park 逆变换原理图



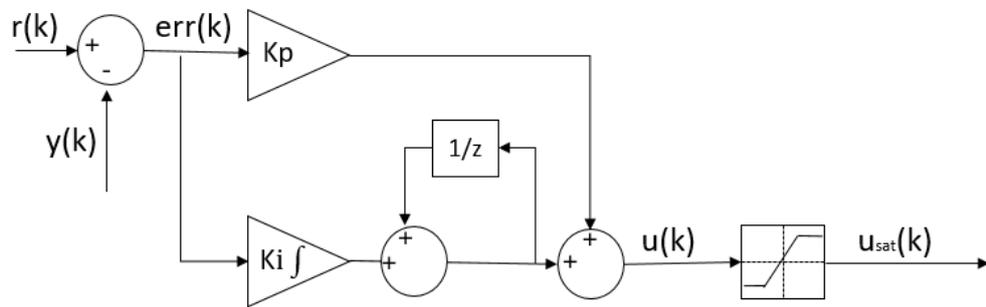
Park 逆变换, 如图 2-7 所示, 是将旋转坐标系转换为静止坐标系。

$$V_{\alpha} = V_d \cos(\theta) - V_q \sin(\theta)$$

$$V_{\beta} = V_q \cos(\theta) + V_d \sin(\theta)$$

2.2.7 PI 控制原理

图 2-8 PI 控制原理图

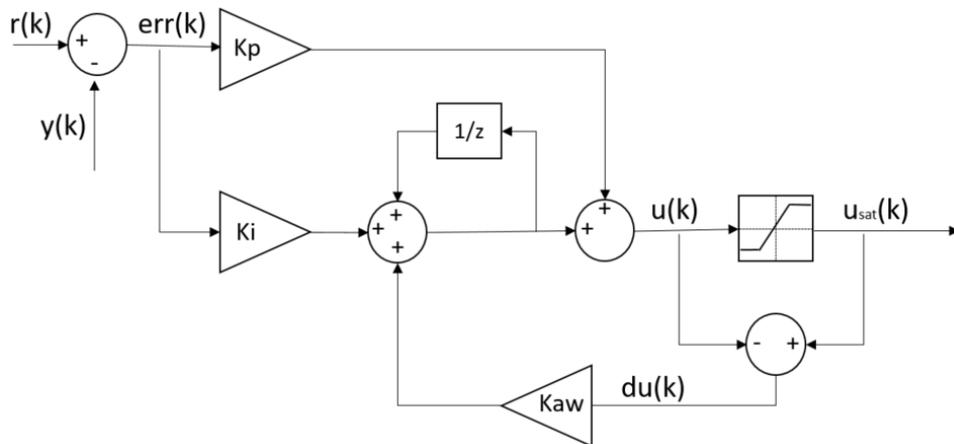


$$u(k) = Kp * err(k) + Ki * err(k) * \left(1 + \frac{1}{z}\right)$$

PI 控制是通过比例和积分对偏差进行控制。如图 2-8 所示，实际值 $r(k)$ 与参考值 $y(k)$ 产生偏差 $err(k)$ ，PI 控制器通过比例因子 Kp 和积分因子 Ki 进行偏差控制。

由于 PI 控制通常在线性区域设计，并不考虑对控制对象输入限制，会导致过大的误差输出，闭环系统会产生相应不稳定的现象，即 Wind-up 现象。为了避免该现象出现，如图 2-9 所示，设计使用 Anti-Windup 的 PI 控制器。

图 2-9 Anti-Windup PI 控制原理图



$$u(k) = Kp * err(k) + \left(Ki + Kaw * du(k) \frac{z}{z-1}\right) err(k)$$

Anti-Windup 的 PI 控制器，通过将输入与输出的误差反馈作用到积分器上，减弱积分器影响，从而抑制 wind-up 现象。

2.2.8 SVPWM 原理

SVPWM 空间矢量脉宽调制，是以三相电机的定子作为理想磁链圈的参考坐标系，系统通过控制三相桥管子做适当的开关操作，从而产生逼近理想磁链圈的 PWM 波形。

图 2-10 SVPWM 扇区分布图

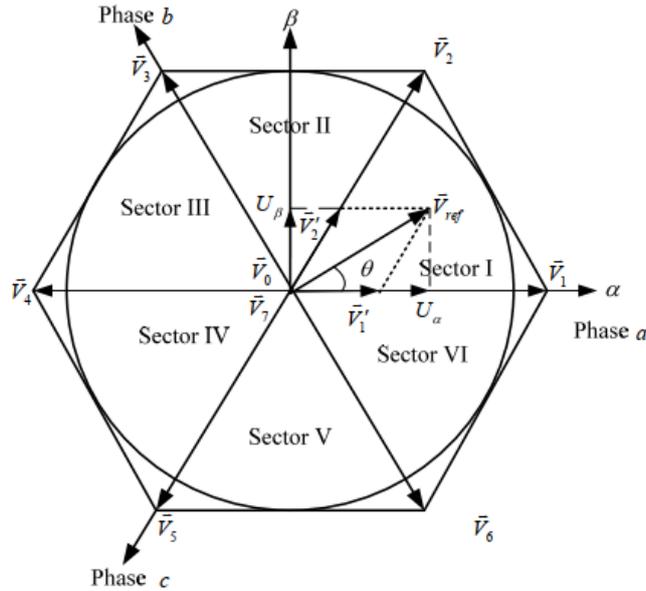
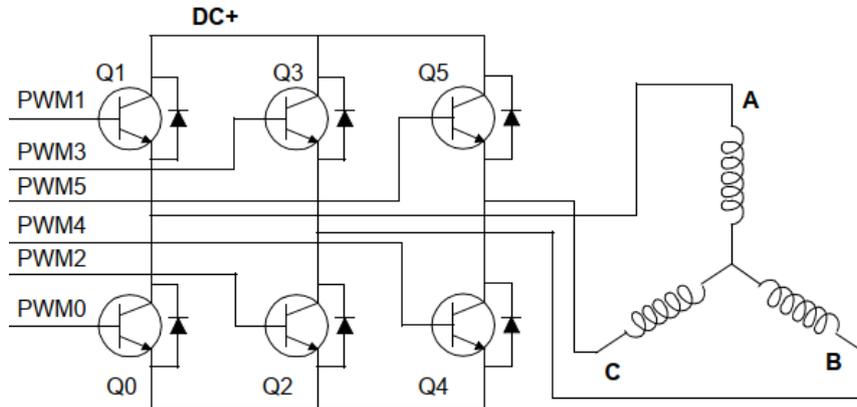


图 2-11 电机驱动的三相桥原理图



SVPWM 将空间分为 6 个扇区，每个扇区通过编码(A, B, C)与三相桥的开关管相对应，其中“0”表示上管关闭而下管打开，“1”表示上管打开而下管关闭。如扇区一可以表示为 (1, 0, 0)，即 Q1, Q2, Q4 打开，其他管子关闭，然后控制开关电流的时间，使转子转到扇区一的角度位置。

图 2-12 扇区分布图

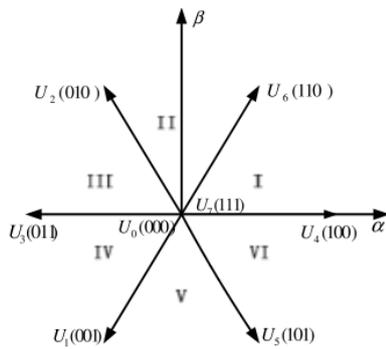
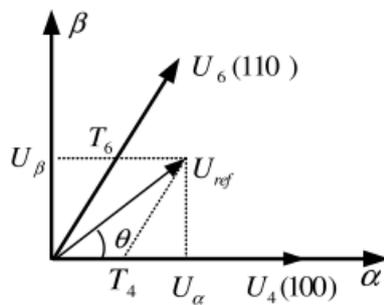


图 2-13 第一扇区矢量合成图



如图 2-12 和图 2-13 所示，通过 U4T4 以及 U6T6 的矢量合成，得到 U_{ref} 的期望输出电压。

$$\int_0^T U_{ref} = \int_0^{T_4} U_4 + \int_{T_4}^{T_4+T_6} U_6 + \int_{T_4+T_6}^T U_0$$

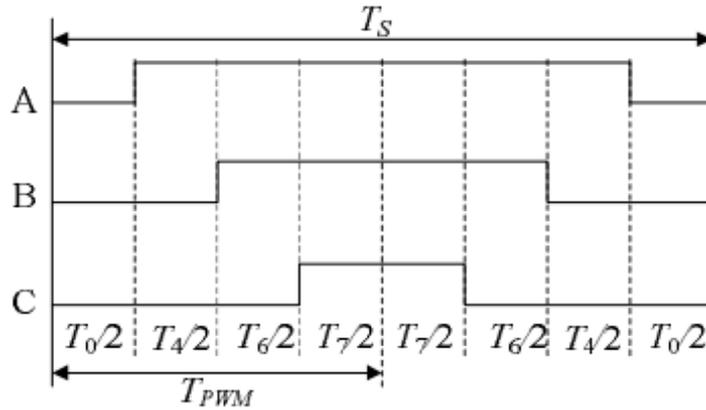
$$U_{out} T = U_4 T_4 + U_6 T_6 + U_0 T_{T-T_4-T_6} = U_x T_x + U_y T_y + U_0 T_0$$

其中 U_{ref} 为期望所要输出的电压， T 为周期， T_x ， T_y ， T_0 分别为对应坐标系和零矢量 U_0 在一个周期内所作用的时间。

产生实际的脉宽调制波形，需要通过计算矢量切换时间得到。选择适当的零矢量可最大限度的减少开关次数，尽可能避免在负载电流较大的时刻的开关动作，最大限度地减少开关损耗。所以为了减少开关次数，需要将基本矢量作用顺序的分配原则选定为：在每次开关状态转换时，只改变其中的开关状态，并且对零矢量在时间上进行了平均分配，以使产生的 PWM 对称，从而有效地降低 PWM 的谐波分量。

以第一扇区为例，电压矢量先后为 $U_0, U_4, U_6, U_7, U_7, U_6, U_4, U_0$ ，则 PWM 输出如图 2-14 所示。

图 2-14 第一扇区 PWM 输出图



其他扇区开关顺序表如表 2-2 所示。

表 2-2 扇区开关切换表

扇区	U_{ref} 所在位置	开关切换顺序
I 区	$0 \leq \theta \leq 60$...0-4-6-7-7-6-4-0...
II 区	$60 \leq \theta \leq 120$...0-2-6-7-7-6-2-0...
III 区	$120 \leq \theta \leq 180$...0-2-3-7-7-3-2-0...
IV 区	$180 \leq \theta \leq 240$...0-1-3-7-7-3-1-0...
V 区	$240 \leq \theta \leq 300$...0-1-5-7-7-5-1-0...
VI 区	$300 \leq \theta \leq 360$...0-4-5-7-7-5-4-0...

2.2.9 PWM 死区补偿原理

由于开关管自身的特性:开通和关断都需要一定的时间,且关断时间比开通时间要长。因此,若按照理想的触发信号控制开关管的开通和关断,就可能导致同一桥臂的 2 个开关管直通而损坏开关器件。为了防止这种直通现象的发生,必须在它们开通和关断之间插入一定延时的时间,这个延时时间就称为死区补偿,如图 2-15 所示。

图 2-15 死区补偿图



3 特征与性能

3.1 主要特征

- 精简的资源结构
- 具有死区补偿的 PWM 输出

3.2 最大频率

FOC Current Loop Control Light IP 的最大频率主要根据所用器件的速度等级（speed grade of the devices）确定，可到约 110M。

3.3 延迟 Latency

FOC Current Loop Control Light IP 的延迟约为 86 cycle。

3.4 资源利用

通过 Verilog 语言实现 FOC Current Loop Control Light IP。因使用器件的密度、速度、等级不同以及 IP 配置模式不同，其性能和资源利用情况可能不同。

以高云 GW2A-18 系列 FPGA 为例，FOC Current Loop Control Light IP 其资源利用情况如表 3-1 所示，有关在其他高云 FPGA 上的应用验证，请关注后期发布信息。

表 3-1 FOC Current Loop Control Light IP 占用资源

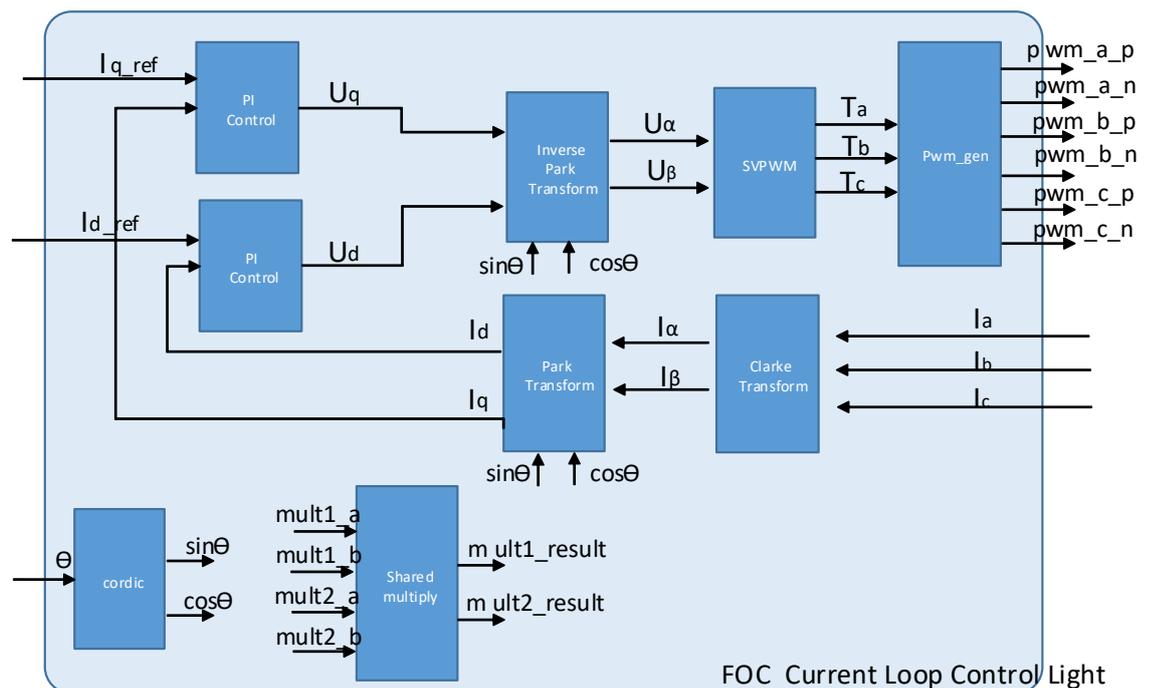
器件系列	速度等级	器件名称	资源利用	备注
GW2A-18	-7	Registers	1696	
		LUT	1765	
		ALU	615	
		DSP	3	
		BSRAM	0	

4 功能描述

4.1 FOC Current Loop Control Light IP 结构与功能

在 FPGA 中通过图 4-1 所示结构处理，最终实现 FOC Current Loop Control Light IP。

图 4-1 FOC Current Loop Control Light IP 实现框图



FOC 电流环 IP 控制如图 4-1 所示，是一个将三相电流解耦为正交电流的过程。首先采集电机的三相电流与电角度，通过 Clarke 变换和 Park 变换进行坐标变换，将三相静止坐标系转换为两相旋转坐标系，解耦为易于控制的转矩分量和磁通分量，再通过 PI 控制进行调节，通过 Park 逆变换进行坐标系还原，最后通过 SVPWM 调制+PWM 驱动电机驱动板。

FOC 电流环 IP 主要由以下几个模块组成：

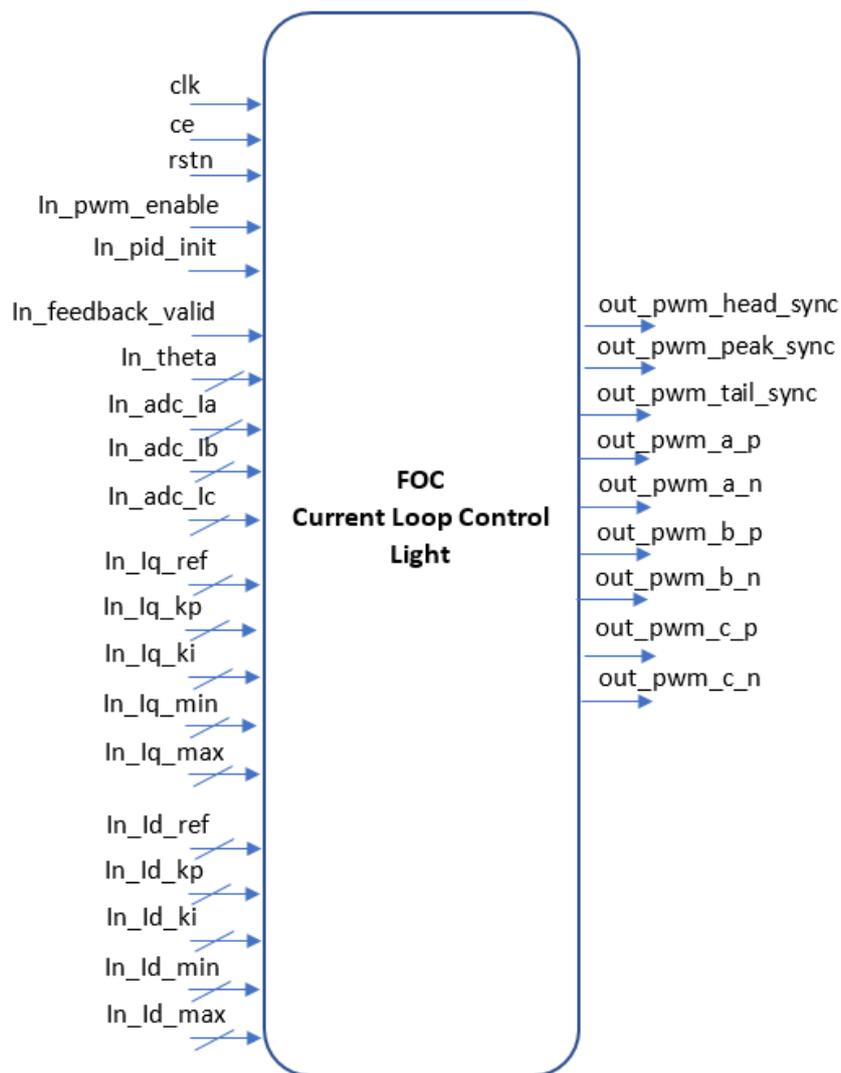
- **Clarke Transform 模块:** 将 ADC 采样的相电流 I_a 、 I_b 、 I_c (若满足 $I_a + I_b + I_c = 0$, 则只需要 I_a 、 I_b) 进行坐标系变换, 将原来三相静止坐标系转换为两相静止坐标系, 输出 I_α 、 I_β 。
- **Park Transform 模块:** 将 I_α 、 I_β 两相静止坐标系转换为旋转坐标系, 输出 I_d 、 I_q 。
- **PI Control 模块:** 分别对 I_q 与 I_{q_ref} 、 I_d 与 I_{d_ref} 产生的偏差进行比例和积分控制, 计算并输出 U_q 、 U_d 。
- **Inverse Park Transform 模块:** 将 U_q 、 U_d 的旋转坐标系转换为静止两相坐标系 U_α 、 U_β 。
- **SVPWM 模块:** 根据 U_α 和 U_β 进行 SVPWM 调制, 输出相位矢量时间 T_a 、 T_b 和 T_c 。
- **PWM 模块:** 根据相位矢量时间, 输出 PWM 波。

5 端口描述

5.1 FOC Current Loop Control Light IP 端口

FOC Current Loop Control Light IP 的 IO 端口如图 5-1 所示。

图 5-1 FOC Current Loop Control Light IP 端口图



有关FOC Current Loop Control Light IP的IO端口详情,如表5-1所示。

表 5-1 FOC Current Loop Control Light IP 的 IO 端口列表

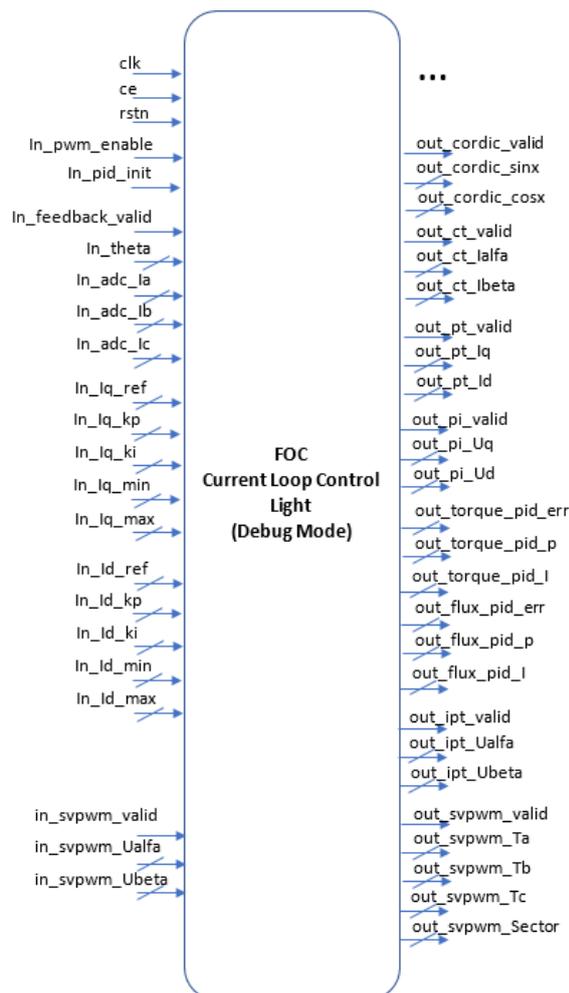
信号	方向	位宽	描述
clk	Input	1	工作时钟
rstn	Input	1	复位信号, 异步复位, 低电平有效。推荐同步复位, 异步释放。
ce	Input	1	时钟使能信号
in_pid_init	Input	1	初始化Pi控制器内部信号为0
反馈输入(相电流&电角度)			
in_feedback_valid	Input	1	反馈信号有效指示符, 高有效
in_adc_la	Input	16	U相电流, 有符号数
in_adc_lb	Input	16	V相电流, 有符号数
in_adc_lc	Input	16	W相电流, 有符号数(当在IP GUI选择为3输入Clarke Transform时, 信号存在)
in_theta	Input	16	电角度, 无符号数, 以0~65536对应0~360度
转矩PI参数			
in_lq_ref	Input	16	转矩Pi的参考量, 有符号数
in_lq_kp	Input	16	转矩Pi的比例参数kp, 有符号数。若kp = 4000, 缩放因子为12(缩放因子由IP GUI界面设定, 则pi控制器的实际比例参数为4000/2^12)。
in_lq_ki	Input	16	转矩Pi的积分参数ki, 有符号数。若ki = 4000, 缩放因子为12(缩放因子由IP GUI界面设定, 则pi控制器的实际比例参数为4000/2^12)。
in_lq_min	Input	16	转矩Pi输出的最小饱和限定值, 有符号数
in_lq_max	Input	16	转矩Pi输出的最大饱和限定值, 有符号数
磁通PI参数			
in_ld_ref	Input	16	磁通Pi的参考量, 有符号数
in_ld_kp	Input	16	磁通Pi的比例参数kp, 有符号数。使用方法同上。
in_ld_ki	Input	16	磁通Pi的积分参数ki, 有符号数。使用方法同上。
in_ld_min	Input	16	磁通Pi输出的最小饱和限定值
in_ld_max	Input	16	磁通Pi输出的最大饱和限定值
PWM			
in_pwm_enable	Input	1	Pwm信号使能, 高电平有效
out_pwm_head_sync	Output	1	内部三角波计数器起始值指示符, 高电

信号	方向	位宽	描述
			平有效
out_pwm_peak_sync	Output	1	内部三角波计数器中间值指示符，高电平有效
out_pwm_tail_sync	Output	1	内部三角波计数器尾部值指示符，高电平有效
out_pwm_a_p	Output	1	PWM输出
out_pwm_a_n	Output	1	
out_pwm_b_p	Output	1	
out_pwm_b_n	Output	1	
out_pwm_c_p	Output	1	
out_pwm_c_n	Output	1	

5.2 FOC Current Loop Control Light Debug Mode 端口

FOC Current Loop Control Light IP 的 Debug Mode 的 IO 端口如图 5-2 所示。

图 5-2 FOC Current Loop Control Light IP 的 Debug Mode 端口图



有关 FOC Current Loop Control Light IP 的 Debug Mode 的 IO 端口详情，如图 5-2 所示。

表 5-2 FOC Current Loop Control Light Debug Mode 的 IO 端口列表

信号	方向	位宽	描述
Cordic 模块输出			
out_cordic_valid	Output	1	Cordic模块输出有效信号，高有效
out_cordic_cos	Output	18	Cordic模块sin值输出，有符号数
out_cordic_sin	Output	18	Cordic模块cos值输出，有符号数
Clarke Transform模块输出			
Out_ct_l_valid	Output	1	Clarke Transform模块输出有效信号，高有效
Out_ct_lalfa	Output	18	Clarke Transform模块 I_α 值输出，有符号数
Out_ct_lbeta	Output	18	Clarke Transform模块 I_β 值输出，有符号数
Park Transform模块输出			
Out_pt_l_valid	Output	1	Park Transform模块输出有效信号，高有效
Out_pt_lq	Output	18	Park Transform模块 I_q 值输出，有符号数
Out_pt_ld	Output	18	Park Transform模块 I_d 值输出，有符号数
PI Control模块			
Out_pi_valid	Output	1	PI Control模块输出有效信号，高有效
Out_pi_Uq	Output	18	转矩PI Control模块 U_q 值输出，有符号数
Out_torque_pid_err	Output	18	转矩PI Control模块误差计算输出，有符号数
Out_torque_pid_p	Output	31	转矩PI Control模块比例计算输出，有符号数
Out_torque_pid_i	Output	31	转矩PI Control模块积分计算输出，有符号数
Out_pi_Ud	Output	18	磁通PI Control模块 U_d 值输出，有符号数
Out_flux_pid_err	Output	18	磁通PI Control模块误差计算输出，有符号数
Out_flux_pid_p	Output	31	磁通PI Control模块比例计算值输出，有符号数
Out_flux_pid_i	Output	31	磁通PI Control模块积分计算值输出，有符号数
Inverse Park Transform模块			
Out_ipt_valid	Output	1	Inverse Park Transform模块输出有效信号，高有效
Out_ipt_Ualfa	Output	18	Inverse Park Transform模块 I_q 值输出，有符号数
Out_ipt_Ubeta	Output	18	Inverse Park Transform模块 I_d 值输出，有符号数
SVPWM 模块			
Out_svpwm_valid	Output	1	SVPWM模块输出有效信号，高有效
Out_svpwm-Ta	Output	18	SVPWM模块的A相矢量时间输出，无符号数
Out_svpwm-Tb	Output	18	SVPWM模块的B相矢量时间输出，无符号数

信号	方向	位宽	描述
Out_svpwm_Tc	Output	18	SVPWM模块的C相矢量时间输出，无符号数
Out_svpwm_sector	Output	3	SVPWM模块的扇区位置输出，无符号数
Open Loop Debug模式			
In_svpwm_valid	Input	1	SVPWM模块输入有效信号，高有效
In_svpwm_Ualfa	Input	18	SVPWM模块的 U_α 输入，有符号数
In_svpwm_Beta	Input	18	SVPWM模块的 U_β 输入，有符号数

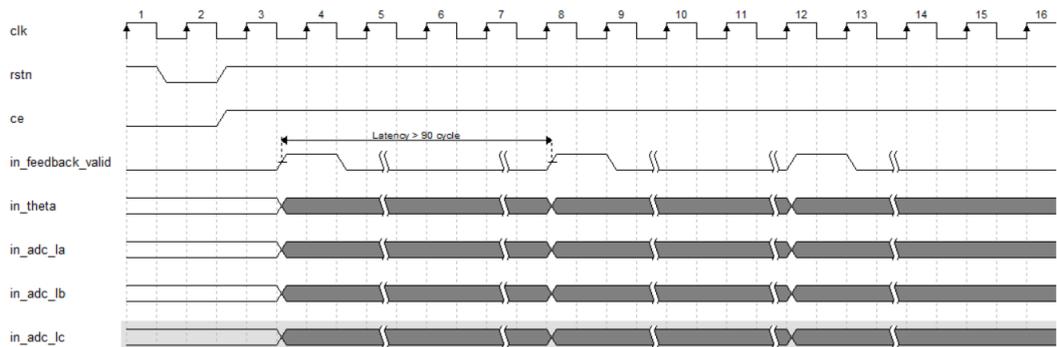
6 时序说明

本节旨在介绍 FOC Current Loop Control Light IP 的时序情况。

6.1 FOC Current Loop Control Light IP 时序

如图 6-1 是 FOC Current Loop Control Light IP 的输入状态时序图。

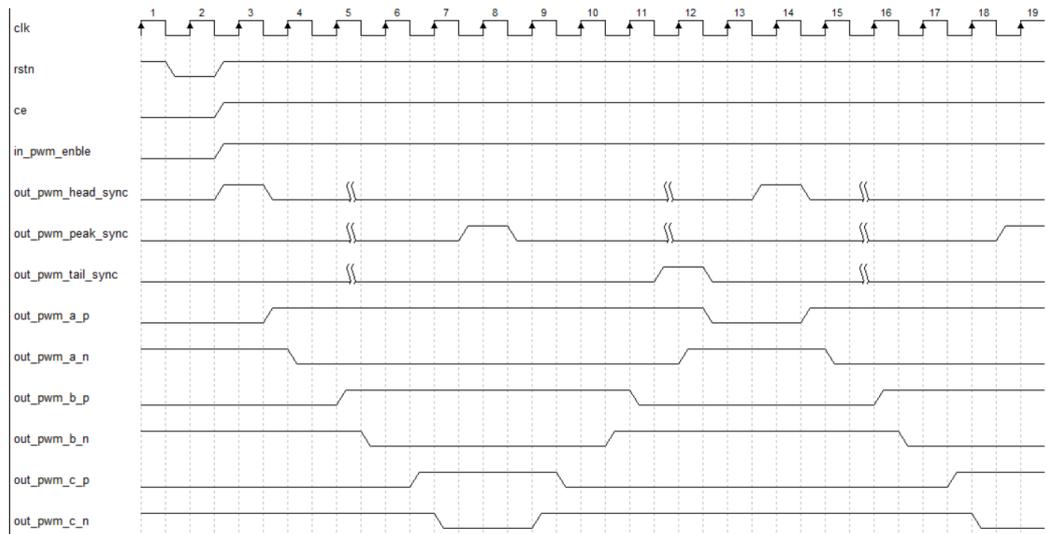
图 6-1 FOC Current Loop Control Light IP 的输入状态时序图



1. 每次以有效信号（`in_feedback_valid`）高电平输入，反馈角度信号和反馈电流信号有效输入。
2. 有效信号之间需要延迟大于 90cycle 的间隔时间，以保证内部模块的运算正常。

如图 6-2 是 FOC Current Loop Control Light IP 的输出状态时序图。

图 6-2 FOC Current Loop Control Light IP 的输出状态时序图



1. 置信号 `in_pwm_enable` 为高电平，使 `pwm` 模块工作。
2. PWM 内部采用三角波计数器，每次会输出以高电平有效的起始指示信号，中间指示信号以及尾部指示信号。
3. 最后输出三相信的 PWM。

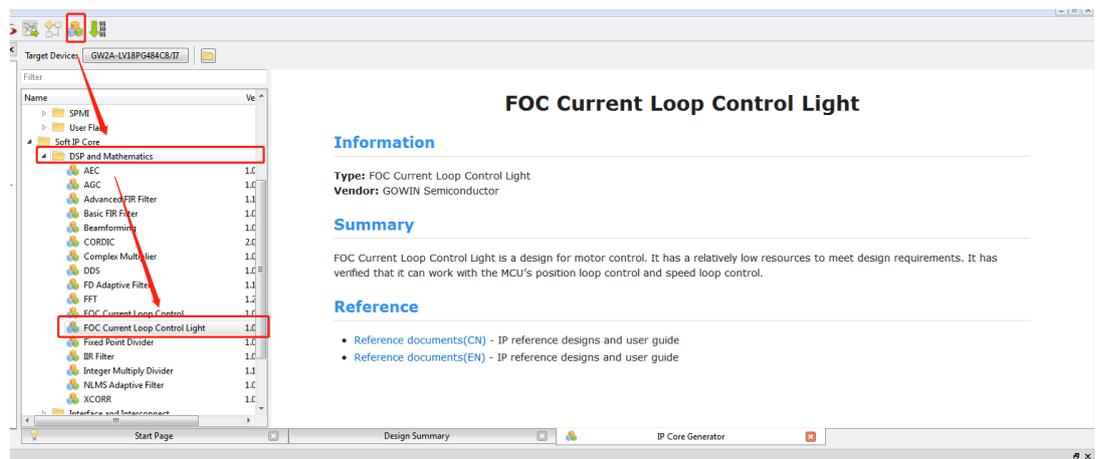
7 配置及调用

在高云云源软件界面菜单栏 Tools 下，可启动 IP Core Generator 工具，完成调用并配置 FOC Current Loop Control Light IP。

1. 打开 IP Core Generator

用户建立工程后，点击“IP Core Generator”按钮，就可打开 Gowin 的 IP 核产生工具，如图 7-1 所示。

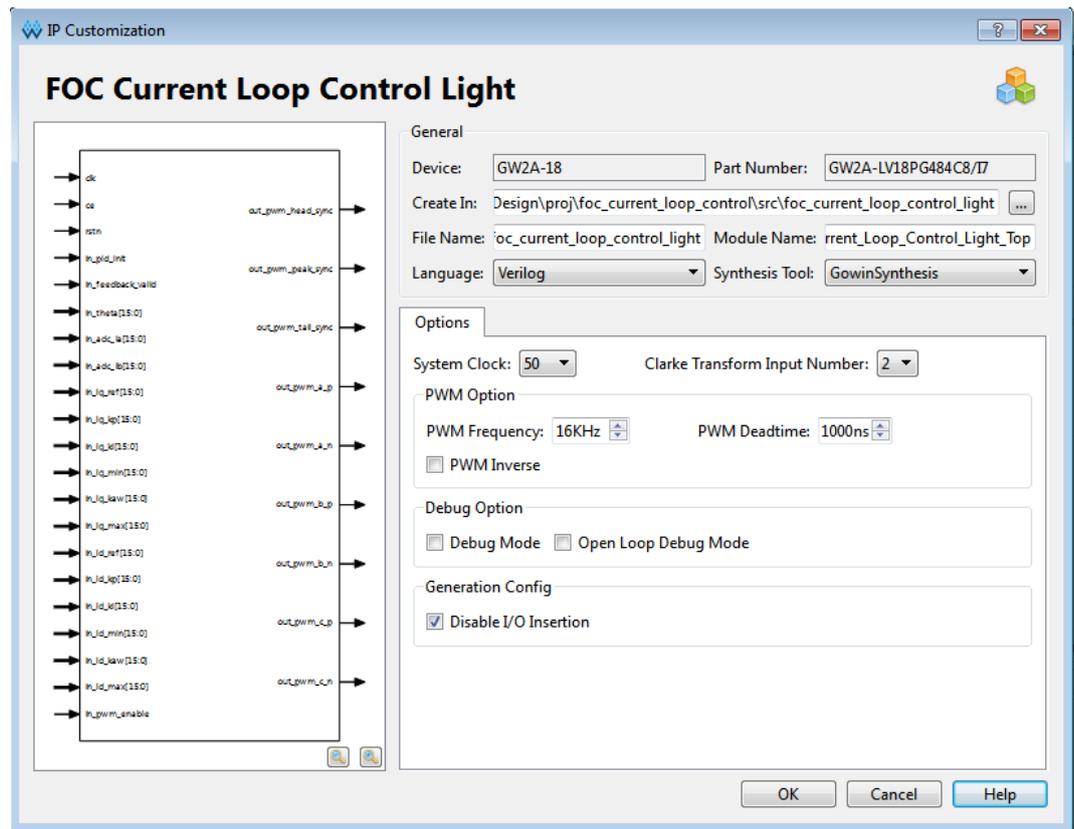
图 7-1 IP Core Generator 界面



2. 打开 IP 核 FOC Current Loop Control Light IP

单击“DSP and Mathematics”选项，双击“FOC Current Loop Control Light”，打开 FOC Current Loop Control IP 核的界面，如图 7-2 所示。

图 7-2 FOC Current Loop Control Light IP 界面



3. 配置 IP 核 FOC Current Loop Control Light

IP 配置主要包括 4 部分, 分别为 System Clock、Clarke Transform Option、PWM Option 以及 Debug Option

- System Clock 配置输入 IP 时钟频率。
- Clarke Transform Option 配置 Clarke Transform 模块的输入模式(包括 2 输入和 3 输入)。
- PWM Option 配置 PWM 频率, PWM 死区时间, PWM 信号是否需要反转。
- 若 Debug Option 勾选后, 可以得到测试信号输出。若 Open Loop Debug Mode, 可以进行开环测试。

4. 打开 Help 文档

可以单击位于图 7-2 右下角的 Help 按钮可以查看配置界面中各个选项的简单英文介绍, 方便用户快速完成对 IP 核的配置。Help 文档选项介绍顺序和界面顺序一致, 如图 7-3 所示。

图 7-3 Help 文档

FOC Current Loop Control Light

Information

Type: FOC Current Loop Control Light

Vendor: GOWIN Semiconductor

Summary: FOC Current Loop Control Light is a design for motor control. It has a relatively low resources to meet design requirements. It has verified that it can work with the MCU's position loop control and speed loop control.

Options & Description

General Option

System clock :

- IP's system clock.

Clarke Transform Option

Clarke Transform Input Number:

- Input data signal number of clarke transform.

PWM Option

PWM Frequency:

- Frequency of PWM.

PWM Deadtime:

- Deadtime of PWM.

PWM Inverse:

- PWM output signal inverse function.

Debug Option

Debug Mode:

- Debug mode.

Open Loop Debug Mode:

- Open loop debug.

8 参考设计

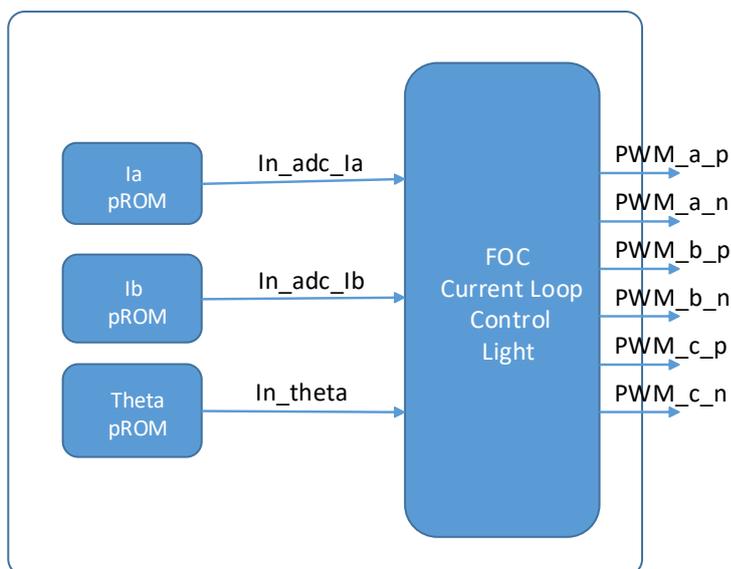
本节主要介绍 FOC Current Loop Control Light IP 的参考设计实例的搭建及其使用方法。FOC Current Loop Control Light IP 的设计实例只有一个模块, 详细信息见 FOC Current Loop Control Light IP 的 [reference design](#)。

8.1 设计实例应用

参考设计基本结构框图如图 8-1 所示。在设计实例中, 其运行步骤如下所示:

1. 输入数据(Theta, Ia, Ib, Ic)通过 pROM 存储后, 输入给 FOC Current Loop Control Light 模块。
2. 经过 IP 处理后, 得到 PWM 输出。

图 8-1 参考设计结构框图



利用该设计实例能够快速验证 FOC Current Loop Control Light IP 的功能。当该参考设计应用于板级测试时, 用户需为参考设计提供合适的激励, 信号的观测可配合在线逻辑分析仪或示波器进行。

