



Gowin LVDS 7to1 TX RX IP 用户指南

IPUG771-1.0,2021-02-26

版权所有© 2021 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2021/02/26	1.0	初始版本。

目录

目录	i
图目录.....	iii
表目录.....	iv
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语	2
1.4 技术支持与反馈.....	2
2 概述	3
2.1 概述.....	3
2.2 主要特征.....	3
2.3 资源利用.....	3
3 功能描述	5
3.1 系统框图.....	5
3.2 实现框图.....	5
3.2.1 LVDS 7to1 TX.....	6
3.2.2 LVDS 7to1 RX.....	6
3.3 端口列表.....	7
3.3.1 LVDS 7to1 TX 端口	7
3.3.2 LVDS 7to1 RX 端口	9
3.4 参数配置.....	10
3.4.1 LVDS 7to1 TX 参数	10
3.4.2 LVDS 7to1 RX 参数	10
3.5 时序说明.....	11
4 界面配置	13
4.1 LVDS 7to1 TX IP 配置.....	13
4.2 LVDS 7to1 RX IP 配置	16

5 参考设计	21
5.1 设计实例一	21
5.2 设计实例二	22
6 文件交付	23
6.1 文档	23
6.2 设计源代码（加密）	23
6.3 参考设计	23

图目录

图 3-1 系统框图.....	5
图 3-2 实现框图.....	5
图 3-4 LVDS 7to1 TX IO 端口示意图	7
图 3-5 LVDS 7to1 RX IO 端口示意图.....	9
图 3-6 视频接口时序示意图.....	11
图 3-7 单路 LVDS 接口时序图.....	12
图 3-8 双路 LVDS 接口时序图.....	12
图 4-1 打开 IP Core Generator	13
图 4-2 打开 LVDS 7to1 TX IP 核	14
图 4-3 LVDS 7to1 TX IP 核接口示意图	14
图 4-4 Help 文档	15
图 4-5 基本信息配置界面	16
图 4-6 Options 选项卡	16
图 4-7 打开 IP Core Generator	17
图 4-8 打开 LVDS 7to1 RX IP 核.....	17
图 4-9 LVDS 7to1 RX IP 核接口示意图.....	18
图 4-10 Help 文档	19
图 4-11 基本信息配置界面	19
图 4-12 Options 选项卡	20
图 5-1 参考设计实例一基本结构框图.....	21
图 5-2 参考设计实例二基本结构框图.....	22

表目录

表 1-1 术语、缩略语	2
表 2-1 Gowin LVDS 7to1 TX RX IP	3
表 2-2 LVDS 7to1 TX 占用资源.....	4
表 2-3 LVDS 7to1 RX 占用资源	4
表 3-1 Gowin LVDS 7to1 TX IP 的端口列表	7
表 3-2 Gowin LVDS 7to1 RX IP 的端口列表	9
表 3-3 LVDS 7to1 TX 参数	10
表 3-4 LVDS 7to1 RX 参数.....	10
表 6-1 文档列表.....	23
表 6-2 LVDS 7to1 TX 设计源代码列表	23
表 6-3 LVDS 7to1 RX 设计源代码列表	23
表 6-4 Gowin LVDS 7to1 RX TX RefDesign 文件夹内容列表.....	23
表 6-5 Gowin LVDS 7to1 TX RefDesign 文件夹内容列表.....	24

1 关于本手册

1.1 手册内容

Gowin LVDS 7to1 TX RX IP 用户指南主要内容包括产品概述、功能描述、配置调用、参考设计等,旨在帮助用户快速了解 Gowin LVDS 7to1 TX RX IP 的特性及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档:

- [DS100](#), GW1N 系列 FPGA 产品数据手册
- [DS117](#), GW1NR 系列 FPGA 产品数据手册
- [DS821](#), GW1NS 系列 FPGA 产品数据手册
- [DS861](#), GW1NSR 系列 FPGA 产品数据手册
- [DS871](#), GW1NSE 系列安全 FPGA 产品数据手册
- [DS881](#), GW1NSER 系列安全 FPGA 产品数据手册
- [DS891](#), GW1NRF 系列蓝牙 FPGA 产品数据手册
- [DS841](#), GW1NZ 系列 FPGA 产品数据手册
- [DS102](#), GW2A 系列 FPGA 产品数据手册
- [DS226](#), GW2AR 系列 FPGA 产品数据手册
- [DS961](#), GW2ANR 系列 FPGA 产品数据手册
- [DS976](#), GW2AN-55 器件数据手册
- [SUG100](#), Gowin 云源软件用户指南

1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
LVDS	Low-Voltage Differential Signaling	低电压差分信号
VESA	Video Electronics Standards Association	视频电子标准协会
JEIDA	Japan Electronic Industry Development Association	日本电子行业开发协会
VS	Vertical Sync	垂直同步
HS	Horizontal Sync	水平同步
DE	Data Enable	数据使能
IP	Intellectual Property	知识产权

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 概述

LVDS (Low-Voltage Differential Signaling) 7:1 视频接口主要用在 LCD 液晶面板驱动产品中。LVDS 7to1 TX IP 用于接收并行视频信号，然后转换成 LVDS 信号输出。LVDS 7to1 RX IP 用于接收 LVDS 信号，然后转换成并行视频信号。

表 2-1 Gowin LVDS 7to1 TX RX IP

Gowin LVDS 7to1 TX RX IP	
逻辑资源	请参见表 2-2 和表 2-3。
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software

2.2 主要特征

- 支持 VESA 和 JEIDA 标准;
- 支持 RGB888 和 RGB666;
- 支持 One Channel 和 Two Channels, 4 Lanes/Channels;
- 单 lane 数据速率可支持范围为 80Mb/s~700Mb/s。

2.3 资源利用

通过 Verilog 语言实现 Gowin LVDS 7to1 TX 和 RX。因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。以高云 GW1N-4 系列 FPGA 为例，LVDS 7to1 TX 和 RX 资源利用情况如表 2-2 和表 2-3 所示。

表 2-2 LVDS 7to1 TX 占用资源

器件系列	速度等级	器件名称	资源利用	备注
GW1N-4	-6	LUT	1	配置内部 PLL, RGB888, One Channel。
		REG	0	
		PLL	1	
		OVIDEO	5	

表 2-3 LVDS 7to1 RX 占用资源

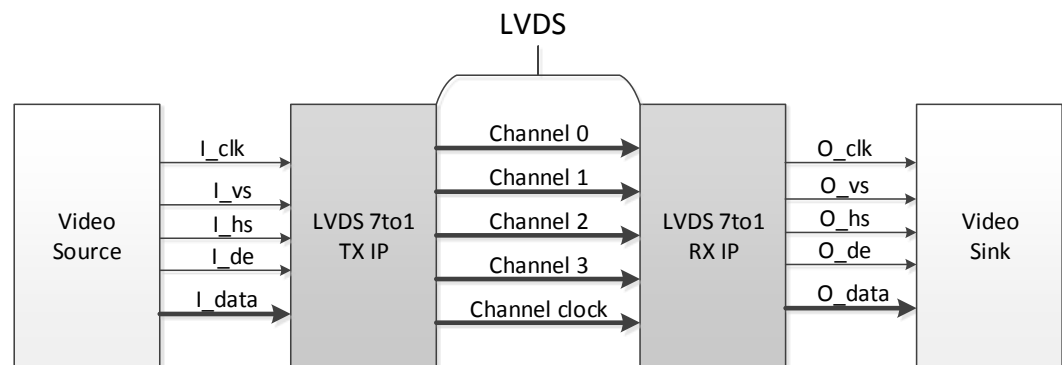
器件系列	速度等级	器件名称	资源利用	备注
GW1N-4	-6	LUT	245	配置内部 PLL, Auto Phase, RGB888, One Channel。
		REG	130	
		PLL	1	
		CLKDIV	1	
		IODELAY	4	
		IVIDEO	5	

3 功能描述

3.1 系统框图

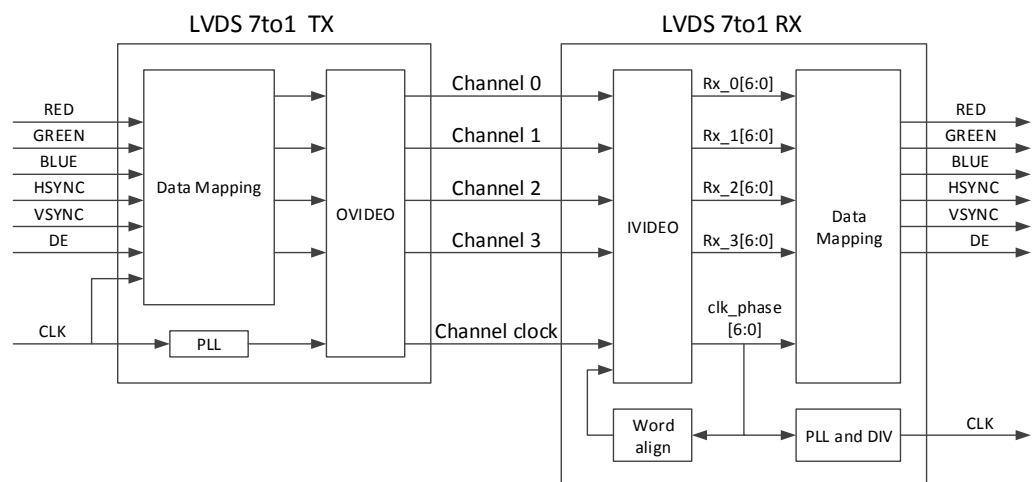
Gowin LVDS 7to1 TX RX IP 分为 LVDS 7to1 TX IP 和 LVDS 7to1 RX IP, 其系统框图如图 3-1 所示。

图 3-1 系统框图



3.2 实现框图

图 3-2 实现框图



LVDS 7to1 TX IP 主要包括数据映射模块, 串行化模块。LVDS 7to1 RX IP 主要包括解串行化模块, 字对齐模块和数据映射模块。

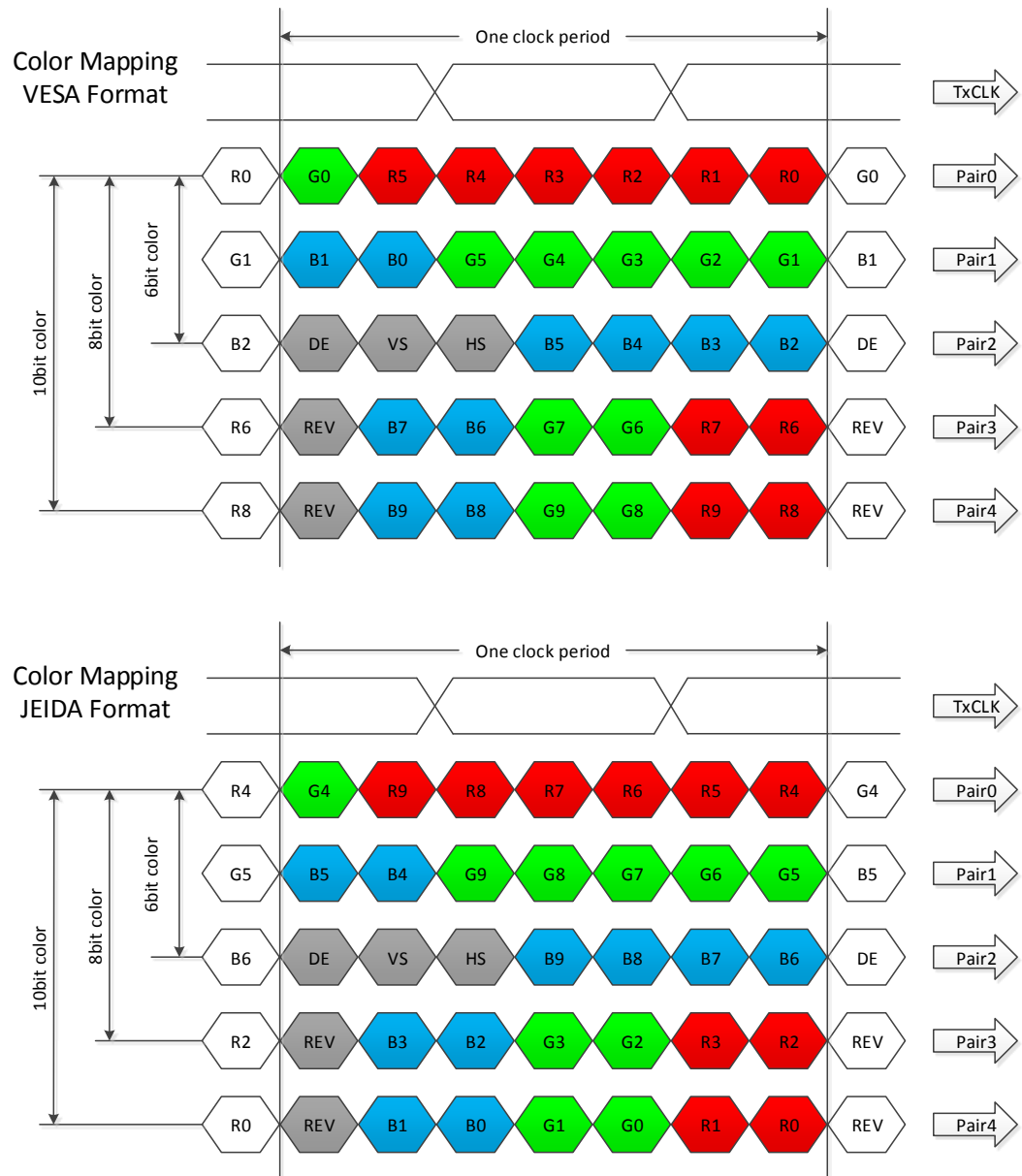
3.2.1 LVDS 7to1 TX

LVDS 7to1 TX 完成对视频数据的映射和串并转换操作，主要由 Data Mapping 和 OVIDEO 两部分组成。

- Data Mapping 模块

将视频 RGB 数据和行场同步信号按照 VESA 或 JEIDA 标准进行映射操作，数据映射标准示意图如图 3-3 所示。

图 3-3 数据映射标准示意图



- OVIDEO 模块

将 7bit 并行数据转成串行数据输出。

3.2.2 LVDS 7to1 RX

LVDS 7to1 RX 完成对 LVDS 信号的解串行化和数据映射操作，主要由 IVIDEO, Word align 和 Data Mapping 组成，最终输出 RGB 数据和行场同

步信号。

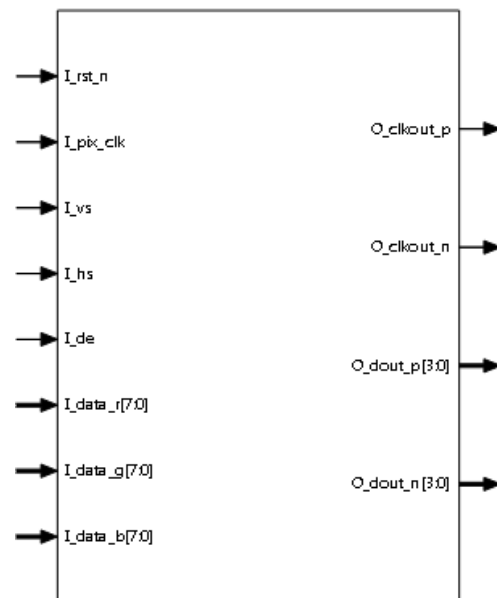
- IVIDEO 模块
将 LVDS 串行数据转成 7bit 并行数据输出。
- Word align 模块
产生 slip 信号，控制 IVIDEO 位移动，直到 clk_phase[6:0]数据中出现 7'b1100011。
- Data Mapping 模块
将各通道 7bit 并行数据重新映射后，转换成 RGB 数据和行场同步信号。

3.3 端口列表

3.3.1 LVDS 7to1 TX 端口

Gowin LVDS 7to1 TX IP 的 IO 端口如图 3-所示。

图 3-4 LVDS 7to1 TX IO 端口示意图



根据配置参数不同，端口会略有不同。

Gowin LVDS 7to1 TX IP 的 IO 端口详细描述如表 3-所示。

表 3-1 Gowin LVDS 7to1 TX IP 的端口列表

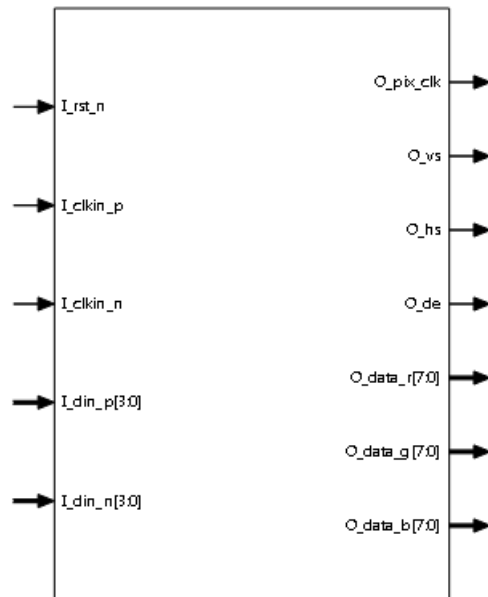
序号	信号名称	方向	描述	备注
1	I_rst_n	I	复位信号，低有效。	所有信号输入输出方向均以 LVDS 7to1 TX IP 为参考。
2	I_serial_clk	I	使用外部时钟时此信号有效 $I_serial_clk = I_pix_clk * 3.5$	
3	I_pix_clk	I	视频输入像素时钟	
4	I_vs	I	视频输入场同步 vs 信号	
5	I_hs	I	视频输入行同步 hs 信号	
6	I_de	I	视频输入数据使能 de 信号	
One Channel				

序号	信号名称	方向	描述	备注
7	I_data_r	I	视频输入数据 R 分量	
8	I_data_g	I	视频输入数据 G 分量	
9	I_data_b	I	视频输入数据 B 分量	
10	O_clkout_p	O	输出 LVDS 差分信号时钟正端	
11	O_clkout_n	O	输出 LVDS 差分信号时钟负端	
12	O_dout_p	O	输出 LVDS 差分信号数据正端	
13	O_dout_n	O	输出 LVDS 差分信号数据负端	
Two Channel				
14	I_data_ro	I	视频输入数据奇像素 R 分量	
15	I_data_go	I	视频输入数据奇像素 G 分量	
16	I_data_bo	I	视频输入数据奇像素 B 分量	
17	I_data_re	I	视频输入数据偶像素 R 分量	
18	I_data_ge	I	视频输入数据偶像素 G 分量	
19	I_data_be	I	视频输入数据偶像素 B 分量	
20	O_clkouto_p	O	输出 LVDS 差分信号时钟奇通道正端	
21	O_clkouto_n	O	输出 LVDS 差分信号时钟奇通道负端	
22	O_clkoute_p	O	输出 LVDS 差分信号时钟偶通道正端	
23	O_clkoute_n	O	输出 LVDS 差分信号时钟偶通道负端	
24	O_douto_p	O	输出 LVDS 差分信号数据奇通道正端	
25	O_douto_n	O	输出 LVDS 差分信号数据奇通道负端	
26	O_doute_p	O	输出 LVDS 差分信号数据偶通道正端	
27	O_doute_n	O	输出 LVDS 差分信号数据偶通道负端	

3.3.2 LVDS 7to1 RX 端口

Gowin LVDS 7to1 RX IP 的 IO 端口如图 3-所示。

图 3-5 LVDS 7to1 RX IO 端口示意图



根据配置参数不同，端口会略有不同。

Gowin LVDS 7to1 RX IP 的 IO 端口详细描述如表 3-所示。

表 3-2 Gowin LVDS 7to1 RX IP 的端口列表

序号	信号名称	方向	描述	备注	
1	I_rst_n	I	复位信号，低有效。	所有信号输入输出方向均以 LVDS 7to1 RX IP 为参考。	
2	O_pix_clk	O	视频输出像素时钟		
3	O_vs	O	视频输出场同步 vs 信号		
4	O_hs	O	视频输出行同步 hs 信号		
5	O_de	O	视频输出数据使能 de 信号		
6	I_clk_in_p		输入 LVDS 差分信号时钟正端		
7	I_clk_in_n		输入 LVDS 差分信号时钟负端		
One Channel					
8	I_din_p		输入 LVDS 差分信号数据正端		
9	I_din_n		输入 LVDS 差分信号数据负端		
10	O_data_r		视频输出数据 R 分量		
11	O_data_g		视频输出数据 G 分量		
12	O_data_b		视频输出数据 B 分量		
Two Channel					
13	I_dino_p		输入 LVDS 差分信号数据奇通道正端		
14	I_dino_n		输入 LVDS 差分信号数据奇通道负端		
15	I_dine_p		输入 LVDS 差分信号数据偶通道正端		

序号	信号名称	方向	描述	备注
16	I_dine_n		输入 LVDS 差分信号数据偶通道负端	
17	O_data_ro		视频输出数据奇像素 R 分量	
18	O_data_go		视频输出数据奇像素 G 分量	
19	O_data_bo		视频输出数据奇像素 B 分量	
20	O_data_re		视频输出数据偶像素 R 分量	
21	O_data_ge		视频输出数据偶像素 G 分量	
22	O_data_be		视频输出数据偶像素 B 分量	

3.4 参数配置

3.4.1 LVDS 7to1 TX 参数

表 3-3 LVDS 7to1 TX 参数

序号	参数名称	允许范围	默认值	描述
1	Using External Clock	Yes/No	No	如果定义该参数,则使用外部串行时钟 I_serial_clk; 否则,在 IP 内部通过 PLL 产生。
2	TX Clock In Frequency	10.0~110.0	74.250MHz	输入时钟频率值
3	Data Channels	One/Two	One	LVDS 通道数
4	Clock Numbers	One/Two	One	LVDS 时钟端口数
5	Data Mapping Standard	VESA/JEI DA	VESA	数据映射标准
6	Video Data Format	RGB888/R GB666	RGB888	RGB 数据格式
7	OBUF Type	TLVDS/EL VDS	TLVDS	IO Buffer 类型

3.4.2 LVDS 7to1 RX 参数

表 3-4 LVDS 7to1 RX 参数

序号	参数名称	允许范围	默认值	描述
1	RX Clock In Frequency	10.0~110.0	74.250MHz	输入时钟频率值
2	Phase Search Mode	Auto/Manual	Auto	相位搜索模式
3	Initial Phase	0.0/180	0.0	初始相位值
4	RX Clock Out Phase	0.0/22.5/45/67.5/90/112.5/135/157.5/180/202.5/225/247.5/270/292.5/315/337.5	0.0	输出串行时钟相位值
5	Data Channels	One/Two	One	LVDS 通道数

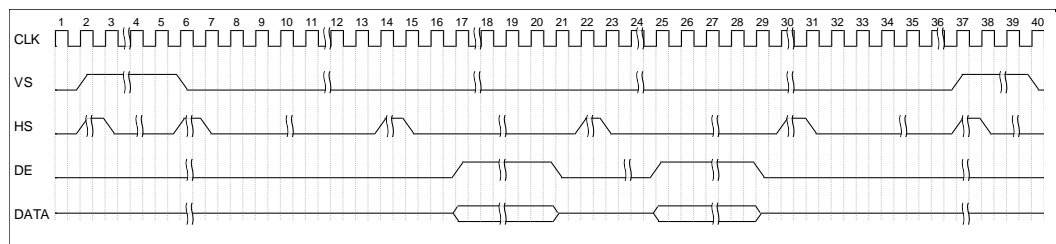
序号	参数名称	允许范围	默认值	描述
6	Data Mapping Standard	VESA/JEIDA	VESA	数据映射标准
7	Video Data Format	RGB888/RGB666	RGB888	RGB 数据格式
8	Data0 IO Delay Value	0~127	0ps	数据 0 IO 延时控制
9	Data1 IO Delay Value	0~127	0ps	数据 1 IO 延时控制
10	Data2 IO Delay Value	0~127	0ps	数据 2 IO 延时控制
11	Data3 IO Delay Value	0~127	0ps	数据 3 IO 延时控制
12	Odd Data0 IO Delay Value	0~127	0ps	奇数据 0 IO 延时控制
13	Odd Data1 IO Delay Value	0~127	0ps	奇数据 1 IO 延时控制
14	Odd Data2 IO Delay Value	0~127	0ps	奇数据 2 IO 延时控制
15	Odd Data3 IO Delay Value	0~127	0ps	奇数据 3 IO 延时控制
16	Even Data0 IO Delay Value	0~127	0ps	偶数据 0 IO 延时控制
17	Even Data1 IO Delay Value	0~127	0ps	偶数据 1 IO 延时控制
18	Even Data2 IO Delay Value	0~127	0ps	偶数据 2 IO 延时控制
19	Even dd Data3 IO Delay Value	0~127	0ps	偶数据 3 IO 延时控制

3.5 时序说明

本节介绍 Gowin LVDS 7to1 TX RX IP 的时序情况。

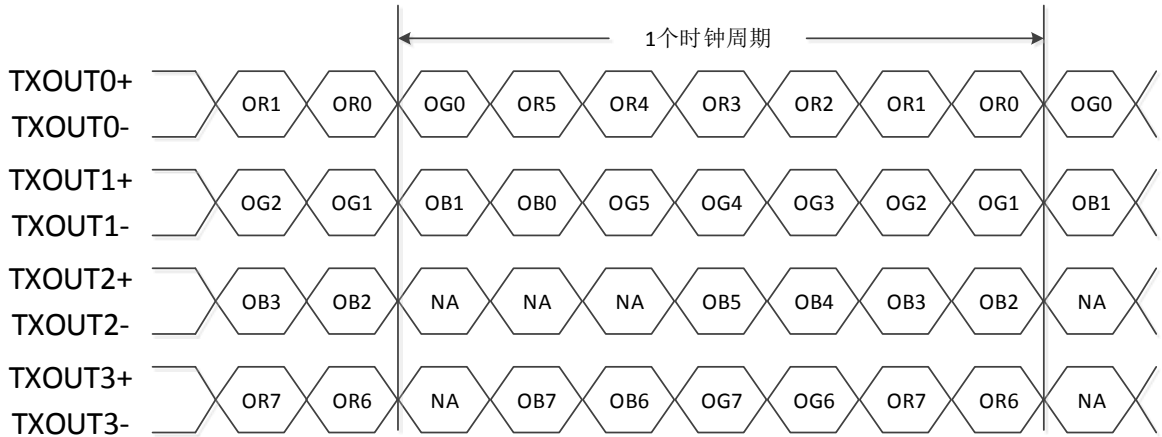
视频接口时序图如图 3-所示。

图 3-6 视频接口时序示意图



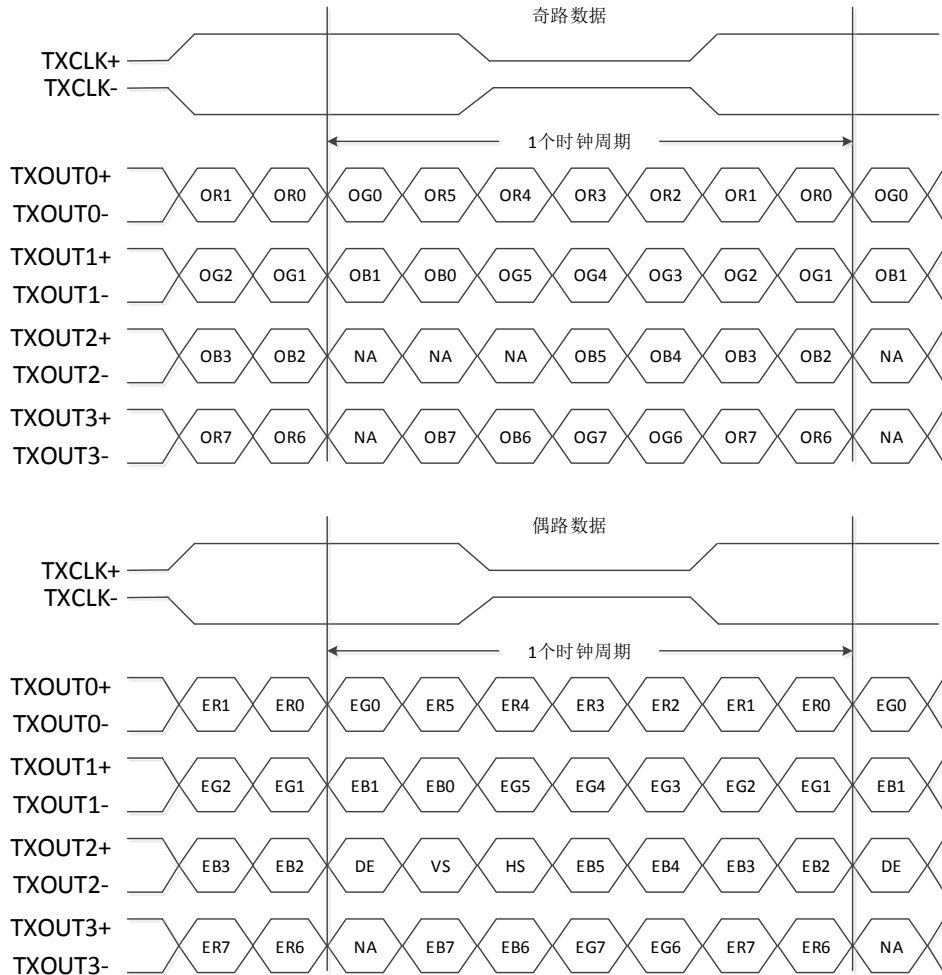
单路 LVDS 接口时序图如图 3-所示。

图 3-7 单路 LVDS 接口时序图



双路 LVDS 接口时序图如图 3-所示。

图 3-8 双路 LVDS 接口时序图



4 界面配置

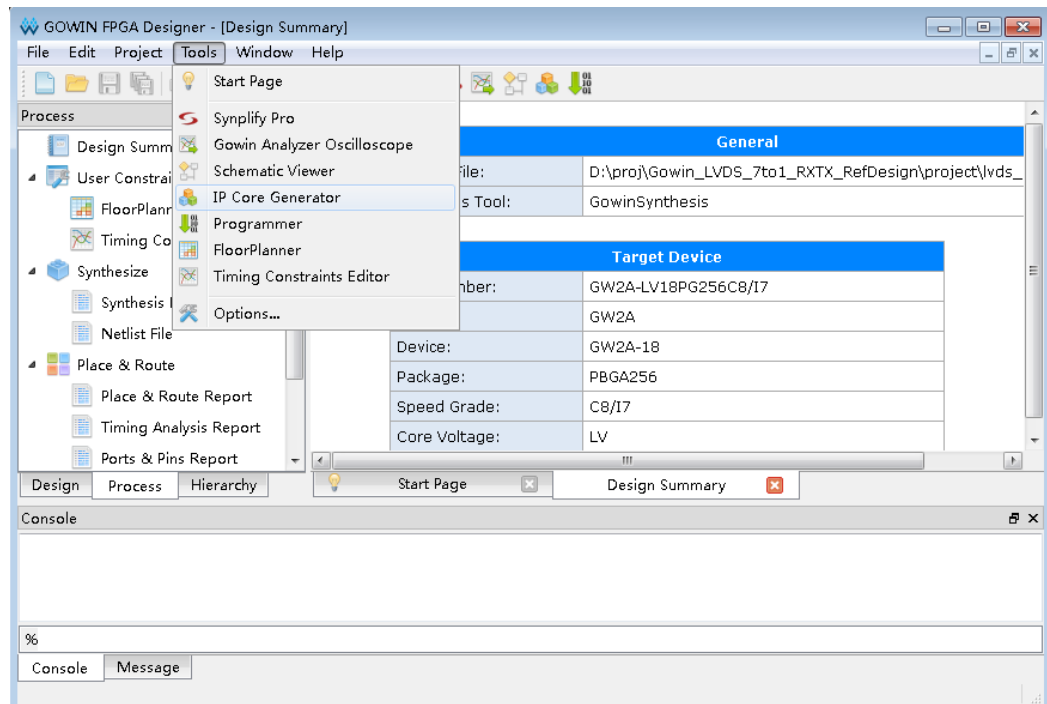
用户可以使用 IDE 中的 IP 内核生成器工具调用和配置 Gowin LVDS 7to1 TX IP 和 RX IP。

4.1 LVDS 7to1 TX IP 配置

1. 打开 IP Core Generator

用户建立工程后，单击左上角“Tools”选项卡，下拉单击“IP Core Generator”选项，即可打开 Gowin IP Core Generator，如图 4-1 所示。

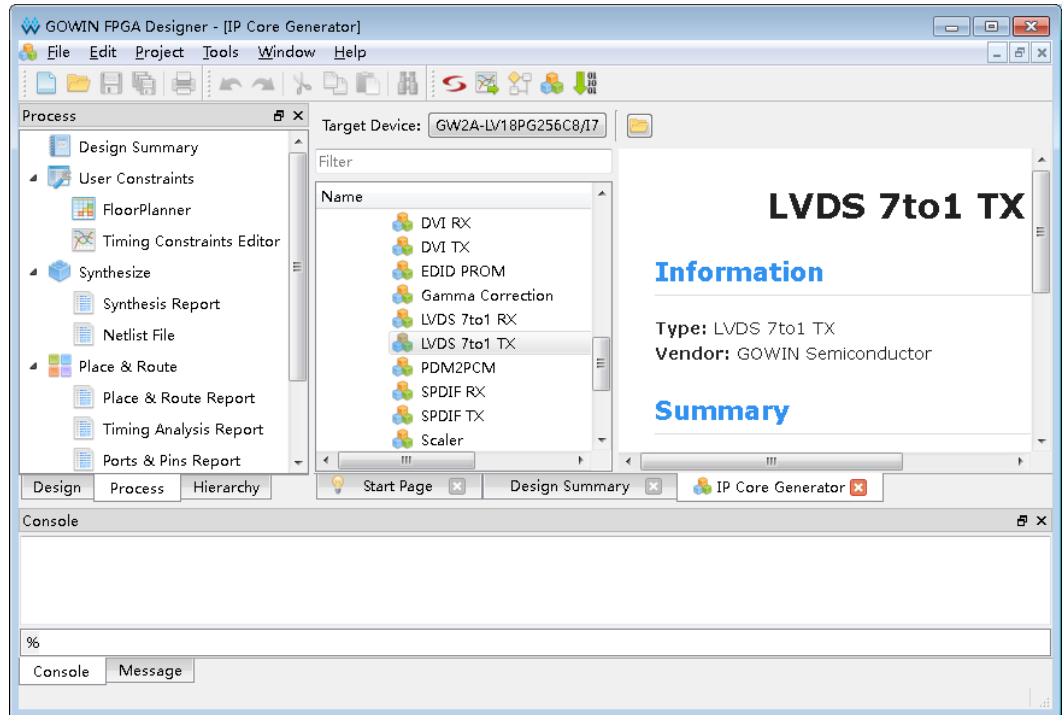
图 4-1 打开 IP Core Generator



2. 打开 LVDS 7to1 TX IP 核

单击“Multimedia”选项，双击“LVDS 7to1 TX”，打开 LVDS 7to1 TX IP 核的配置界面，如图 4-2 所示。

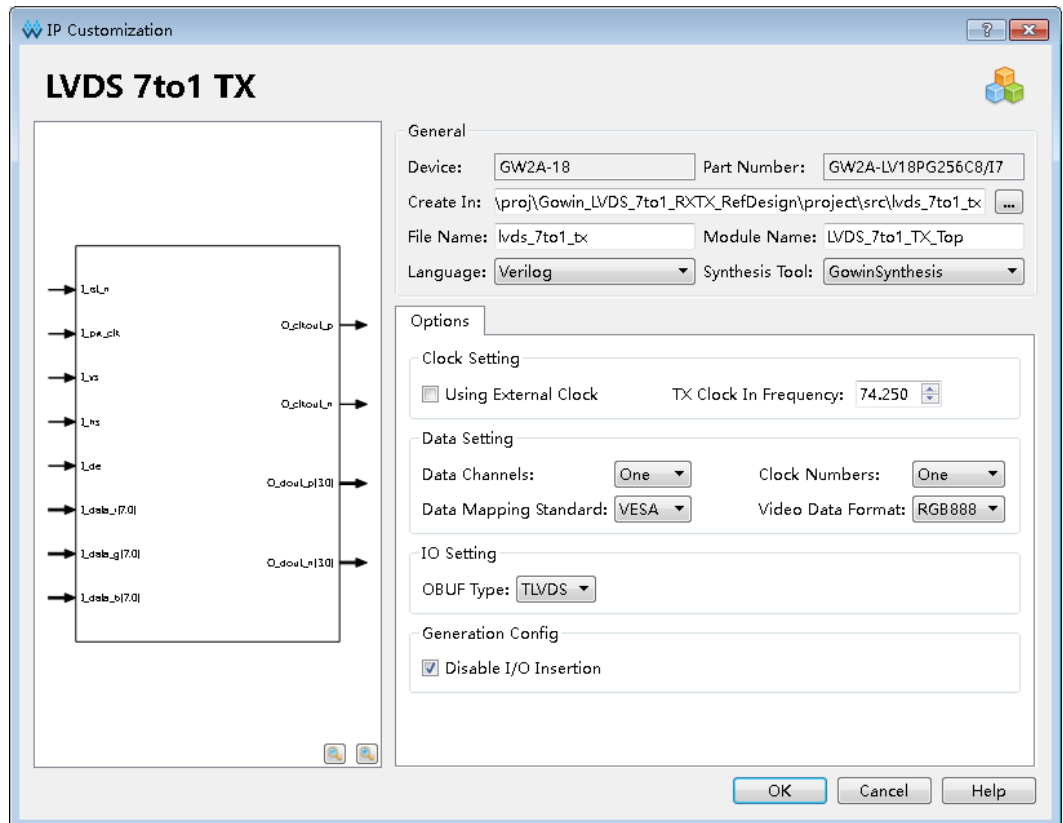
图 4-2 打开 LVDS 7to1 TX IP 核



3. LVDS 7to1 TX IP 核端口界面

配置界面左侧为 LVDS 7to1 TX IP 核的接口示意图，如图 4-3 所示。

图 4-3 LVDS 7to1 TX IP 核接口示意图



4. 打开 Help 文档

可以单击位于图 4-3 右下角的“Help”按钮可以查看配置界面中各个选项的简单英文介绍，方便用户快速完成对 IP 核的配置。Help 文档选项介绍顺序和界面顺序一致，如图 4-4 所示。

图 4-4 Help 文档

LVDS 7to1 TX

Information

Type: LVDS 7to1 TX
Vendor: GOWIN Semiconductor
Summary: The LVDS 7to1 TX IP is used to transmit the video timing signals and data into LVDS signals.

Options & Description

Clock Setting

Using External Clock :

- The choice of whether using external clock.

TX Clock In Frequency :

- The pixel clock frequency of LVDS 7to1 TX.

Data Setting

Data Channels :

- The number of LVDS Channels.

Clock Numbers :

- The number of clock port, when data channels are two.

Data Mapping Standard :

- The LVDS data mapping standard, VESA or JEIDA.

Video Data Format :

- The video data format, RGB888 or RGB666.

IO Setting

OBUF Type :

- The choice of OBUF Type, TLVDS_OBUF or ELVDS_OBUF.

5. 配置基本信息

在配置界面的上部分是工程基本信息配置界面，以 GW2A-18C 为例，封装选择 PBGA256。Module Name 选项后面是工程产生后顶层文件的名字，默认为“LVDS_7to1_TX_Top”，用户可自行修改。“File Name”是 IP 核文件产生的文件夹，存放 LVDS 7to1 TX IP 核所需文件，默认为“lvds_7to1_tx”，用户可自行修改路径。Create In 选项是 IP 核文件夹产生路径，默认为“\工程路径\src\lvds_7to1_tx”，用户可自行修改路径。

图 4-5 基本信息配置界面

General

Device: Part Number:

Create In: ...

File Name: Module Name:

Language: Synthesis Tool:

6. Options 选项卡

在选项卡中，用户需要配置 LVDS 7to1 TX 所使用时钟，数据格式等参数信息。

图 4-6 Options 选项卡

Options

Clock Setting

Using External Clock TX Clock In Frequency:

Data Setting

Data Channels: Clock Numbers:

Data Mapping Standard: Video Data Format:

IO Setting

OBUF Type:

Generation Config

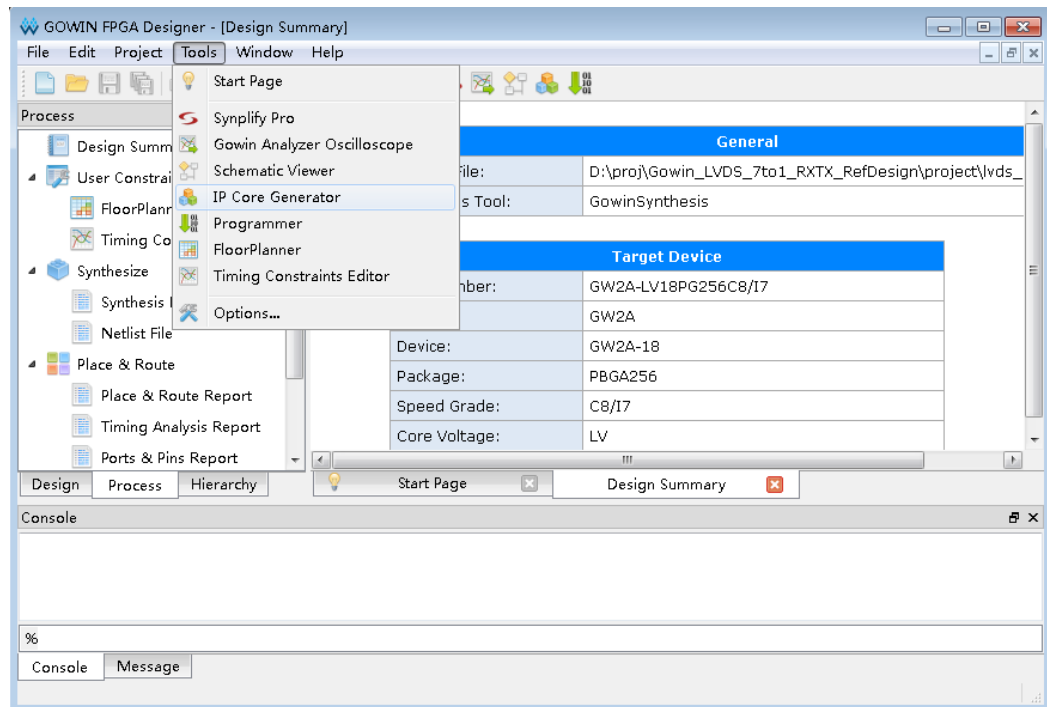
Disable I/O Insertion

4.2 LVDS 7to1 RX IP 配置

1. 打开 IP Core Generator

用户建立工程后，单击左上角“Tools”选项卡，下拉单击“IP Core Generator”选项，即可打开 Gowin IP Core Generator，如图 4-7 所示。

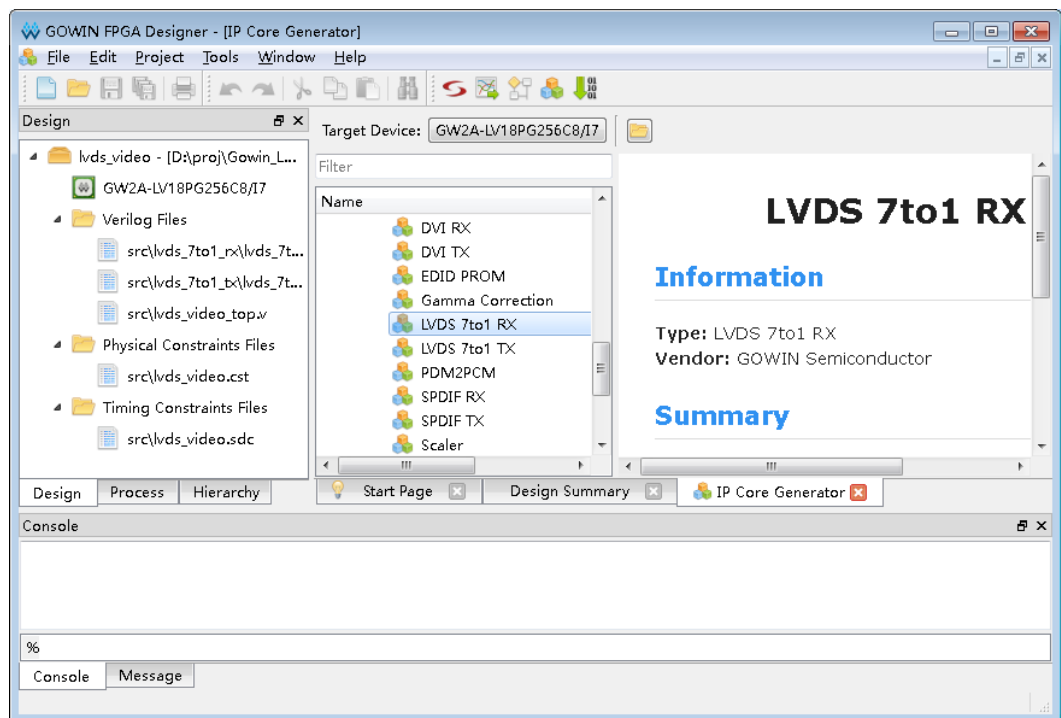
图 4-7 打开 IP Core Generator



2. 打开 LVDS 7to1 RX IP 核

单击“Multimedia”选项，双击“LVDS 7to1 RX”，打开 LVDS 7to1 RX IP 核的配置界面，如图 4-8 所示。

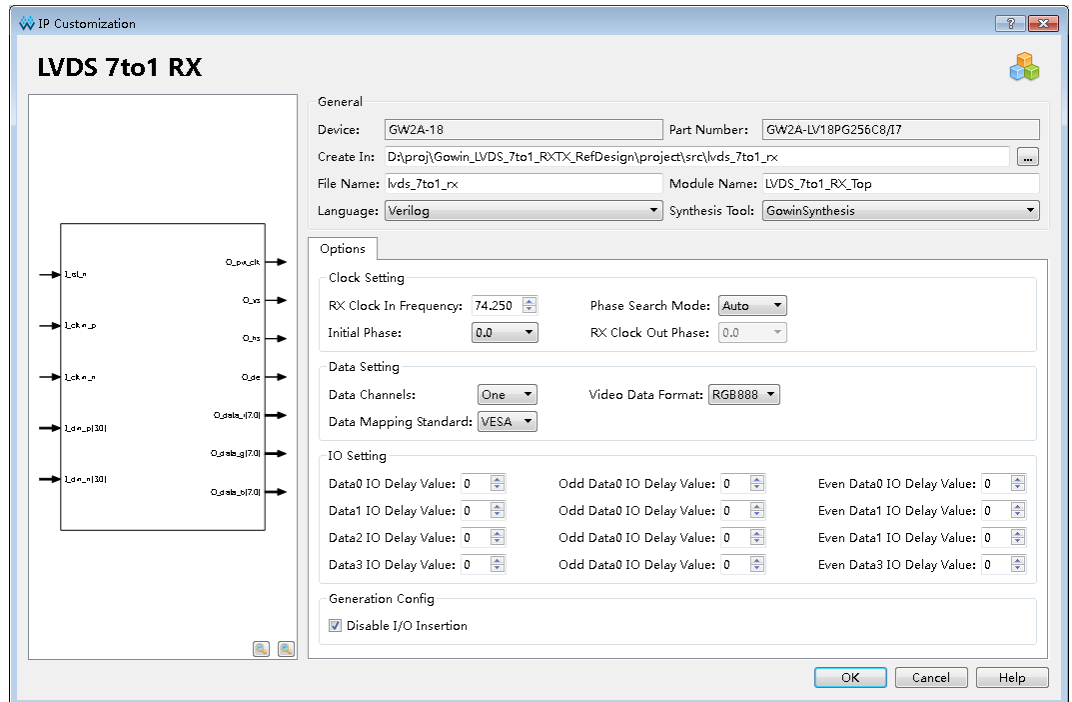
图 4-8 打开 LVDS 7to1 RX IP 核



3. LVDS 7to1 RX IP 核端口界面

配置界面左侧为 LVDS 7to1 RX IP 核的接口示意图，如图 4-9 所示。

图 4-9 LVDS 7to1 RX IP 核接口示意图



4. 打开 Help 文档

可以单击位于图 4-9 右下角的“Help”按钮可以查看配置界面中各个选项的简单英文介绍，方便用户快速完成对 IP 核的配置。Help 文档选项介绍顺序和界面顺序一致，如图 4-10 所示。

图 4-10 Help 文档

LVDS 7to1 RX

Information

Type: LVDS 7to1 RX

Vendor: GOWIN Semiconductor

Summary: The LVDS 7to1 RX IP is used to receive LVDS signals and transmit it into the video timing signals and data.

Options & Description

Clock Setting

RX Clock In Frequency :

- The pixel clock frequency of LVDS 7to1 RX.

Phase Search Mode :

- The RX clock out phase search mode, Auto or Manual.

Initial Phase :

- The initial phase of output serial clock in Auto mode.

RX Clock Out Phase :

- The phase of output serial clock in Manual mode.

Data Setting

Data Channels :

- The number of LVDS Channels.

Data Mapping Standard :

- The LVDS data mapping standard, VESA or JEIDA.

Video Data Format :

- The video data format, RGB888 or RGB666.

IO Setting

Data0 IO Delay Value :

5. 配置基本信息

在配置界面的上部分是工程基本信息配置界，以 GW2A-18C 为例，封装选择 PBGA256。Module Name 选项后面是工程产生后顶层文件的名字，默认为“LVDS_7to1_RX_Top”，用户可自行修改。“File Name”是 IP 核文件产生的文件夹，存放 LVDS 7to1 RX IP 核所需文件，默认为“lvds_7to1_rx”，用户可自行修改路径。Create In 选项是 IP 核文件夹产生路径，默认为“\工程路径\src\lvds_7to1_rx”，用户可自行修改路径。

图 4-11 基本信息配置界面

General			
Device:	GW2A-18	Part Number:	GW2A-LV18PG256C8/17
Create In:	D:\proj\Gowin_LVDS_7to1_RXTX_RefDesign\project\src\lvds_7to1_rx		
File Name:	lvds_7to1_rx	Module Name:	LVDS_7to1_RX_Top
Language:	Verilog	Synthesis Tool:	GowinSynthesis

6. Options 选项卡

在选项卡中，用户需要配置 LVDS 7to1 RX 所使用时钟，数据格式，通道延时等参数信息。

图 4-12 Options 选项卡

Options

Clock Setting

RX Clock In Frequency: 74.250 Phase Search Mode: Auto

Initial Phase: 0.0 RX Clock Out Phase: 0.0

Data Setting

Data Channels: One Video Data Format: RGB888

Data Mapping Standard: VESA

IO Setting

Data0 IO Delay Value: 0	Odd Data0 IO Delay Value: 0	Even Data0 IO Delay Value: 0
Data1 IO Delay Value: 0	Odd Data1 IO Delay Value: 0	Even Data1 IO Delay Value: 0
Data2 IO Delay Value: 0	Odd Data2 IO Delay Value: 0	Even Data2 IO Delay Value: 0
Data3 IO Delay Value: 0	Odd Data3 IO Delay Value: 0	Even Data3 IO Delay Value: 0

Generation Config

Disable I/O Insertion

5 参考设计

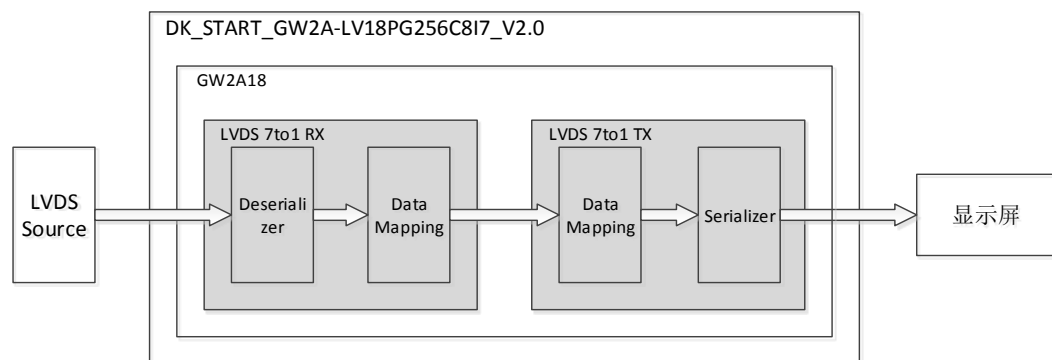
本节主要介绍 Gowin LVDS 7to1 TX RX IP 的参考设计实例的搭建及使用方法。详细信息请参见高云半导体官网给出的 LVDS 7to1 相关[参考设计](#)。

5.1 设计实例一

本参考设计以 DK_START_GW2A-LV18PG256C8I7_V2.0 开发板为例，参考设计基本结构框图如图 5-1 所示。

DK_START_GW2A-LV18PG256C8I7_V2.0 开发板相关信息参考，请参考 www.gowinsemi.com.cn/clients_view。

图 5-1 参考设计实例一基本结构框图



在参考设计实例一中，包含有 LVDS 7to1RX IP 和 LVDS 7to1 TX IP，其步骤如下所示：

1. 通过 LVDS RX 接口接收 LVDS 7:1 格式视频数据，分辨率是 1280x800。
2. 利用 LVDS 7to1 RX IP 模块，实现 LVDS 信号的解串行化，以及数据映射。
3. 再利用 LVDS 7to1 TX IP 模块，将并行视频数据进行数据映射，串行化后再转为 LVDS 信号。
4. 然后通过 LVDS TX 接口输出，与显示屏相连，可以在显示屏上显示输入的 LVDS 信号。

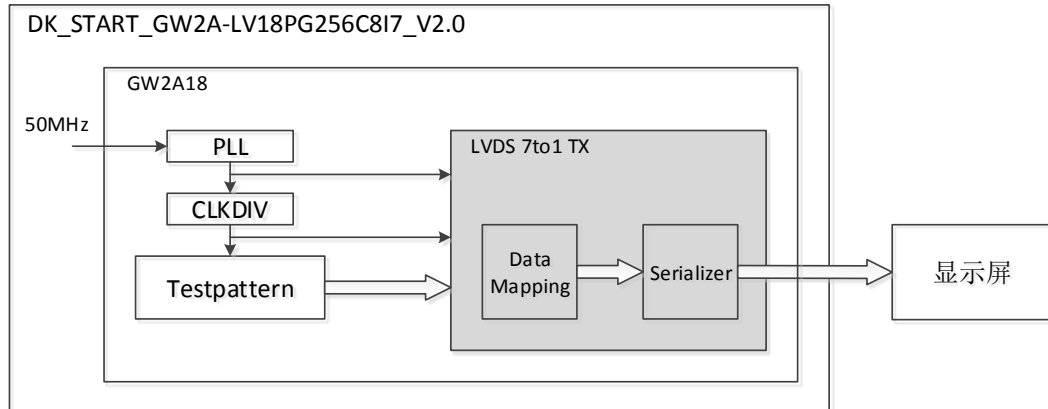
当参考设计应用于板级测试时，用户可将信号输出给显示器显示，也可配合在线逻辑分析仪或示波器对数据进行观测。

在参考设计提供的仿真工程中，以 **bmp** 位图作为测试激励源，**tb** 是仿真工程顶层模块。可通过仿真后输出的图片作对比。

5.2 设计实例二

本参考设计以 `DK_START_GW2A-LV18PG256C8I7_V2.0` 开发板为例，参考设计基本结构框图如图 5-2 所示。

图 5-2 参考设计实例二基本结构框图



在参考设计实例二中，只包含有 **LVDS 7to1 TX IP**，其步骤如下所示：

1. 由 50MHz 参考时钟产生 LVDS 7to1 TX IP 所需的像素时钟和串行时钟。
2. 由 Testpattern 模块输出 1280x800 分辨率的视频格式测试数据。
3. 利用 LVDS 7to1 TX IP 模块，将并行视频数据进行数据映射，串行化后转为 LVDS 信号。
4. 然后通过 LVDS TX 接口输出，与显示屏相连，可以在显示屏上显示测试图。测试图包括彩条图，网格图，灰阶图，纯色图。

在参考设计提供的仿真工程中，以 **bmp** 位图作为测试激励源，**tb** 是仿真工程顶层模块。可通过仿真后输出的图片作对比。

6 文件交付

Gowin LVDS 7to1 TX RX IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

6.1 文档

文件夹主要包含用户指南 PDF 文档。

表 6-1 文档列表

名称	描述
IPUG771, Gowin LVDS 7to1 TX RX IP 用户指南	高云 LVDS 7to1 TX RX IP 用户手册，即本手册。

6.2 设计源代码（加密）

加密代码文件夹包含 Gowin LVDS 7to1 TX RX IP 的 RTL 加密代码，供 GUI 使用，以配合高云云源软件产生用户所需的 IP 核。

表 6-2 LVDS 7to1 TX 设计源代码列表

名称	描述
lvds_7to1_tx.v	IP 核顶层文件，给用户接口信息，加密。

表 6-3 LVDS 7to1 RX 设计源代码列表

名称	描述
lvds_7to1_rx.v	IP 核顶层文件，给用户接口信息，加密。

6.3 参考设计

Gowin LVDS 7to1 RX TX RefDesign 文件夹主要包含 Gowin LVDS 7to1 TX RX IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 6-4 Gowin LVDS 7to1 RX TX RefDesign 文件夹内容列表

名称	描述
lvds_video_top.v	参考设计的顶层 module
lvds_video.cst	工程物理约束文件
lvds_video.sdc	工程时序约束文件

名称	描述
lvds_7to1_tx	LVDS 7to1 TX IP 工程文件夹
lvds_7to1_rx	LVDS 7to1 RX IP 工程文件夹

Gowin LVDS 7to1 TX RefDesign 文件夹主要包含 Gowin LVDS 7to1 TX IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 6-5 Gowin LVDS 7to1 TX RefDesign 文件夹内容列表

名称	描述
lvds_video_top.v	参考设计的顶层 module
lvds_video.cst	工程物理约束文件
lvds_video.sdc	工程时序约束文件
testpattern.v	参考设计文件
lvds_7to1_tx	LVDS 7to1 TX IP 工程文件夹
gowin_rpll	锁相环工程文件夹

