




Gowin Scaler Lite Down & Up IP 用户指南

IPUG772-1.2,2022-03-17

版权所有 © 2022 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2021/03/12	1.0	初始版本。
2021/10/12	1.1	增加 Zoom Direction, Line Buffer Depth 选项。
2022/03/17	1.2	<ul style="list-style-type: none">● 增加缩放比率。● 增加缩放算法选择。

目录

目录	i
图目录	iii
表目录	iii
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 概述	3
2.1 概述	3
2.2 主要特征	3
2.3 资源利用	3
3 功能描述	5
3.1 系统框图	5
3.2 实现框图	5
3.2.1 Scaler Lite Down	5
3.2.2 Scaler Lite Up	6
3.3 端口列表	8
3.3.1 Scaler Lite Down 端口	8
3.3.2 Scaler Lite Up 端口	9
3.4 参数配置	10
3.4.1 Scaler Lite Down 参数	10
3.4.2 Scaler Lite Up 参数	11
3.5 时序说明	12
4 界面配置	14
4.1 Scaler Lite Down IP 配置	14
4.2 Scaler Lite Up IP 配置	17

5 参考设计	20
5.1 设计实例一.....	20
5.2 设计实例二.....	21
6 文件交付	22
6.1 文档.....	22
6.2 设计源代码（加密）.....	22
6.3 参考设计.....	22

图目录

图 3-1 Scaler Lite Down 系统框图	5
图 3-2 Scaler Lite Up 系统框图	5
图 3-3 Scaler Lite Down 实现框图	5
图 3-4 Scaler Lite Up 实现框图	6
图 3-5 Scaler Lite Down IO 端口示意图	8
图 3-6 Scaler Lite Up IO 端口示意图	9
图 3-7 Scaler Lite Down 视频接口时序示意图	12
图 3-8 Scaler Lite Up 视频接口时序示意图	12
图 3-9 l_buf_fstline_rdy 信号时序示意图	12
图 3-10 VESA_RGB_24BIT 数据格式示意图	13
图 3-11 MIPI4LANES_RGB_32BIT 数据格式示意图	13
图 3-12 MIPI4LANES_RGB_64BIT 数据格式示意图	13
图 4-1 打开 IP Core Generator	14
图 4-2 打开 Scaler Lite Down IP 核	15
图 4-3 Scaler Lite Down IP 核接口示意图	15
图 4-4 基本信息配置界面	16
图 4-5 Options 选项卡	16
图 4-6 打开 IP Core Generator	17
图 4-7 打开 Scaler Lite Up IP 核	17
图 4-8 Scaler Lite Up IP 核接口示意图	18
图 4-9 基本信息配置界面	18
图 4-10 Options 选项卡	19
图 5-1 参考设计实例一基本结构框图	20
图 5-2 参考设计实例二基本结构框图	21

表目录

表 1-1 术语、缩略语	1
表 2-1 Gowin Scaler Lite Down & Up IP	3
表 2-2 Scaler Lite Down 占用资源	4
表 2-3 Scaler Lite Up 占用资源	4
表 3-1 Gowin Scaler Lite Down IP 的端口列表	8
表 3-2 Gowin Scaler Lite Up IP 的端口列表	9
表 3-3 Scaler Lite Down 参数	10
表 3-4 Scaler Lite Up 参数	11
表 6-1 文档列表	22
表 6-2 Scaler Lite Down 设计源代码列表	22
表 6-3 Scaler Lite Up 设计源代码列表	22
表 6-4 Gowin Scaler Lite Down RefDesign 文件夹内容列表	22
表 6-5 Gowin Scaler Lite Up RefDesign 文件夹内容列表	23

1 关于本手册

1.1 手册内容

Gowin Scaler Lite Down & Up IP 用户指南主要内容包括产品概述、功能描述、配置调用、参考设计等，旨在帮助用户快速了解 Gowin Scaler Lite Down & Up IP 的特性及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [DS821, GW1NS 系列 FPGA 产品数据手册](#)
- [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
- [DS881, GW1NSER 系列安全 FPGA 产品数据手册](#)
- [DS891, GW1NRF 系列蓝牙 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [DS961, GW2ANR 系列 FPGA 产品数据手册](#)
- [DS971, GW2AN-18X/9X 器件数据手册](#)
- [DS976, GW2AN-55 器件数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
VESA	Video Electronics Standards	视频电子标准协会

术语、缩略语	全称	含义
	Association	
VS	Vertical Sync	垂直同步
HS	Horizontal Sync	水平同步
DE	Data Enable	数据使能
IP	Intellectual Property	知识产权

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 概述

视频 Scaler 功能是图像处理中的一种常用功能，目的是将输入图像从一种分辨率转换到另一种分辨率输出，同时满足视频实时输入实时输出的要求。Scaler Lite IP 用于双线性算法，低缩放比率条件的缩放。其中 Scaler Lite Down IP 实现缩小功能，Scaler Lite Up IP 实现放大功能。

表 2-1 Gowin Scaler Lite Down & Up IP

Gowin Scaler Lite Down & Up IP	
逻辑资源	请参见表 2-2 和表 2-3。
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis®
应用软件	Gowin Software (V1.9.8.05Beta 及以上)

2.2 主要特征

- 支持 VESA RGB 24 bits，MIPI RGB 32 bits，MIPI RGB 64 bits 数据格式。
- 支持缩小 2:1，3:2，4:3，5:4，6:5，7:6，8:7 比率。
- 支持放大 1:2，2:3，3:4，4:5，5:6，6:7，7:8 比率。

2.3 资源利用

通过 Verilog 语言实现 Scaler Lite Down 和 Scaler Lite Up。因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。以高云 GW1NR-9 系列 FPGA 为例，部分比率 Scaler Lite Down 和 Scaler Lite Up 资源利用情况如表 2-2 和表 2-3 所示。

表 2-2 Scaler Lite Down 占用资源

缩放比率	器件系列	缩放算法	Data format	Buffer depth	Register	LUT	BSRAM
5:4	GW1NR-9	Simple Without DSP	24 bits	2048	132	285	3
5:4			32 bits	2048	173	491	4
5:4			64 bits	2048	275	1018	4

表 2-3 Scaler Lite Up 占用资源

缩放比率	器件系列	缩放算法	Data format	Buffer depth	Register	LUT	BSRAM
4:5	GW1NR-9	Simple Without DSP	24 bits	2048	136	191	3
4:5			32 bits	2048	206	495	4
4:5			64 bits	2048	300	937	4

3 功能描述

3.1 系统框图

Gowin Scaler Lite Down & Up IP 分为 Scaler Lite Down IP 和 Scaler Lite Up IP，其系统框图如图 3-1 和图 3-2 所示。

图 3-1 Scaler Lite Down 系统框图

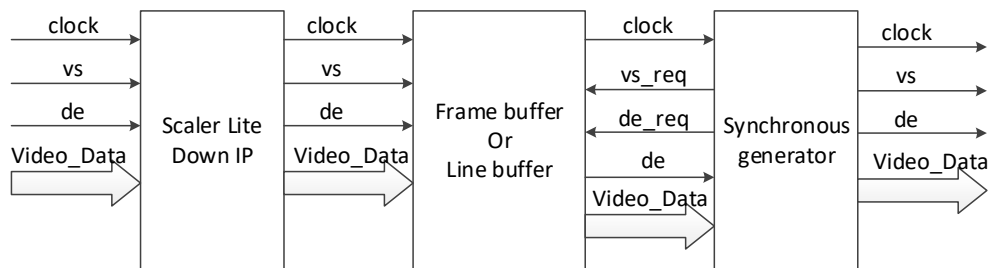
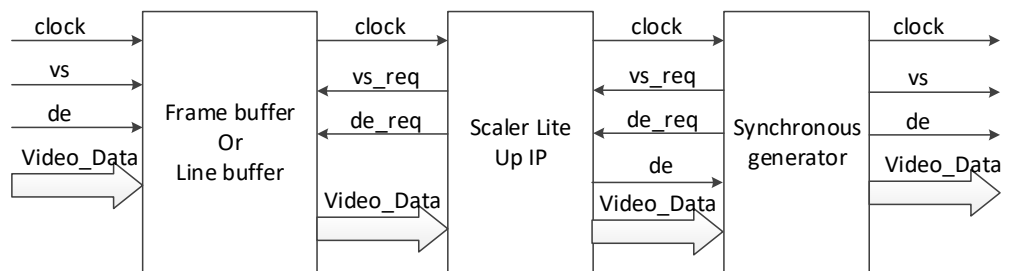


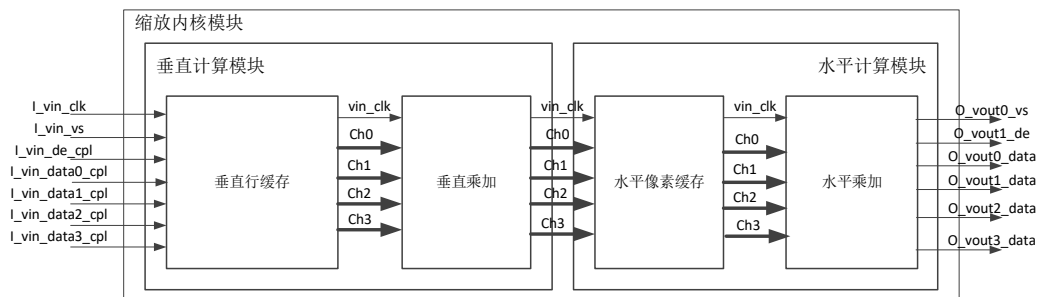
图 3-2 Scaler Lite Up 系统框图



3.2 实现框图

3.2.1 Scaler Lite Down

图 3-3 Scaler Lite Down 实现框图



Scaler Lite Down IP 主要由缩放内核模块构成，缩放内核模块包含垂直计算模块和水平计算模块。

因为图像做缩小处理，缩小后的输出带宽比输入带宽要小，所以使用输入的像素时钟作为系统处理时钟完全满足需求。

数据处理流程如下：

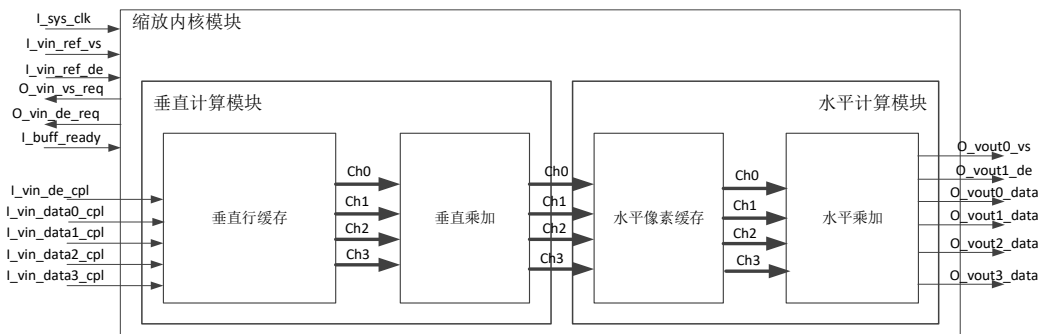
1. 首先对输入数据行缓存，以一行长度 2048 计算，一个 BSRAM 的容量是 8bitsx2048，根据输入数据位宽，24 bits 则需要 3 个 BSRAM，32 bits 则需要 4 个 BSRAM。
2. 然后根据缩小比率，对两行数据进行加权计算。因为只缓存一行，所以每个新输入行与上一缓存行先进行乘加运算，在完成运算同时，把新输入行的数据缓存到 BSRAM 中，替换上一行数据。
3. 再把运算完的数据进行延时，然后根据缩放比率对相邻两点进行加权计算。如果是 VESA RGB 24 bits 数据格式，每个时钟对应 24 bits，运算后每个时钟对应仍然是 24 bits。如果是 MIPI 32 bits 数据格式，每个时钟对应 32 bits，运算后每个时钟对应仍然是 32 bits。如果是 MIPI 64 bits 数据格式，每个时钟对应 64 bits，运算后每个时钟对应仍然是 64 bits。
4. 最后把运算后的数据直接输出，不再另做缓存。

注！

- 输入数据有效信号 DE 每行必须是连续的。
- 因为缩小后，数据量减少，所以输出的行与行之间间隔不均匀。并且在一行内，点数减少，输出 DE 也不是连续的。
- 输入场同步 VS 信号必须是正极性，输出场同步 VS 信号是一个宽度为 4096 时钟周期的正极性脉冲信号。
- 根据 BSRAM 的容量，限制输入图像一行的长度小于等于行缓存深度，且长度必须与缩放比率成整数倍。根据所选芯片型号容量，行缓存深度可分为三档，1024，2048 或 4096。且当数据格式是 MIPI 32 bits 时，必须是 4 的整数倍，当数据格式是 MIPI 64 bits 时，必须是 8 的整数倍。
- 图像高度不限，但必须与缩放比率成整数倍。

3.2.2 Scaler Lite Up

图 3-4 Scaler Lite Up 实现框图



Scaler Lite Up 和 Scaler Lite Down 基本结构类似，只是端口有差别。

因为是放大处理，输出带宽增大，所以需以输出的像素时钟作为处理时钟。另外因为做放大运算，同一行数据会被多次运算，所以单纯靠一行缓存

是无法完成放大运算的。因此必须有多行缓存或者外部存储器提供缓存功能。在系统框图中以外部存储器配合 Video Frame Buffer 来实现放大功能。

数据处理流程如下：

1. 输出时序产生模块会输出场同步 VS 信号和数据有效 DE 信号给 Scaler Lite Up IP，由 IP 输出放大后的数据。IP 在收到输出场同步 VS 信号和数据有效 DE 信号后，会根据计算数据时序重新产生向 Frame Buffer 或 Line Buffer 读数据的使能信号 de_req，从 Buffer 中读取数据。
2. Frame Buffer 或 Line Buffer 输出的数据进入 Scaler Lite Up IP 后，首先进入行缓存，以一行长度 2048 计算，一个 BSRAM 的容量是 8 bitsx2048，根据输入数据位宽，24 bits 则需要 3 个 BSRAM，32 bits 则需要 4 个 BSRAM。
3. 然后根据放大比率，对两行数据进行加权计算。因为只缓存一行，所以每个新输入行与上一缓存行先进行乘加运算，在完成运算同时，把新输入行的数据缓存到 BSRAM 中，替换上一行数据。
4. 再把运算完的数据进行延时几个周期，然后根据缩放比率对相邻两点进行加权计算。如果是 VESA RGB 24bit 数据格式，每个时钟对应 24bit，运算后每个时钟对应仍然是 24bit。如果是 MIPI 32bit 数据格式，每个时钟对应 32bit，运算后每个时钟对应仍然是 32bit。如果是 MIPI 64bit 数据格式，每个时钟对应 64bit，运算后每个时钟对应仍然是 64bit。
5. 最后把运算后的数据直接输出，不再另做缓存。

注！

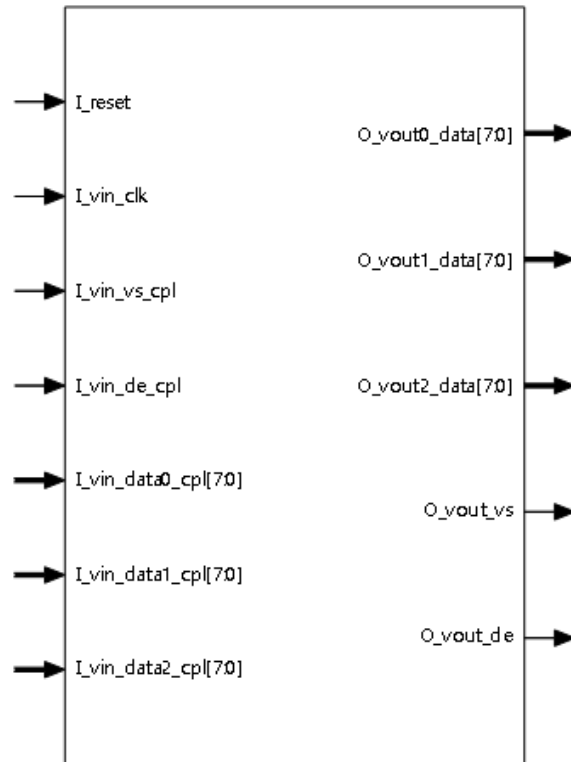
- 读数据使能信号 de_req 输出到 Video Frame Buffer 后，返回数据必须至少延迟 2 个周期后输出给 Scaler Lite Up IP。具体延时多少周期必须明确且在 Scaler Lite Up IP 生成过程中作为参数输入。
- 输出 DE 是连续的，可以用于直接驱动显示器。
- 输入场同步 VS 信号必须是正极性。
- 根据 BSRAM 的容量，限制输入图像一行的长度小于等于行缓存深度，且长度必须与缩放比率成整数倍。根据所选芯片型号容量，行缓存深度可分为三档，1024，2048 或 4096。且当数据格式是 MIPI 32 bits 时，必须是 4 的整数倍，当数据格式是 MIPI 64 bits 时，必须是 8 的整数倍。
- 限制输入图像高度小于等于 8192，必须与缩放比率成整数倍。

3.3 端口列表

3.3.1 Scaler Lite Down 端口

Gowin Scaler Lite Down IP 的 IO 端口如图 3-5 所示。

图 3-5 Scaler Lite Down IO 端口示意图



根据配置参数不同，端口会略有不同。

Gowin Scaler Lite Down IP 的 IO 端口详细描述如表 3-1 所示。

表 3-1 Gowin Scaler Lite Down IP 的端口列表

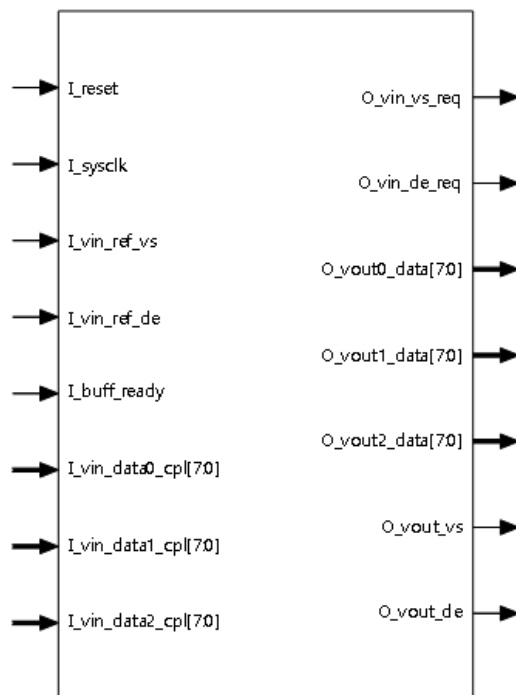
序号	信号名称	方向	描述	备注
1	I_reset	I	复位信号，高有效。	所有信号输入输出方向均以 Scaler Lite Down IP 为参考。
2	I_vin_clk	I	视频输入像素时钟	
3	I_vin_vs_cpl	I	输入场同步 vs 信号，正极性	
4	I_vin_de_cpl	I	输入数据使能 de 信号	
5	I_vin_data0_cpl	I	输入视频数据信号	
6	I_vin_data1_cpl	I	输入视频数据信号	
7	I_vin_data2_cpl	I	输入视频数据信号	
8	I_vin_data3_cpl	I	输入视频数据信号，仅在数据格式为 MIPI 格式时有效。	
9	O_vval_de	O	Debug 选项，垂直计算输出 de 信号	
10	O_vval_data0	O	Debug 选项，垂直计算输出 data 信号	

序号	信号名称	方向	描述	备注
11	O_vval_data1	O	Debug 选项, 垂直计算输出 data 信号	
12	O_vval_data2	O	Debug 选项, 垂直计算输出 data 信号	
13	O_vval_data3	O	Debug 选项, 垂直计算输出 data 信号, 仅在数据格式为 MIPI 格式时有效	
14	O_vout_vs	O	输出视频场同步 vs 信号, 正极性	
15	O_vout_de	O	输出视频数据使能 de 信号	
16	O_vout0_data	O	输出视频数据 data 信号	
17	O_vout1_data	O	输出视频数据 data 信号	
18	O_vout2_data	O	输出视频数据 data 信号	
19	O_vout3_data	O	输出视频数据 data 信号, 仅在数据格式为 MIPI 格式时有效	

3.3.2 Scaler Lite Up 端口

Gowin Scaler Lite Up IP 的 IO 端口如图 3-6 所示。

图 3-6 Scaler Lite Up IO 端口示意图



根据配置参数不同, 端口会略有不同。

Gowin Scaler Lite Up IP 的 IO 端口详细描述如表 3-2 所示。

表 3-2 Gowin Scaler Lite Up IP 的端口列表

序号	信号名称	方向	描述	备注
1	I_reset	I	复位信号, 高有效	所有信号输入输出方向均以
2	I_sys_clk	I	系统工作时钟	

序号	信号名称	方向	描述	备注
3	I_vin_ref_vs	I	参考场同步 vs 信号, 正极性	Scaler Lite Up IP 为参考。
4	I_vin_ref_de	I	参考数据使能 de 信号	
5	O_vin_vs_req	O	输出场同步 vs 请求信号, 正极性, 比 I_vin_ref_vs 延时 2 拍, 输出到缓存模块	
6	O_vin_de_req	O	数据使能 de 请求信号, 输出到缓存模块	
7	I_buf_fstline_rdy	I	缓存中第 1 行数据 ready 信号	
8	I_vin_data0_cpl	I	输入视频数据信号	
9	I_vin_data1_cpl	I	输入视频数据信号	
10	I_vin_data2_cpl	I	输入视频数据信号	
11	I_vin_data3_cpl	I	输入视频数据信号, 仅在数据格式为 MIPI 格式时有效	
12	O_vout_vs	O	输出视频场同步 vs 信号, 正极性	
13	O_vout_de	O	输出视频数据使能 de 信号	
14	O_vout0_data	O	输出视频数据 data 信号	
15	O_vout1_data	O	输出视频数据 data 信号	
16	O_vout2_data	O	输出视频数据 data 信号	
17	O_vout3_data	O	输出视频数据 data 信号, 仅在数据格式为 MIPI 格式时有效	

3.4 参数配置

3.4.1 Scaler Lite Down 参数

表 3-3 Scaler Lite Down 参数

序号	参数名称	允许范围	默认值	描述
1	Data Format	VESA_RGB_24BIT, MIPI4LANES_RGB_32BIT, MIPI 4 lanes RGB 64bits	VESA_RGB_24BIT	输入数据格式
2	Zoom Ratio	2:1, 3:2, 4:3, 5:4	2:1	缩放比率
3	Zoom Direction	Both/Vertical/Horizontal	Both	缩放方向 <ul style="list-style-type: none"> ● Both: 双向缩放 ● Vertical: 仅垂直缩放 ● Horizontal: 仅水平缩放
4	Line Buffer Depth	1024/2048/40	2048	一行缓存深度

序号	参数名称	允许范围	默认值	描述
		96		
5	Vertical Data Enable	Yes/No	No	Debug 选项，仅在双向缩放时可选，打开可显示中间垂直计算的数据。
6	Scaler Algorithm	Simple Without DSP/Bilinear With DSP	Simple Without DSP	缩放算法

3.4.2 Scaler Lite Up 参数

表 3-4 Scaler Lite Up 参数

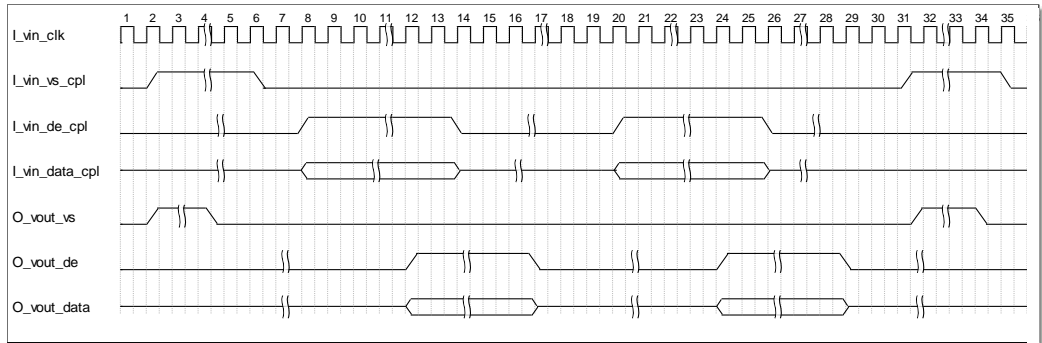
序号	参数名称	允许范围	默认值	描述
1	Data Format	VESA_RGB_24BIT, MIPI4LANES_RGB_32BIT, MIPI 4 lanes RGB 64bits	VESA_RGB_24BIT	输入数据格式
2	Zoom Ratio	1:2, 2:3, 3:4, 4:5	1:2	缩放比率
3	Input Frame Width	1~4096	1280	输入水平分辨率 <ul style="list-style-type: none"> ● 数据格式是 MIPI4LANES_RGB_32BIT 时必须是 4 的整数倍； ● 数据格式是 MIPI4LANES_RGB_64BIT 时必须是 8 的整数倍。
4	Input Frame Height	1~8192	720	输入垂直分辨率
5	Fetch Data Delay Value	2~16	2	从缓存中取数延时
6	Zoom Direction	Both/Vertical/Horizontal	Both	缩放方向 <ul style="list-style-type: none"> ● Both: 双向缩放 ● Vertical: 仅垂直缩放 ● Horizontal: 仅水平缩放
7	Line Buffer Depth	1024/2048/4096	2048	一行缓存深度
8	Scaler Algorithm	Simple Without DSP/Bilinear With DSP	Simple Without DSP	缩放算法

3.5 时序说明

本节介绍 Gowin Scaler Lite Down & Up IP 的时序情况。

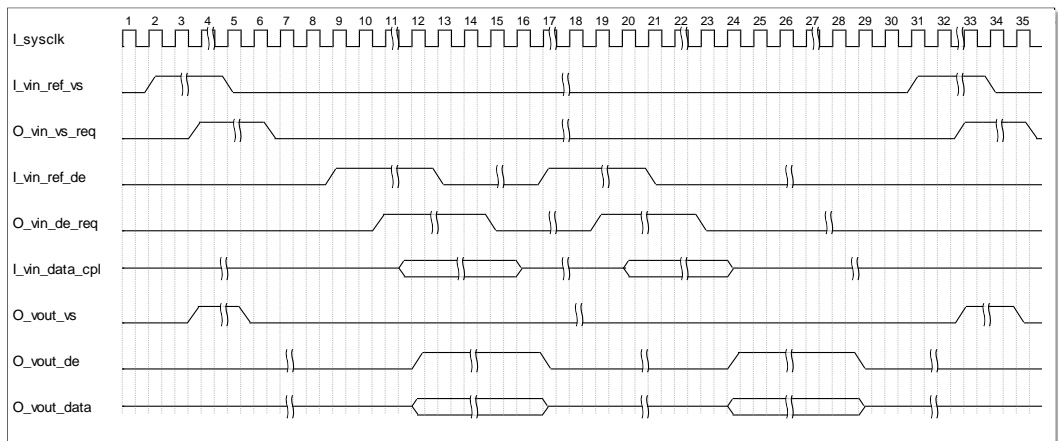
Scaler Lite Down 视频接口时序示意图如图 3-7 所示。

图 3-7 Scaler Lite Down 视频接口时序示意图



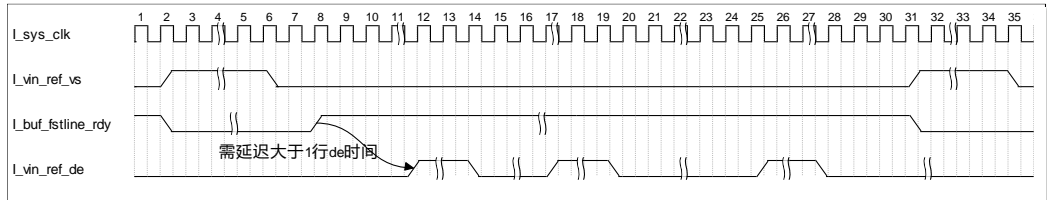
Scaler Lite Up 视频接口时序示意图如图 3-8 所示。

图 3-8 Scaler Lite Up 视频接口时序示意图



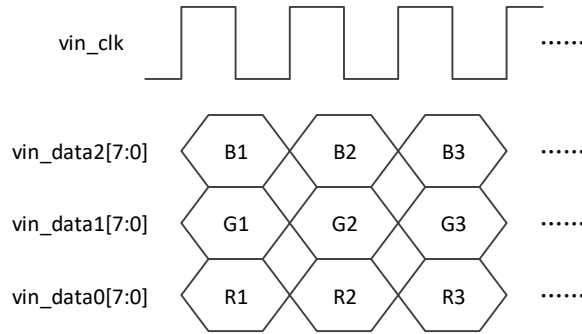
I_buf_fstline_rdy 信号时序示意图如图 3-9 所示。

图 3-9 I_buf_fstline_rdy 信号时序示意图



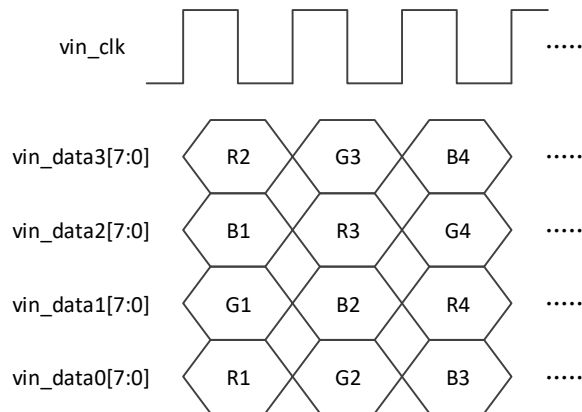
VESA_RGB_24BIT 数据格式示意图如图 3-10 所示。

图 3-10 VESA_RGB_24BIT 数据格式示意图



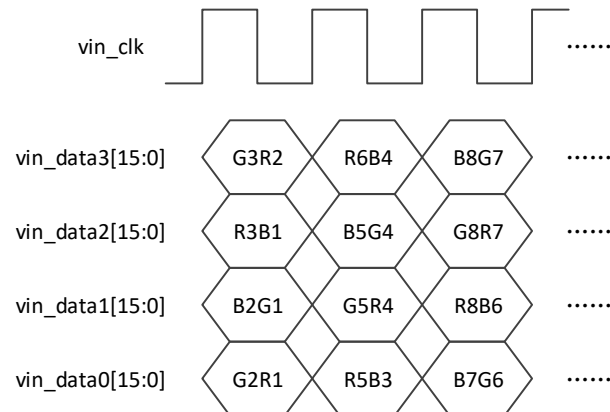
MIPI4LANES_RGB_32BIT 数据格式示意图如图 3-11 所示。

图 3-11 MIPI4LANES_RGB_32BIT 数据格式示意图



MIPI4LANES_RGB_64BIT 数据格式示意图如图 3-12 所示。

图 3-12 MIPI4LANES_RGB_64BIT 数据格式示意图



4 界面配置

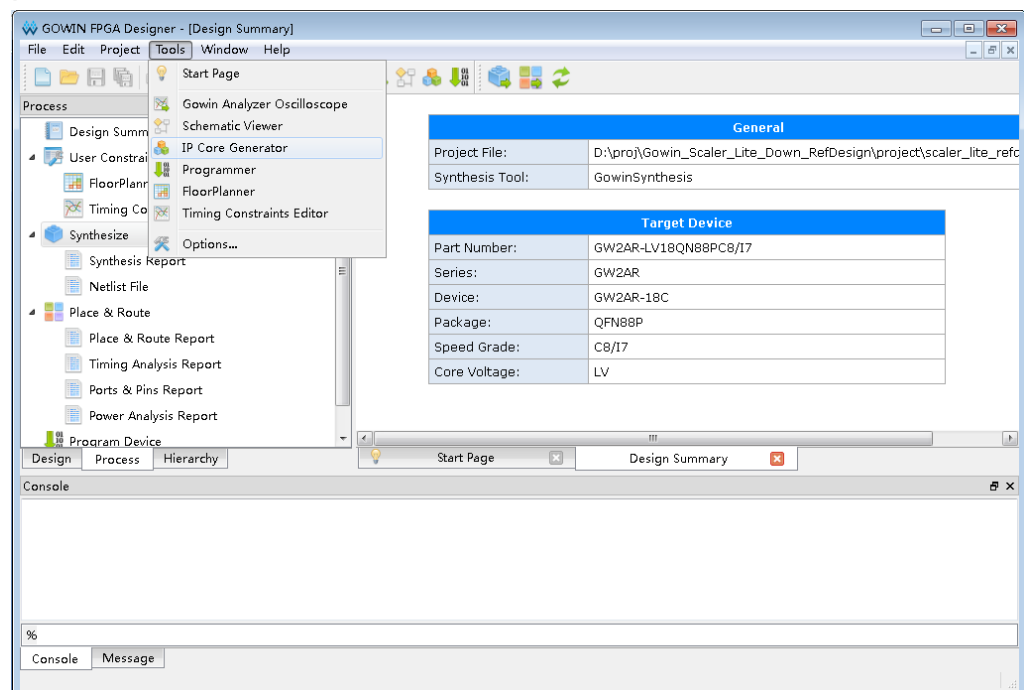
用户可以在高云半导体云源®软件中的 IP 内核生成器工具调用和配置高云 Scaler Lite Down IP 和 Scaler Lite Up IP。

4.1 Scaler Lite Down IP 配置

1. 打开 IP Core Generator

用户建立工程后，单击左上角“Tools”选项卡，下拉单击“IP Core Generator”选项，即可打开 Gowin IP Core Generator，如图 4-1 所示。

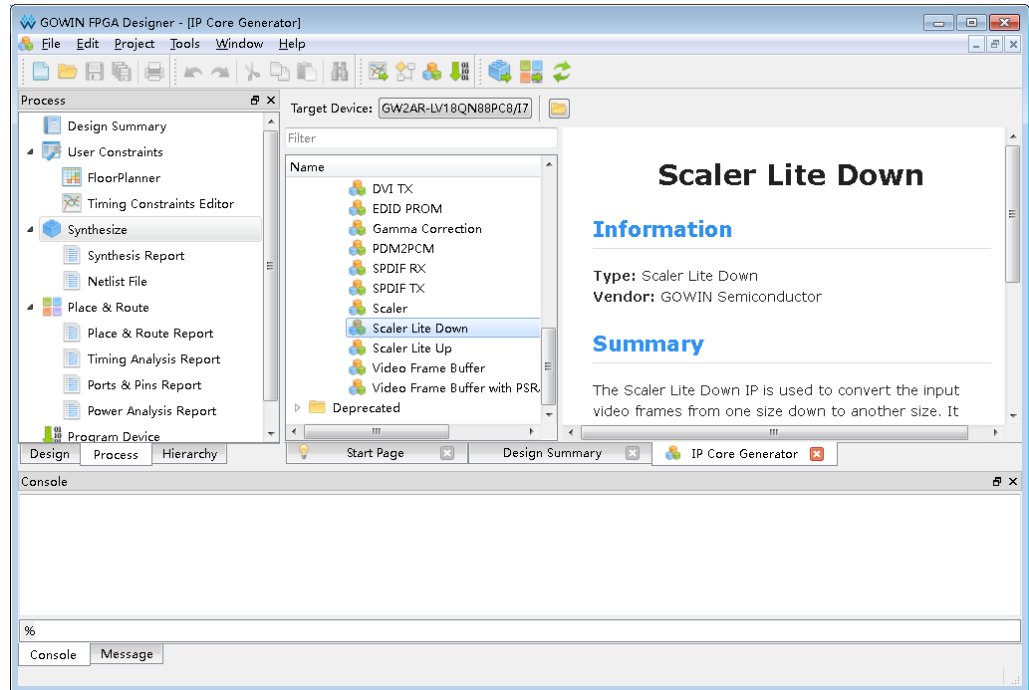
图 4-1 打开 IP Core Generator



2. 打开 Scaler Lite Down IP 核

单击“Multimedia”选项，双击“Scaler Lite Down”，打开 Scaler Lite Down IP 核的配置界面，如图 4-2 所示。

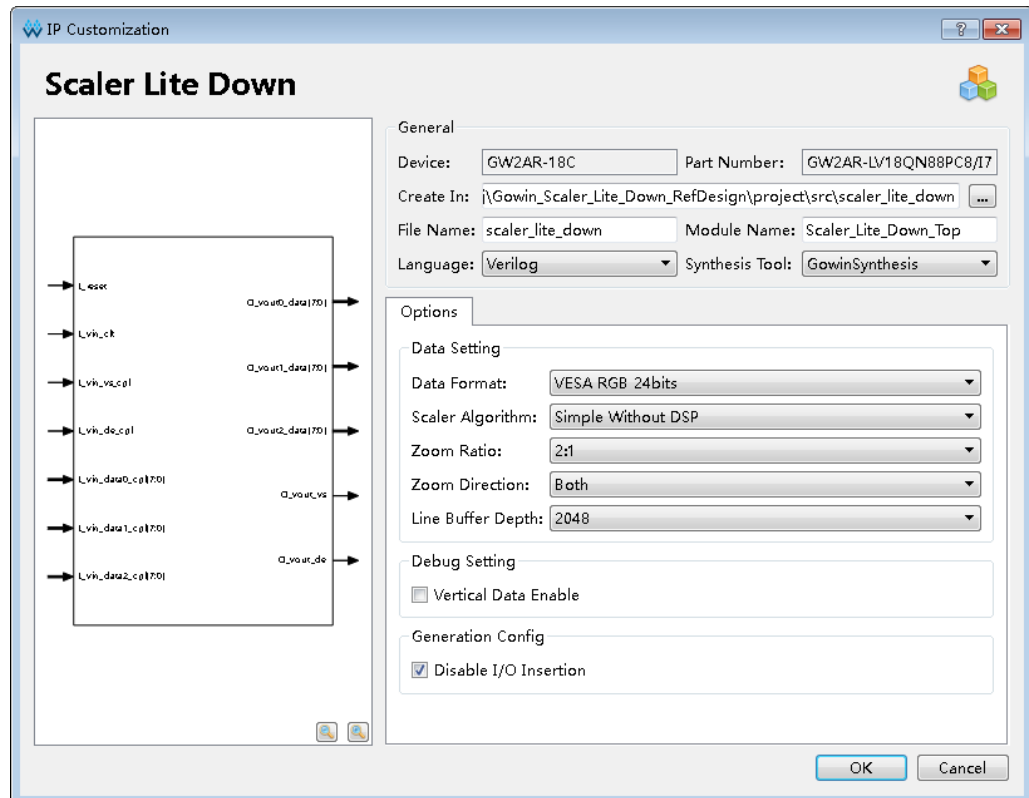
图 4-2 打开 Scaler Lite Down IP 核



3. Scaler Lite Down IP 核端口界面

配置界面左侧为 Scaler Lite Down IP 核的接口示意图，如图 4-3 所示。

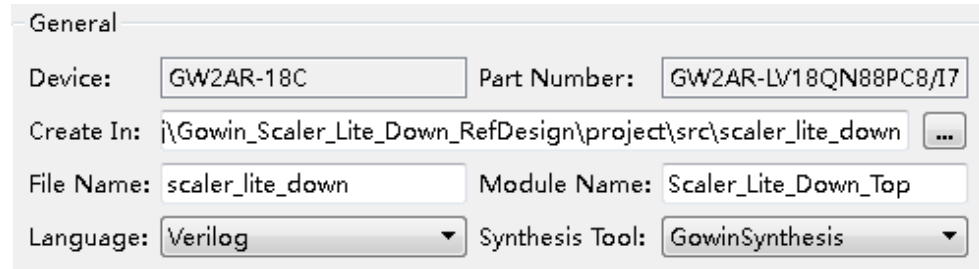
图 4-3 Scaler Lite Down IP 核接口示意图



4. 配置基本信息

在配置界面的上部分是工程基本信息配置界面，以 GW2AR-18C 为例，封装选择 QFN88P。Module Name 选项后面是工程产生后顶层文件的名称，默认为“Scaler_Lite_Down_Top”，用户可自行修改。“File Name”是 IP 核文件产生的文件夹，存放 Scaler Lite Down IP 核所需文件，默认为“scaler_lite_down”，用户可自行修改路径。Create In 选项是 IP 核文件夹产生路径，默认为“\工程路径\src\scaler_lite_down”，用户可自行修改路径。

图 4-4 基本信息配置界面



General

Device: GW2AR-18C Part Number: GW2AR-LV18QN88PC8/I7

Create In: \\Gowin_Scaler_Lite_Down_RefDesign\project\src\scaler_lite_down ...

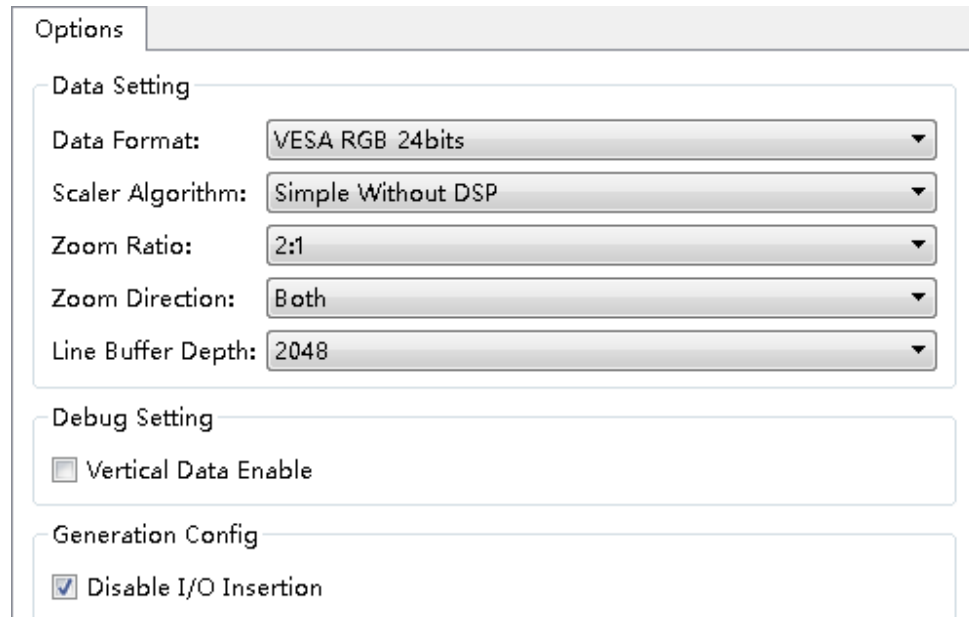
File Name: scaler_lite_down Module Name: Scaler_Lite_Down_Top

Language: Verilog Synthesis Tool: GowinSynthesis

5. Options 选项卡

在选项卡中，用户需要配置 Scaler Lite Down 所使用数据格式等参数信息。

图 4-5 Options 选项卡



Options

Data Setting

Data Format: VESA RGB 24bits

Scaler Algorithm: Simple Without DSP

Zoom Ratio: 2:1

Zoom Direction: Both

Line Buffer Depth: 2048

Debug Setting

Vertical Data Enable

Generation Config

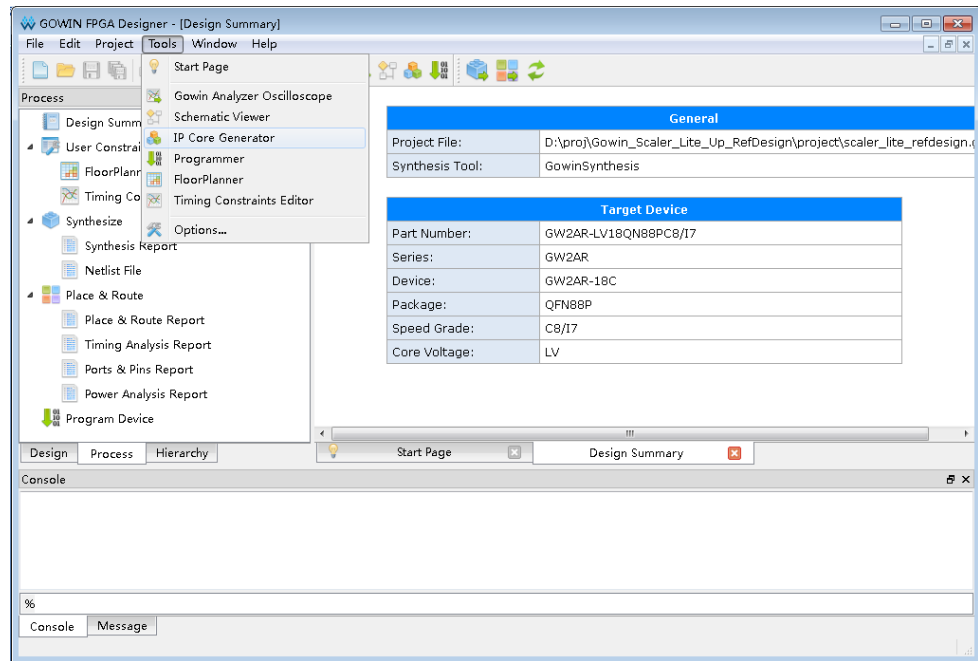
Disable I/O Insertion

4.2 Scaler Lite Up IP 配置

1. 打开 IP Core Generator

用户建立工程后，单击左上角“Tools”选项卡，下拉单击“IP Core Generator”选项，即可打开 Gowin IP Core Generator，如图 4-6 所示。

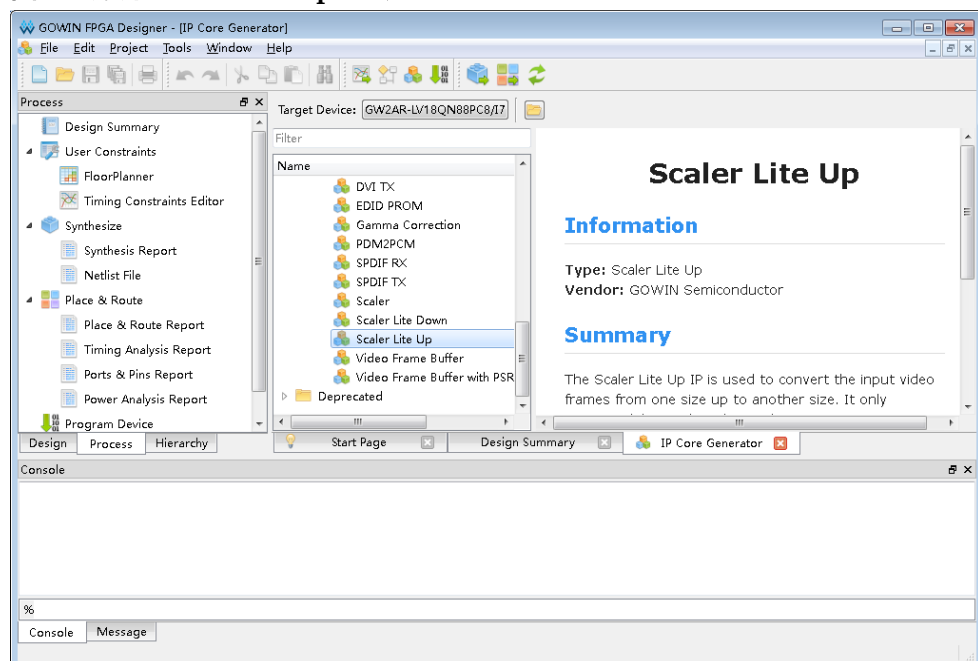
图 4-6 打开 IP Core Generator



2. 打开 Scaler Lite Up IP 核

单击“Multimedia”选项，双击“Scaler Lite Up”，打开 Scaler Lite Up IP 核的配置界面，如图 4-7 所示。

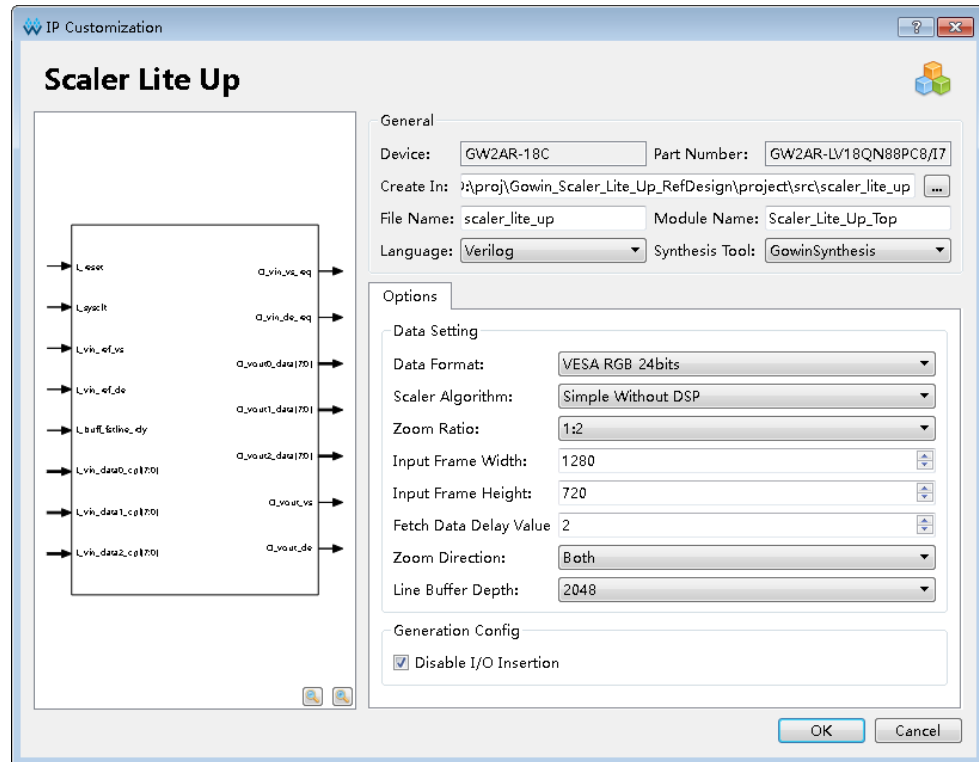
图 4-7 打开 Scaler Lite Up IP 核



3. Scaler Lite Up IP 核端口界面

配置界面左侧为 Scaler Lite Up IP 核的接口示意图，如图 4-8 所示。

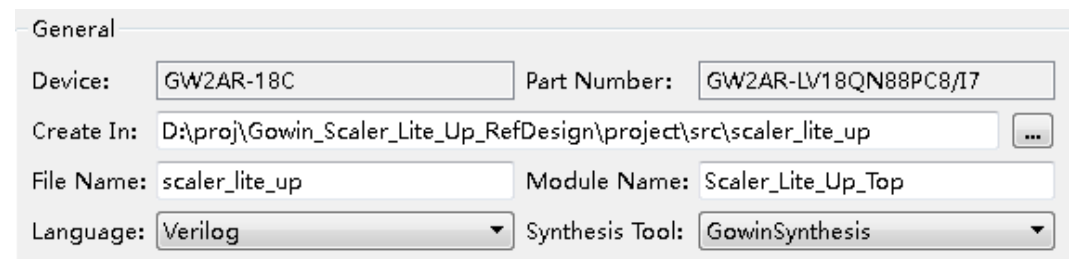
图 4-8 Scaler Lite Up IP 核接口示意图



4. 配置基本信息

在配置界面的上部分是工程基本信息配置界面，以 GW2AR-18C 为例，封装选择 QFN88P。Module Name 选项后面是工程产生后顶层文件的名字，默认为“Scaler_Lite_Up_Top”，用户可自行修改。“File Name”是 IP 核文件产生的文件夹，存放 Scaler Lite Up IP 核所需文件，默认为“scaler_lite_up”，用户可自行修改路径。Create In 选项是 IP 核文件夹产生路径，默认为“\工程路径\src\scaler_lite_up”，用户可自行修改路径。

图 4-9 基本信息配置界面



5. Options 选项卡

在选项卡中，用户需要配置 Scaler Lite Up 所使用数据格式等参数信息。

图 4-10 Options 选项卡

Options

Data Setting

Data Format: VESA RGB 24bits

Scaler Algorithm: Simple Without DSP

Zoom Ratio: 1:2

Input Frame Width: 1280

Input Frame Height: 720

Fetch Data Delay Value: 2

Zoom Direction: Both

Line Buffer Depth: 2048

Generation Config

Disable I/O Insertion

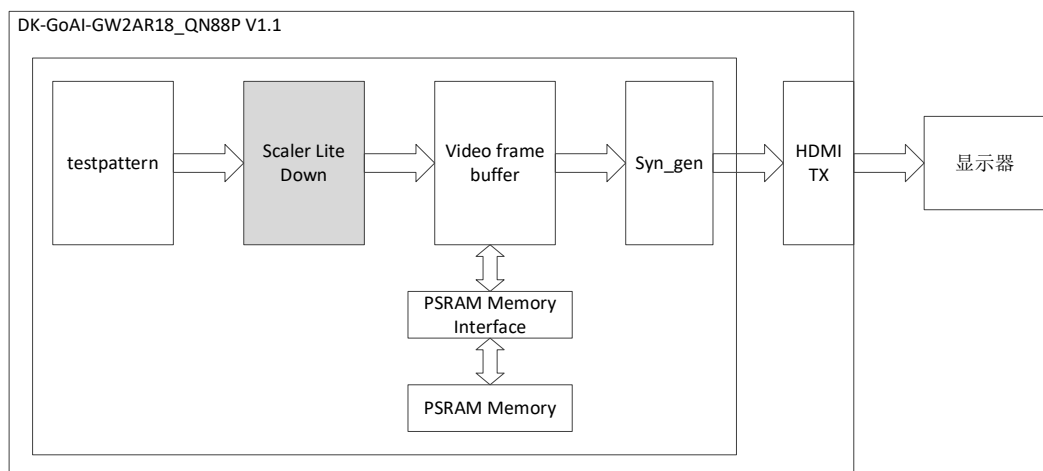
5 参考设计

本节主要介绍 Gowin Scaler Lite Down & Up IP 的参考设计实例的搭建及使用方法。详细信息请参见高云半导体官网给出的 Scaler Lite IP 相关[参考设计](#)。

5.1 设计实例一

本参考设计以 DK-GoAI-GW2AR18_QN88P V1.1 开发板为例，参考设计基本结构框图如图 5-1 所示。DK-GoAI-GW2AR18_QN88P V1.1 开发板相关信息，请点击 www.gowinsemi.com.cn/clients_view。

图 5-1 参考设计实例一基本结构框图

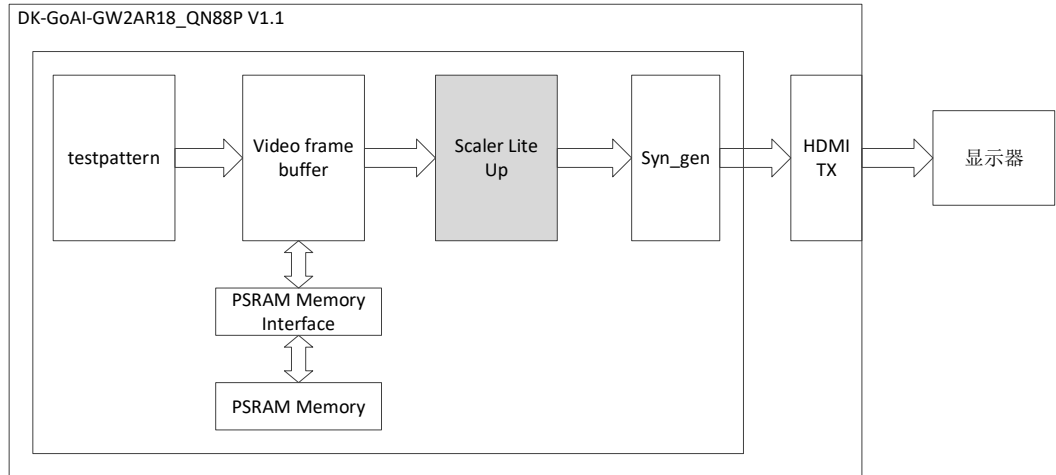


在参考设计实例一中，通过 testpattern 模块产生测试图视频信号，经过 Scaler Lite Down 模块按固定比率缩小，然后输入到 Video Frame Buffer 进行视频数据缓存，Video Frame Buffer 与 PSRAM 控制器 IP 相连，syn_gen 模块产生输出视频时序，从 Video Frame Buffer 中读取视频数据，然后输出到 HDMI(J4)端口，通过 HDMI 线缆和显示器相连，即可以看到经过缩小后的内部产生的测试图。测试图包括彩条图，网格图，灰阶图，棋盘格图。

5.2 设计实例二

本参考设计以 DK-GoAI-GW2AR18_QN88P V1.1 开发板为例，参考设计基本结构框图如图 5-2 所示。

图 5-2 参考设计实例二基本结构框图



在参考设计实例二中，通过 `testpattern` 模块产生测试图视频信号，首先输入到 `Video Frame Buffer` 进行视频数据缓存，`Video Frame Buffer` 与 `PSRAM` 控制器 IP 相连，`syn_gen` 模块产生输出视频时序，输出给 `Scaler Lite Up` 模块，`Scaler Lite Up` 模块从 `Video Frame Buffer` 中读取视频数据，然后按固定比率进行放大，最后数据输出到 `HDMI(J4)` 端口，通过 `HDMI` 线缆和显示器相连，即可以看到经过放大后的内部产生的测试图。测试图包括彩条图，网格图，灰阶图，棋盘格图。

6 文件交付

Gowin Scaler Lite Down & Up IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

6.1 文档

文件夹主要包含用户指南 PDF 文档。

表 6-1 文档列表

名称	描述
IPUG772, Gowin Scaler Lite Down & Up IP 用户指南	高云 Scaler Lite IP 用户手册，即本手册。

6.2 设计源代码（加密）

加密代码文件夹包含 Gowin Scaler Lite IP 的 RTL 加密代码，供 GUI 使用，以配合高云云源软件产生用户所需的 IP 核。

表 6-2 Scaler Lite Down 设计源代码列表

名称	描述
scaler_lite_down.v	IP 核顶层文件，给用户接口信息，加密。

表 6-3 Scaler Lite Up 设计源代码列表

名称	描述
scaler_lite_up.v	IP 核顶层文件，给用户接口信息，加密。

6.3 参考设计

Gowin Scaler Lite Down RefDesign 文件夹主要包含 Gowin Scaler Lite Down IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 6-4 Gowin Scaler Lite Down RefDesign 文件夹内容列表

名称	描述
scaler_lite_test_top.v	参考设计的顶层 module
scaler_lite_test_top.cst	工程物理约束文件
scaler_lite_test_top.sdc	工程时序约束文件

名称	描述
testpattern.v	参考设计文件
dvi_tx_top	DVI TX IP 文件夹
gowin_rpll	rPLL IP 文件夹
line_buffer	行缓存 line_buffer 文件夹
psram_memory_interface_hs	PSRAM Memory Interface IP 文件夹
scaler_lite_down	Scaler Lite Down IP 文件夹
syn_code	同步时序产生模块文件夹
video_frame_buffer	Video Frame Buffer IP 文件夹

Gowin Scaler Lite Up RefDesign 文件夹主要包含 Gowin Scaler Lite Up IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 6-5 Gowin Scaler Lite Up RefDesign 文件夹内容列表

名称	描述
scaler_lite_test_top.v	参考设计的顶层 module
scaler_lite_test_top.cst	工程物理约束文件
scaler_lite_test_top.sdc	工程时序约束文件
testpattern.v	参考设计文件
dvi_tx_top	DVI TX IP 文件夹
gowin_rpll	rPLL IP 文件夹
psram_memory_interface_hs	PSRAM Memory Interface IP 文件夹
scaler_lite_up	Scaler Lite Up IP 文件夹
syn_code	同步时序产生模块文件夹
video_frame_buffer	Video Frame Buffer IP 文件夹

