




Gowin USB 2.0 SoftPHY IP

用户指南

IPUG781-1.2,2021-12-23

版权所有 © 2021 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2021/07/23	1.0	初始版本。
2021/08/13	1.1	修改 IO 端口属性配置。
2021/10/12	1.2	新增第 2.3 章“使用 5V 主机电源为 USB 设备供电的解决方案”。
2021/12/23	1.3	<ul style="list-style-type: none">● 修改外围电路配置方法；● 增加 IO 配置约束。

目录

目录	i
图目录.....	ii
表目录.....	iii
1 关于本手册	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语	1
1.4 技术支持与反馈.....	2
2 简介	3
2.1 概述.....	3
2.2 特性.....	3
2.3 使用 5V 主机电源为 USB 设备供电的解决方案.....	3
3 功能描述.....	5
3.1 USB 2.0 SoftPHY 结构框图	5
3.2 USB 2.0 SoftPHY 外部电路连接	5
4 信号定义.....	8
5 界面配置.....	10

图目录

图 3-1 USB 2.0 SoftPHY 结构框图.....	5
图 3-2 USB 从设备接口实现.....	6
图 3-3 GW1NSR-4 器件 Pinout.....	7
图 5-1 IP Core Generator 选项.....	10
图 5-2 打开 USB 2.0 SoftPHY IP 核.....	11
图 5-3 USB 2.0 SoftPHY IP 配置界面.....	11

表目录

表 1-1 术语、缩略语	1
表 2-1 直流电特性	4
表 4-1 信号定义	8

1 关于本手册

1.1 手册内容

GowinUSB 2.0 SoftPHY IP 用户指南主要内容包括产品简介、功能描述、信号定义、界面配置，旨在帮助用户快速了解 GowinUSB 2.0 SoftPHY IP 的产品特性、特点及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档。

- [DS102](#)，GW2A 系列 FPGA 产品数据手册
- [DS226](#)，GW2AR 系列 FPGA 产品数据手册
- [SUG100](#)，Gowin 云源软件用户指南

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
IP	Intellectual Property	知识产权
USB	Universal Serial Bus	通用串行总线
UTMI	USB2.0 Transceiver Macrocell Interface	USB 2.0收发器宏单元接口
HS	High Speed	高速
FS	Full Speed	全速
LS	Low Speed	低速
NRZI	Non Return Zero Inverted	反向不归零

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 简介

2.1 概述

GowinUSB 2.0 SoftPHY IP 是一个 USB 底层收发器，可以支持高速(480Mbps)、全速(12Mbps)与低速(1.5Mbps)的数据接收与发送。

2.2 特性

GowinUSB 2.0 SoftPHY IP 特性包括：

- 支持高速(480Mbps)、全速(12Mbps)与低速(1.5Mbps)模式；
- 支持数据串并转换；
- 支持比特填充与提取；
- 支持 NRZI 编码与解码；
- 支持 UTMI 接口。

2.3 使用 5V 主机电源为 USB 设备供电的解决方案

许多解决方案可能不是提供单独的电源，而是通过电缆提供 5V 主机电源，为 USB 设备供电。为了支持电缆供电的 USB 设备使用案例，设计者必须注意确保设备整个 PCB 的 BOM 不超过 USB 主机的电流限额以及电缆的电压降。

USB 2.0 规范第 7.1.2 和 7.3.2 节提供了有关 USB 主机提供的电流和电压降的要求。如果整个 PCB 的 BOM 无法满足指定主机的电流和最低电压要求，可以用一个单独的电源为电路板供电。

表 2-1 直流电特性

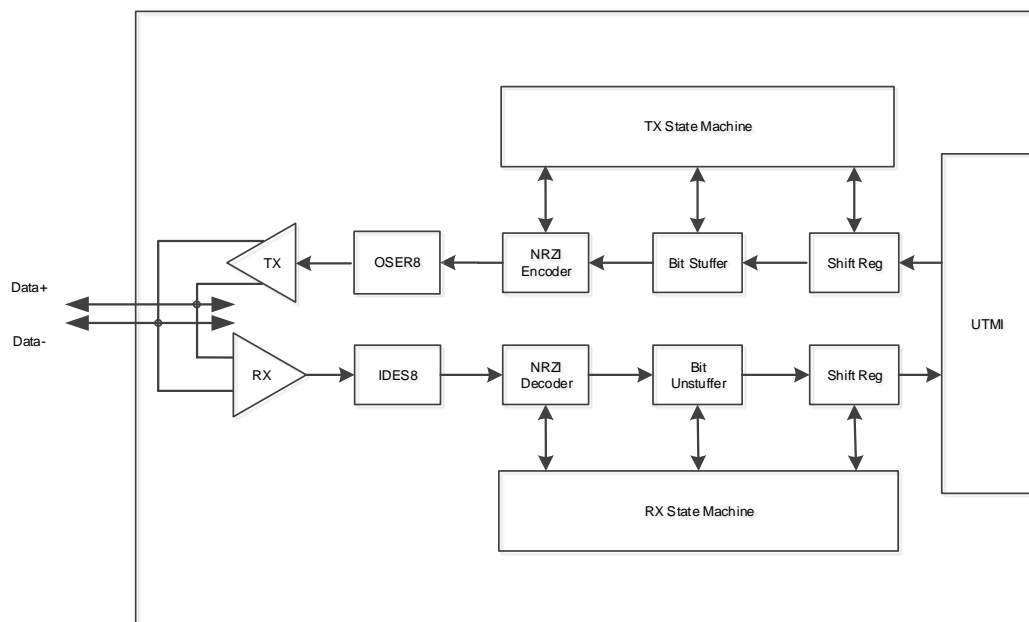
参数	符号	参考位置	Min.	Max.	单位
电源电压					
高功耗端口	V _{BUS}	第 7.2.1 节, 注 2	4.75	5.25	V
低功耗端口	V _{BUS}	第 7.2.1 节, 注 2	4.40	5.25	V
电源电流					
高功耗集线器端口 (输出)	I _{CCPRT}	第 7.2.1 节	500		mA
低功耗集线器端口 (输出)	I _{CCUPT}	第 7.2.1 节	100		mA
高功耗功能 (输入)	I _{CCHPF}	第 7.2.1 节		500	mA
低功耗功能 (输入)	I _{CCLPF}	第 7.2.1 节		100	mA
未配置功能/集线器 (输入)	I _{CCINIT}	第 7.2.1.4 节		100	mA
挂起的高功耗设备	I _{CCSH}	第 7.2.3 节, 注 15		2.5	mA
挂起的低功耗设备	I _{CCSL}	第 7.2.3 节		500	μA

3 功能描述

3.1 USB 2.0 SoftPHY 结构框图

USB 2.0 SoftPHY 在 RX 方向，USB 串行数据依次经过 IDES8、NRZI 解码、bit 提取、数据移位模块后，实现的 USB RX 数据接收，经过 UTMI 接口发送给上层模块；在 TX 方向，在接收到 UTMI 接口发送的数据后，经过数据移位、bit 填充、NRZI 编码模块后，产生串行的 TX 数据流，再经由 OSER8 发送到 USB 接口。

图 3-1 USB 2.0 SoftPHY 结构框图

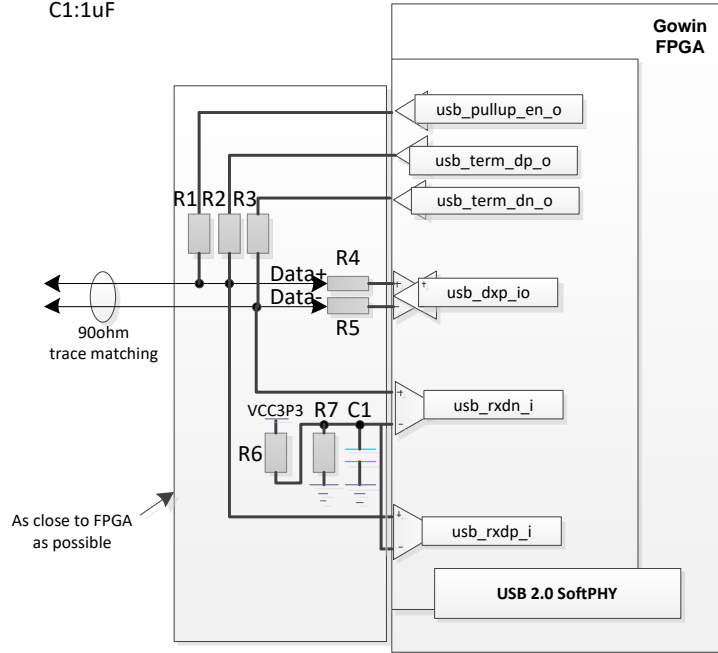


3.2 USB 2.0 SoftPHY 外部电路连接

USB 2.0 SoftPHY 支持高速(480Mbps)传输模式。当 USB 2.0 SoftPHY 作为 USB 从设备使用时，外部电路连接如下：

图 3-2 USB 从设备接口实现

R1:1.5K ohm
 R2:0 ohm
 R3:0 ohm
 R4:42 ohm
 R5:42 ohm
 R6:1.8K ohm
 R7: 75 ohm(1N系列), 56 ohm(2A系列)
 C1:1uF



USB Device

注!

1. Gowin 2A 系列 IO 端口属性约束参考如下:

- usb_dxp_io: IO_TYPE= LVCMOS33D PULL_MODE= NONE DRIVE=4;
- usb_term_dn_o: IO_TYPE=LVCMOS33 PULL_MODE= NONE DRIVE=8;
- usb_term_dp_o: IO_TYPE=LVCMOS33 PULL_MODE=NONE DRIVE=8;
- usb_pullup_en_o: IO_TYPE=LVCMOS33 PULL_MODE=NONE DRIVE=8;
- usb_rxdn_i: IO_TYPE=LVDS25 PULL_MODE=NONE;
- usb_rxdp_i: IO_TYPE=LVDS25 PULL_MODE=NONE。

2. Gowin 1N 系列 IO 端口属性约束参考如下:

- usb_dxp_io: IO_TYPE= LVCMOS33D PULL_MODE= NONE DRIVE=8;
- usb_term_dn_o: IO_TYPE=LVCMOS33 PULL_MODE= NONE DRIVE=16;
- usb_term_dp_o: IO_TYPE=LVCMOS33 PULL_MODE=NONE DRIVE=16;
- usb_pullup_en_o: IO_TYPE=LVCMOS33 PULL_MODE=NONE DRIVE=8;

- usb_rxdn_i: IO_TYPE=LVDS25 PULL_MODE=NONE;
 - usb_rxdp_i: IO_TYPE=LVDS25 PULL_MODE=NONE。
3. FPGA 上与 USB 接口相关所有信号建议放到一个 Bank 中，且相邻分配最佳，I/O 所在 Bank 的供电电压为 3.3V。
4. 要求 usb_dxp_io 差分对所在的同一 Bank 相邻差分对存在且未被使用，以 GW1NSR-4 为例，图 3-3 为 GW1NSR-4 器件 Pinout 分配图，若 usb_dxp_io 差分对分配在图中 G5，H5（即 IOR11A/IOR11B），由于相邻差分管脚 IOR10A/IOR10A 不存在，会导致工程在云源软件综合布局时报错。若 usb_dxp_io 差分对分配在 G6/H6（即 IOR13A/IOR113B），由于相邻差分对都存在，工程可以成功被云源软件综合布局。

图 3-3 GW1NSR-4 器件 Pinout

GW1NSR系列FPGA产品
GW1NSR-4器件Pinout
Pin List

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	MG64P
IOB13A	I/O	3		True of IOB13B	NONE	NONE	
IOB13B	I/O	3		Comp of IOB13A	NONE	NONE	
IOB14A	I/O	3		True of IOB14B	NONE	NONE	
IOB14B	I/O	3		Comp of IOB14A	NONE	NONE	
IOB15A	I/O	3		True of IOB15B	NONE	NONE	
IOB15B	I/O	3		Comp of IOB15A	NONE	NONE	
IOB16A/GCLKT_5	I/O	3	GCLKT_5	True of IOB16B	NONE	NONE	
IOB16B/GCLKC_5	I/O	3	GCLKC_5	Comp of IOB16A	NONE	NONE	
IOB22A/GCLKT_4	I/O	3	GCLKT_4	True of IOB22B	NONE	NONE	
IOB22B/GCLKC_4	I/O	3	GCLKC_4	Comp of IOB22A	NONE	NONE	
IOB23A	I/O	3		True of IOB23B	NONE	NONE	
IOB23B	I/O	3		Comp of IOB23A	NONE	NONE	
IOB24A	I/O	3		True of IOB24B	NONE	NONE	
IOB24B	I/O	3		Comp of IOB24A	NONE	NONE	
IOB25A	I/O	3		True of IOB25B	NONE	NONE	
IOB25B	I/O	3		Comp of IOB25A	NONE	NONE	
IOB29A	I/O	3		True of IOB29B	NONE	NONE	
IOB29B	I/O	3		Comp of IOB29A	NONE	NONE	
IOB4A	I/O	3		True of IOB4B	NONE	NONE	
IOB4B	I/O	3		Comp of IOB4A	NONE	NONE	
IOB5A	I/O	3		True of IOB5B	NONE	NONE	
IOB5B	I/O	3		Comp of IOB5A	NONE	NONE	
IOB6A	I/O	3		True of IOB6B	NONE	NONE	
IOB6B	I/O	3		Comp of IOB6A	NONE	NONE	
IOB7A	I/O	3		True of IOB7B	NONE	NONE	
IOB7B	I/O	3		Comp of IOB7A	NONE	NONE	
IOR11A/GCLKT_3	I/O	2	GCLKT_3	True of IOR11B	TRUE	x16	G5
IOR11B/GCLKC_3	I/O	2	GCLKC_3	Comp of IOR11A	TRUE	NONE	H5
IOR12A	I/O	2		True of IOR12B	NONE	NONE	
IOR12B	I/O	2		Comp of IOR12A	NONE	NONE	
IOR13A	I/O	2		True of IOR13B	TRUE	x16	G6
IOR13B	I/O	2		Comp of IOR13A	TRUE	NONE	H6
IOR14A	I/O	2		True of IOR14B	NONE	NONE	

© 2020 GOWINSEMI

UG864-1.0

5(10)

4 信号定义

GowinUSB 2.0 SoftPHY IP 信号定义如下表 4-1 所示。

表 4-1 信号定义

序号	信号名称	方向	位宽	描述
1	clk_i	I	1	输入时钟信号（60MHz）
2	fclk_i	I	1	输入时钟信号（480MHz）
3	rst_i	I	1	异步复位信号，复位PHY内部状态机。
4	pll_locked_i	I	1	生成fclk_i的pll锁定信号
5	utmi_data_out_i	I	8	数据输入，8 bits并行发送数据总线。
6	utmi_txvalid_i	I	1	发送数据有效指示，高电平有效。
7	utmi_txready_o	O	1	发送数据准备完成信号，表示PHY可接收控制器侧的待发送数据。
8	utmi_data_in_o	O	8	数据输出，8-bit并行数据接收总线。
9	utmi_rxactive_o	O	1	接收数据激活指示，表示PHY检测到了SYNC信号，并开始接收数据。
10	utmi_rxvalid_o	O	1	接收数据有效，高电平有效。
11	utmi_rxerror_o	O	1	接收数据错误，高电平表示接收错误。
12	utmi_linestate_o	O	2	接收端的线路状态：DM DP 2' b00: SE0 2' b01: “J” 状态 2' b10: “K” 状态 2' b11: SE1
13	utmi_opmode_i	I	2	操作模式选择信号： 2' b00: 正常操作 2' b01: 无驱动

序号	信号名称	方向	位宽	描述
				2' b10: 不使能位填充和NRZI编码 2' b11: Reserved
14	utmi_xcvrselect_i	I	2	传输模式选择信号: 2' b00: HS传输 2' b01: FS传输 2' b10: LS传输 2' b11: Reserved
15	utmi_termselect_i	I	1	终端选择: 1' b0:HS终端使能 1' b1:FS/LS终端使能
16	usb_dxp_io	I/O	1	USB数据信号Data+
17	usb_dxn_io	I/O	1	USB数据信号Data-
18	usb_rxdp_i	I	1	USB数据信号Data+输入
19	usb_rxdn_i	I	1	USB数据信号Data-输入
20	usb_pullup_en_o	O	1	USB数据信号Data+上的1.5K电阻上拉控制
21	usb_term_dp_o	I/O	1	USB数据信号Data+的端接电阻控制
22	usb_term_dn_o	I/O	1	USB数据信号Data-的端接电阻控制

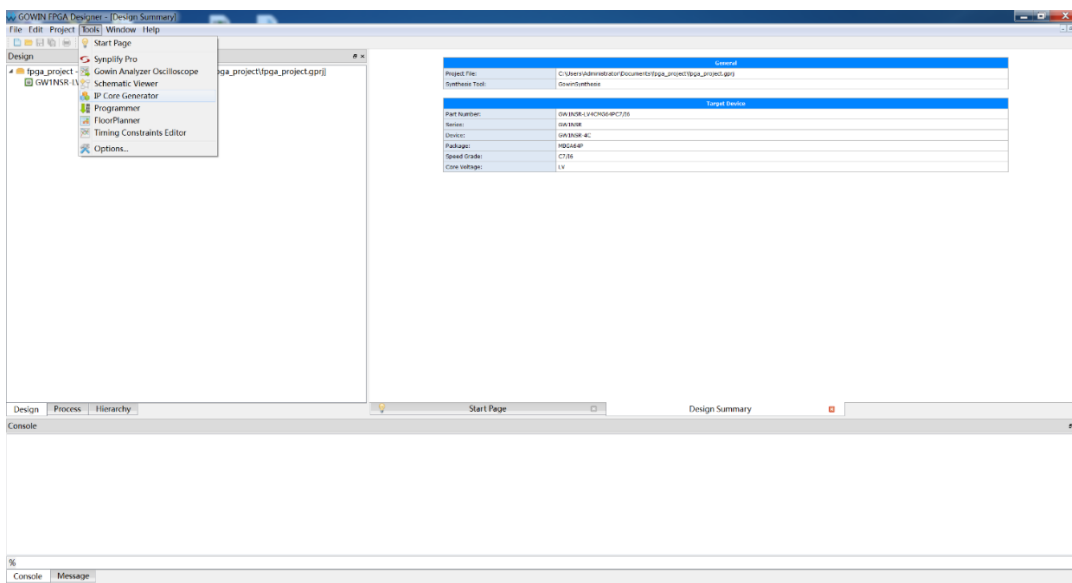
5 界面配置

在高云半导体云源®软件界面菜单栏 Tools 下，可启动 IP Core Generator 工具，完成调用并配置 USB 2.0 SoftPHY。

1. 打开 IP Core Generator

建立工程后，点击左上角“Tools”选项卡，下拉单击“IP Core Generator”选项，就可打开 IP 核产生工具，如图 5-1 所示。

图 5-1 IP Core Generator 选项



2. 打开 USB 2.0 SoftPHY IP 核

选择“Soft IP Core> Interface and Interconnect>USB 2.0 SoftPHY IP”，如图 5-2 所示，双击即可打开配置界面。

图 5-2 打开 USB 2.0 SoftPHY IP 核

USB 2.0 SoftPHY

Information

Type: USB 2.0 SoftPHY
Vendor: GOWIN Semiconductor

Summary

The USB 2.0 SoftPHY IP core is a transceiver compliant with the USB 2.0 Transceiver Macrocell Interface. It is capable of transmitting and receiving serial data at high speed (480M bit/s) data rate, full speed (12M bit/s) data rate and low speed (1.5M bit/s) data rate. While transmitting, the PHY serializes data, generates Synchronize (SYNC) and End-of-Packet (EOP) packet fields, and performs bit stuffing and Non-Return-to-Zero Inverted (NRZI) encoding. While receiving data, the PHY recovers incoming data and clock, de-serializes data, strips SYNC and EOP fields, and performs bit un-stuffing and NRZI decoding.

Reference

- [Reference documents\(CN\)](#) - IP reference designs and user guide
- [Reference documents\(EN\)](#) - IP reference designs and user guide

3. USB 2.0 SoftPHY IP 核配置界面

USB 2.0 SoftPHY IP 核配置界面如图 5-3 所示。配置界面左侧是 USB2.0SoftPHY IP 核的接口示意图，右侧为配置选项。

- 用户可通过修改 **File Name**，配置产生文件名称。
- 可通过修改 **Module Name**，配置产生的顶层模块名称。

图 5-3 USB 2.0 SoftPHY IP 配置界面

