



Gowin RFFE IP

用户指南

IPUG785-1.0,2021-10-28

版权所有 © 2021 广东高云半导体科技股份有限公司

GOWIN高云, , Gowin, 高云均为广东高云半导体科技股份有限公司注册商标, 本手册中提到的其他任何商标, 其所有权利属其拥有者所有。未经本公司书面许可, 任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部, 并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可, 并未以明示或暗示, 或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外, 高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保, 包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等, 均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任, 高云半导体保留修改文档中任何内容的权利, 恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2021/10/28	1.0	初始版本。

目录

目录	i
图目录.....	iii
表目录.....	iv
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语	1
1.4 技术支持与反馈.....	2
2 RFFE 简述.....	3
2.1 RFFE 物理层.....	3
2.2 RFFE 协议层.....	4
2.2.1 Command Sequence	4
2.2.2 Register 0 Write	6
2.2.3 Register Write	7
2.2.4 Register Read.....	7
2.2.5 Extended Register Write.....	8
2.2.6 Extended Register Read	9
2.2.7 Extended Register Write Long.....	10
2.2.8 Extended Register Read Long	11
3 RFFE Master	13
3.1 端口描述.....	13
3.2 时序说明.....	16
3.3 资源消耗.....	18
4 RFFE Slave.....	19

4.1 端口描述.....	19
4.2 时序说明.....	20
4.3 资源消耗.....	21
5 RFFE IP 配置说明	22

图目录

图 2-1 RFFE 总线接口.....	3
图 2-2 点对多拓扑结构	4
图 2-3 Sequence Start Condition	4
图 2-4 命令帧.....	5
图 2-5 数据/地址帧.....	5
图 2-6 Bus Park Cycle.....	5
图 2-7 Command Sequence.....	6
图 2-8 Register 0 Write Command Sequence.....	7
图 2-9 Register Write Command Sequence.....	7
图 2-10 Register Read Command Sequence	8
图 2-11 Extended Register Write Command Sequence.....	9
图 2-12 Extended Register Read Command Sequence	10
图 2-13 Extended Register Write Long Command Sequence	11
图 2-14 Extended Register Read Long command sequence	12
图 3-1 非突发模式.....	13
图 3-2 突发模式	14
图 3-3 非突发模式的写操作	16
图 3-4 非突发模式的读操作	16
图 3-5 突发模式的写操作	17
图 3-6 突发模式的读操作	17
图 4-1 Slave 写操作.....	20
图 4-2 Slave 读操作	20
图 5-1 Gowin RFFE IP 配置界面	22

表目录

表 1-1 术语、缩略语	1
表 3-1 IO 端口与参数说明	14
表 3-2 RFFE Master IP 占用资源	18
表 4-1 IO 端口与参数说明	19
表 4-2 RFFE Slave IP 占用资源	21

1 关于本手册

1.1 手册内容

Gowin RFFE IP 用户指南主要内容包括功能简介、端口描述、时序说明、配置调用等，旨在帮助用户快速了解 Gowin RFFE IP 的产品特性、特点及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS100](#)，GW1N 系列 FPGA 产品数据手册
- [DS117](#)，GW1NR 系列 FPGA 产品数据手册
- [DS102](#)，GW2A 系列 FPGA 产品数据手册
- [DS226](#)，GW2AR 系列 FPGA 产品数据手册
- [SUG100](#)，Gowin 云源软件用户指南

1.3 术语、缩略语

表 1-1 术语、缩略语表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
IP	Intellectual Property	知识产权
RAM	Random Access Memory	随机存取存储器
LUT	Look-up Table	查找表
RFFE	Radio Frequency Front End	射频前端

术语、缩略语	全称	含义
EMI	Electromagnetic Interference	电磁干扰

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2RFFE 简述

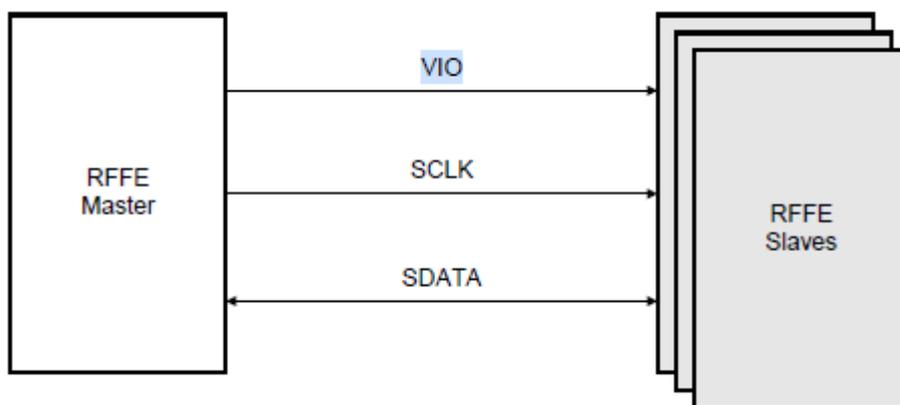
2.1 RFFE 物理层

RF Front End 总线（简称 RFFE）是 MIPI 协会针对基带与射频芯片之间的接口进行定义，其目的是通过共享总线的方式来访问射频前端芯片内部寄存器的数据，以减少 PCB 布线及 EMI。RFFE V1.0 的主要特性包括：

- 支持点对多点连接
- 每条总线允许挂载 15 个从设备

RFFE 总线物理层接口如图 2-1 所示。

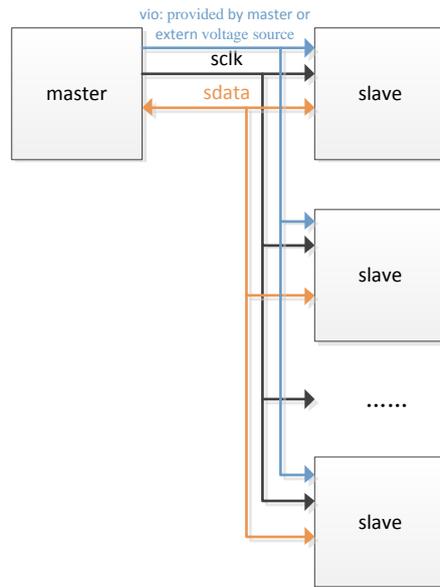
图 2-1 RFFE 总线接口



- VIO: 总线供电电压，高有效，可有 master 提供，也可以由外部电压提供。
- SCLK: 总线时钟，由主设备提供。
- SDATA: 总线串行数据，为双向信号。

RFFE 单总线点对多拓扑结构如图 2-2 所示。

图 2-2 点对多拓扑结构



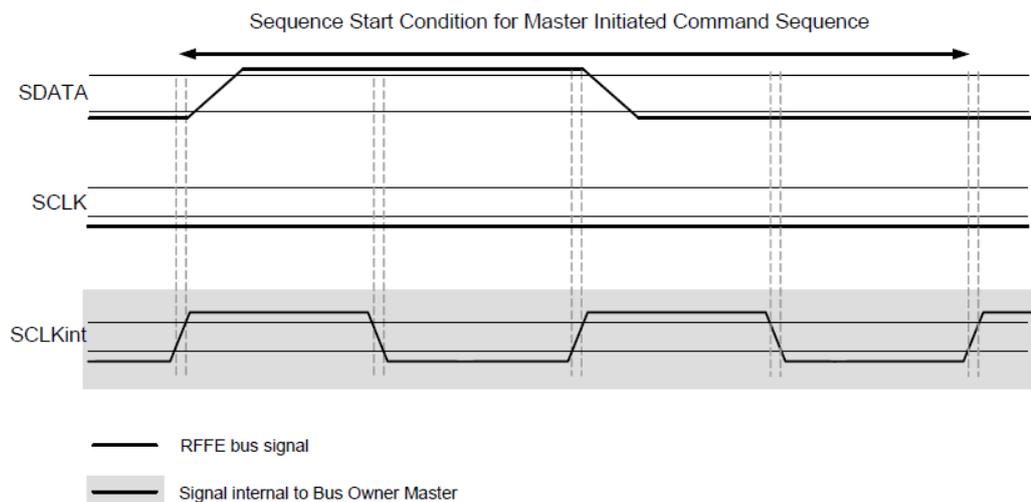
2.2 RFFE 协议层

2.2.1 Command Sequence

主设备每次发送 command sequence 对总线上不同 ID 的从设备进行读写访问。command sequence 主要包含 Sequence Start Condition (SSC 头)、command frame (命令帧)、data or address frame (数据/地址帧)、Bus Park Cycle 等。

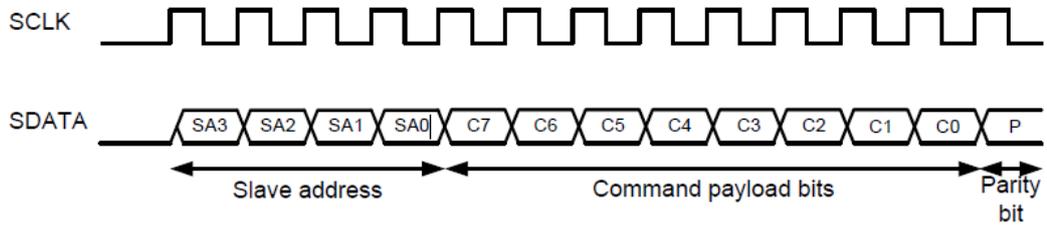
SSC 是由主设备发出，表示指令的开始。由主设备驱动 SDATA 为高（持续一个 SCLK 周期），接着驱动 SDATA 为低（持续一个 SCLK 周期）。SSC 头后面必须要跟着命令帧。

图 2-3 Sequence Start Condition



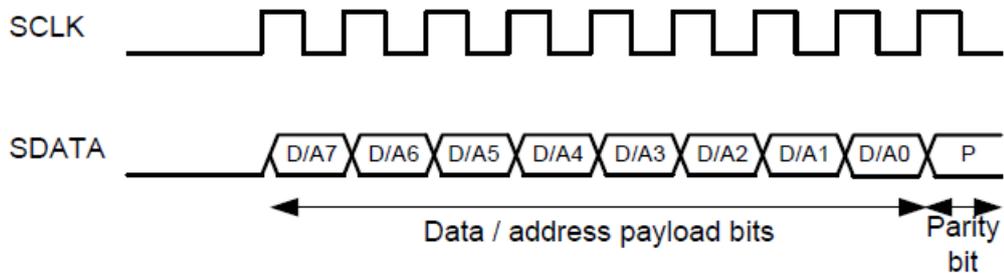
命令帧包含 4 位从设备 ID、8 位指令内容和 1 位奇偶校验位（校验内容为前 12 位数据）。命令帧如图 2-4 所示。

图 2-4 命令帧



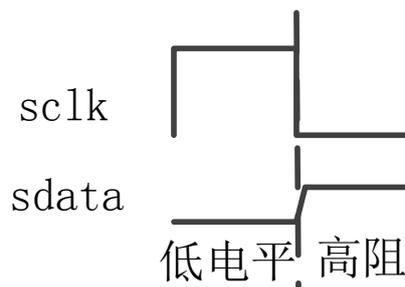
数据/地址帧包含 8 位数据或者 8 位地址与 1 位奇偶校验位。数据/地址帧如图 2-5 所示。

图 2-5 数据/地址帧



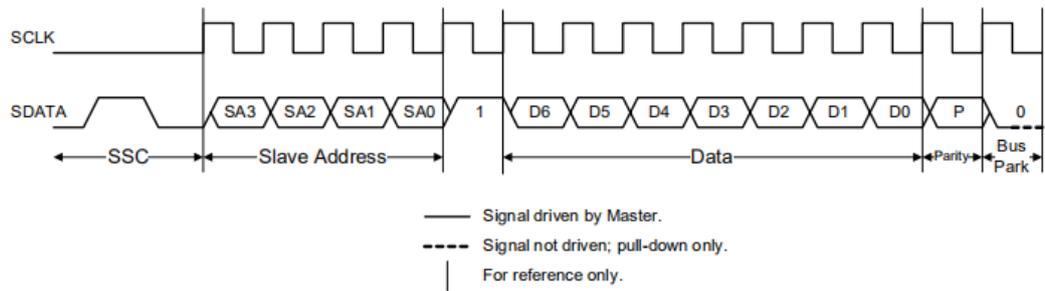
Bus Park Cycle 如图 2-6 所示，在 SCLK 时钟的前半周期时，SDATA 被拉低，而在 SCLK 的下降沿释放 SDATA 总线。其中，当发送完命令帧后，都会跟着一个 Bus Park Cycle，或者当要变换 SDATA 的控制权给别的设备的时候，也会发送。

图 2-6 Bus Park Cycle



RFFE V1.0 支持的 command sequence 如图 2-7 所示。

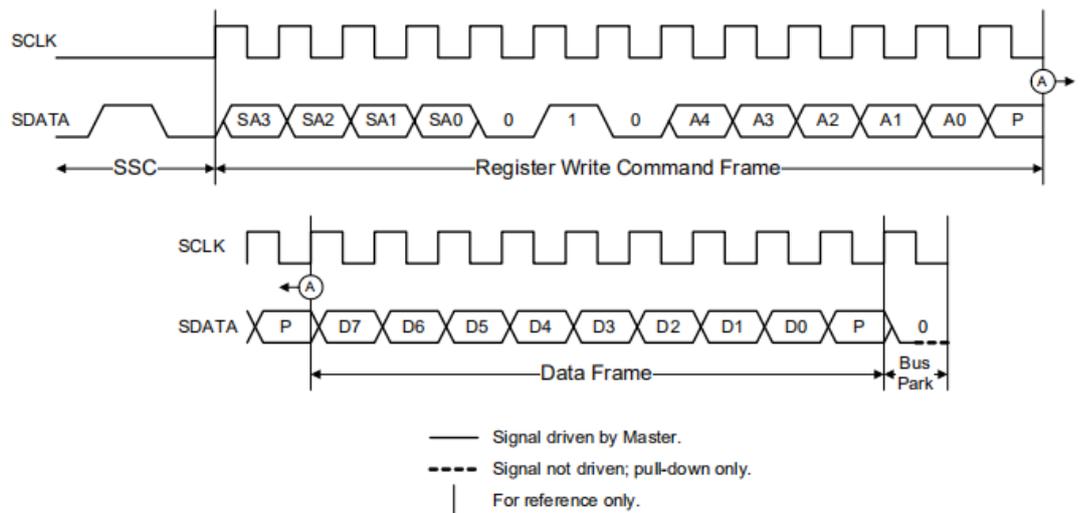
图 2-8 Register 0 Write Command Sequence



2.2.3 Register Write

图 2-9 给出了 Register Write 时序图。在 SSC 之后，发送命令帧（4 位的从设备 ID 号+3 位二进制数 010+需写入的寄存器地址+1 位奇校验），接着发送数据帧（8 位需写入的数据+1 位奇校验），最后发送 BusPark，用以切换 SDATA 总线控制权至 BusIDLE。

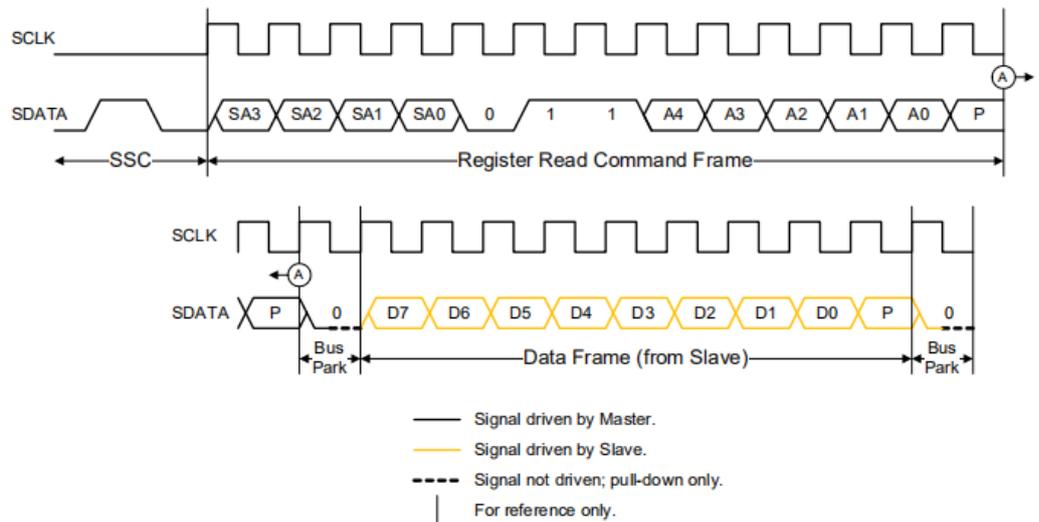
图 2-9 Register Write Command Sequence



2.2.4 Register Read

图 2-10 给出了 Register Read 时序图。在 SSC 之后，发送命令帧（4 位的从设备 ID 号+3 位二进制数 011+需读取的寄存器地址+1 位奇校验），接着发送 BusPark（用以切换 SDATA 总线控制权给对应 ID 号的从设备），然后从设备会发送数据帧给主设备（8 位数据+1 位奇校验），最后从设备发送 BusPark，用以切换 SDATA 总线控制权至 BusIDLE。

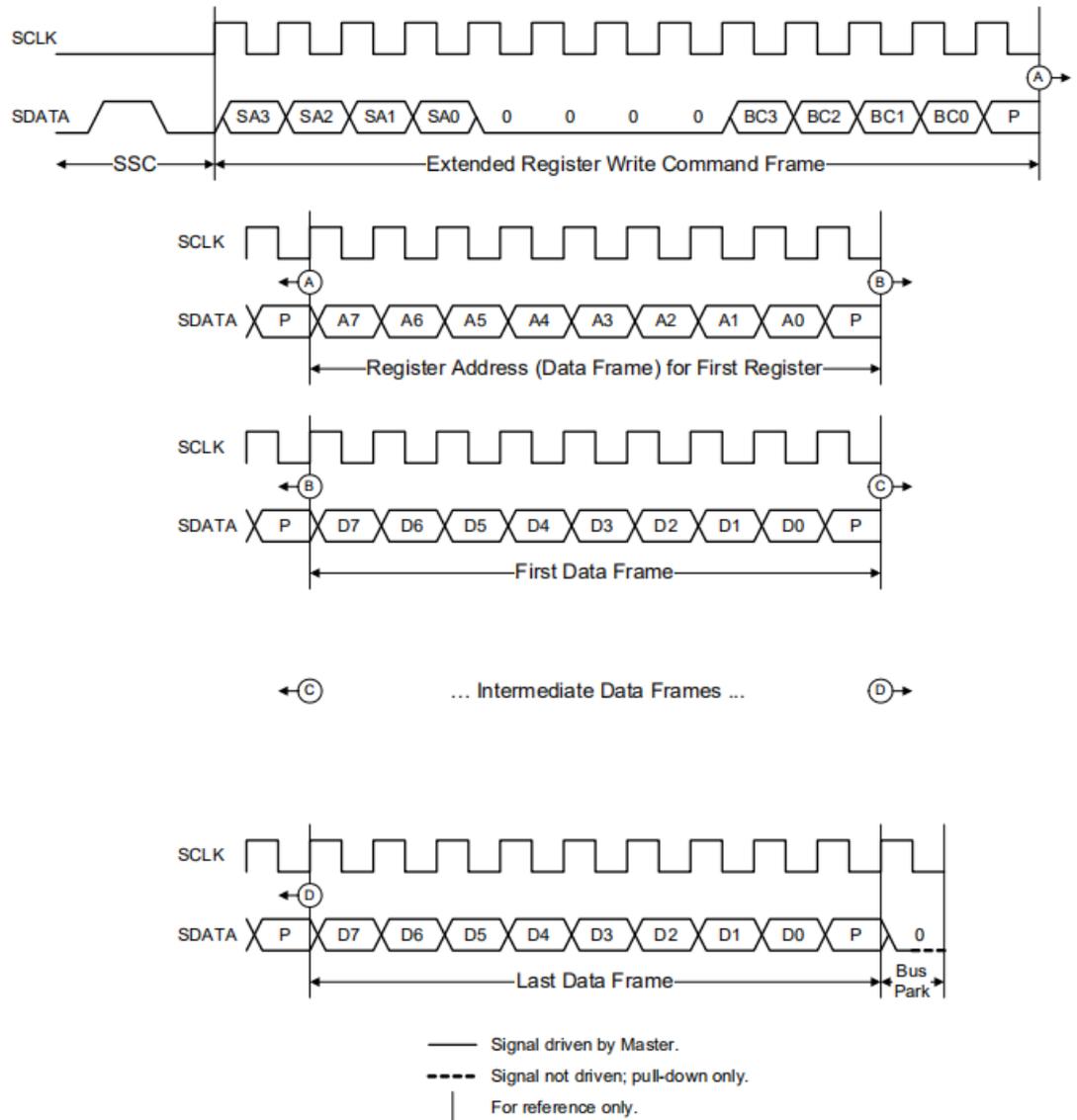
图 2-10 Register Read Command Sequence



2.2.5 Extended Register Write

图 2-11 给出了 Extended Register Write 时序图。在 SSC 之后，发送命令帧（4 位的从设备 ID 号+4 位二进制数 $0000+BC[3:0]+1$ 位奇校验，其中 $BC[3:0] = 0$, 表示需要传输的 BYTE 个数为 1, $BC[3:0]=15$, 则表示需要传输的 BYTE 个数为 16），接着发送地址帧（该地址帧的内容为首个 BYTE 数据对应的寄存器地址位，从设备的内部地址计数器会在这个地址上进行递增，需要注意的是，当从设备的内部地址计数器到达 $0xFF$ ，不会从地址 0 开始，后续所有的 BYTE 数据都会依次覆盖 $0xFF$ 的内容），然后再根据 $BC[3:0]$ 来确认发送多少个数据帧，最后再发送 BusPark，用以切换 SDATA 总线控制权。

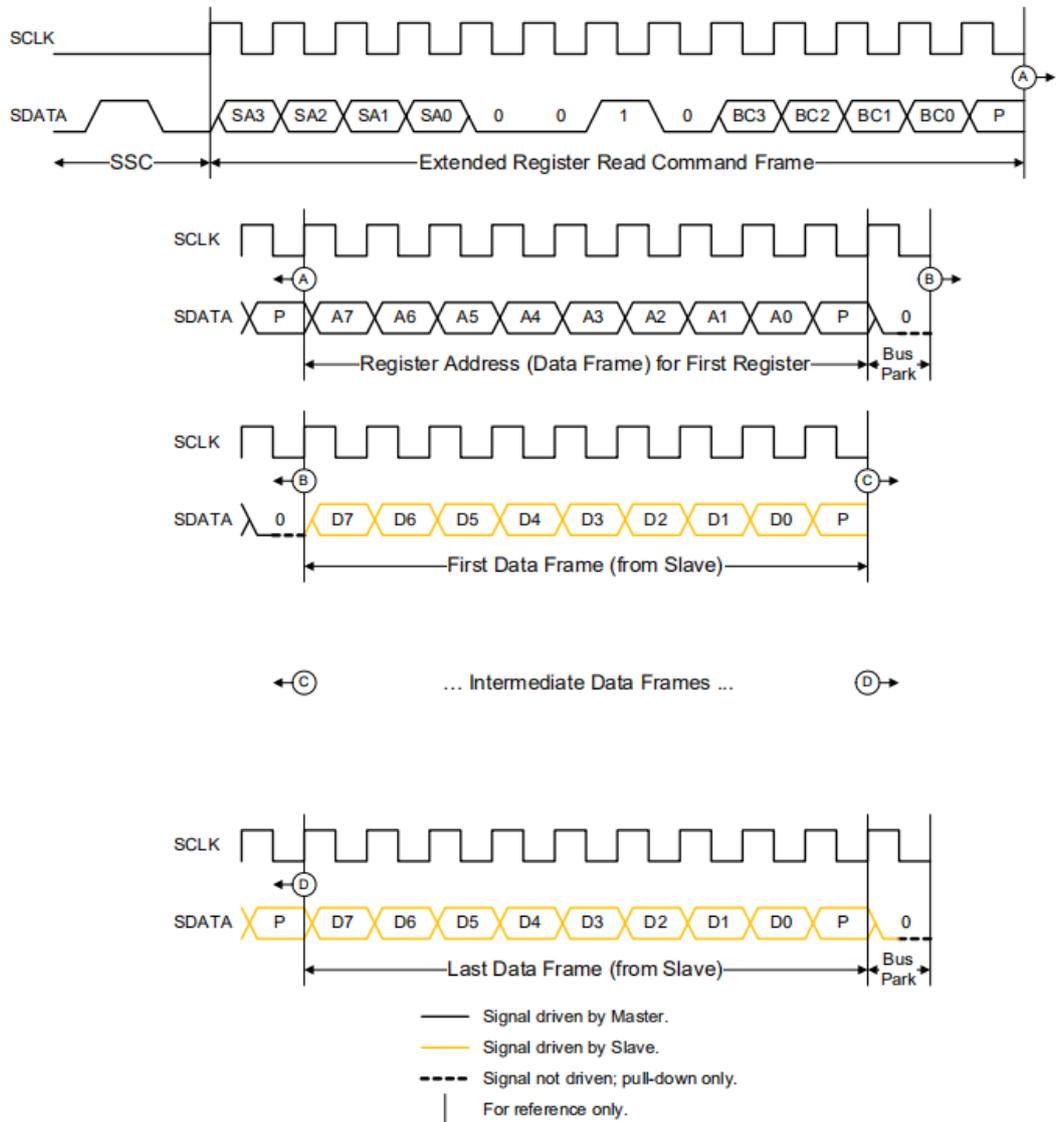
图 2-11 Extended Register Write Command Sequence



2.2.6 Extended Register Read

图 2-12 给出了 Extended Register Read 时序图。在 SSC 之后，发送命令帧（4 位的从设备 ID 号+4 位二进制数 0010+BC[3:0]+1 位奇校验，其中 BC[3:0] = 0, 表示需要读取的 BYTE 个数为 1, BC[3:0] = 15, 则表示需要读取的 BYTE 个数为 16), 接着发送地址帧(该地址帧的内容为首个要读取的 BYTE 数据对应的寄存器地址，从设备的内部地址计数器会在这个地址上进行递增，需要注意的是，当从设备的内部地址计数器到达 0xFF，不会从地址 0 开始，后续所读取 BYTE 数据都是 0xFF 的内容)，然后从设备再根据 BC[3:0]来确认发送多少个数据帧给主设备，最后从设备发送 BusPark，用以切换 SDATA 总线控制权。

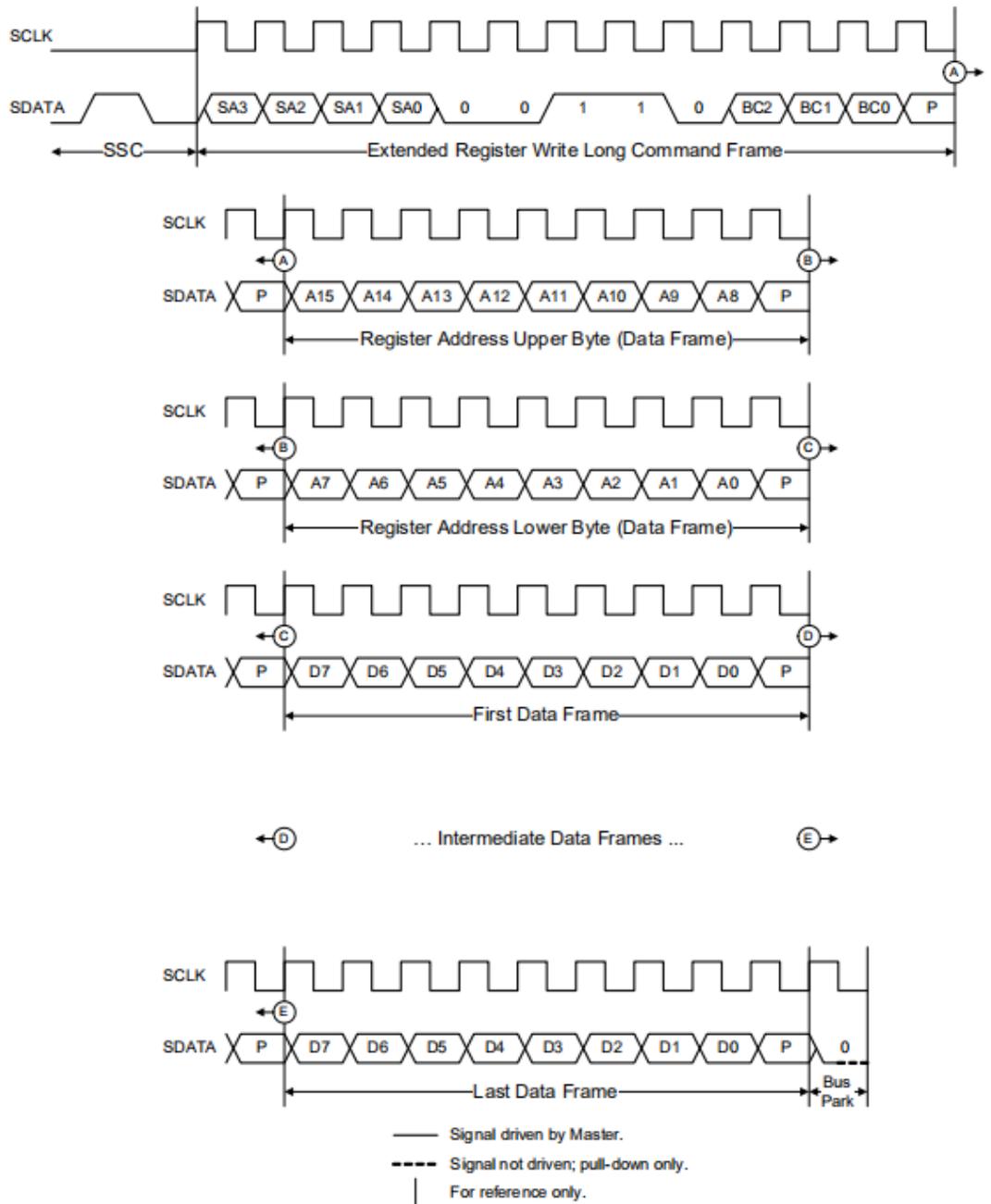
图 2-12 Extended Register Read Command Sequence



2.2.7 Extended Register Write Long

图 2-13 给出了 Extended Register Write Long 时序图。在 SSC 之后，发送命令帧（4 位的从设备 ID 号+5 位二进制数 00110+BC[2:0]+1 位奇校验，其中 BC[2:0] = 0,表示需要传输的 BYTE 个数为 1，BC[2:0] =7，则表示需要传输的 BYTE 个数为 8），接着发送高地址帧+低地址帧（两地址帧的内容合并为首个 BYTE 数据对应的寄存器地址位，从设备的内部地址计数器会在这个地址上进行递增，需要注意的是，当从设备的内部地址计数器到达 0xFFFF，不会从地址 0 开始，后续所有的 BYTE 数据都会依次覆盖 0xFFFF 的内容），然后再根据 BC[2:0]来确认发送多少个数据帧，最后再发送 BusPark，用以切换 SDATA 总线控制权。

图 2-13 Extended Register Write Long Command Sequence

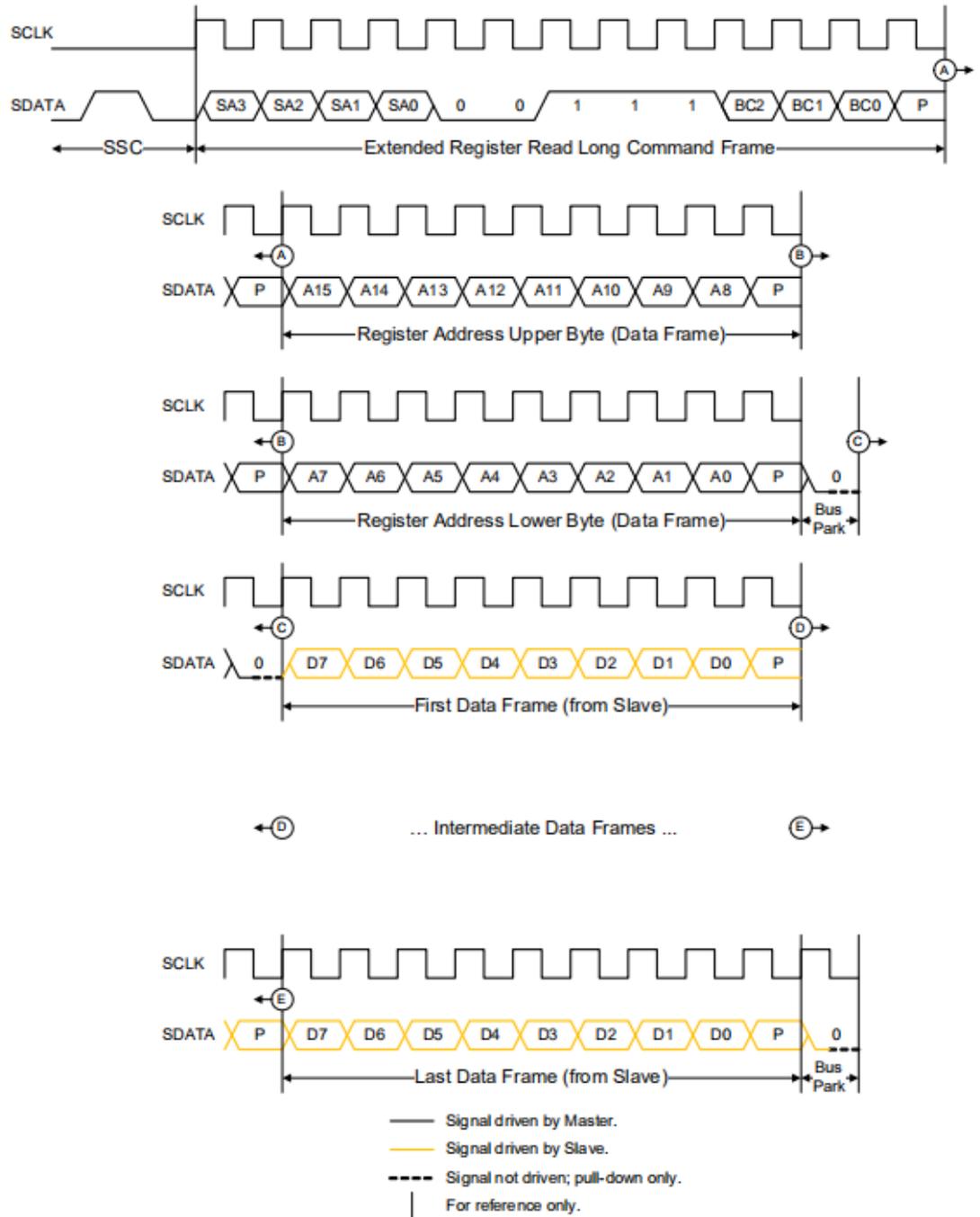


2.2.8 Extended Register Read Long

图 2-14 给出了 Extended Register Read Long 时序图。在 SSC 之后，发送命令帧（4 位的从设备 ID 号+5 位二进制数 00111+BC[2:0]+1 位奇校验，其中 BC[2:0] = 0,表示需要读取的 BYTE 个数为 1，BC[2:0] = 8，则表示需要读取的 BYTE 个数为 8），接着发送高地址帧+低地址帧（两地址帧的内容合并为首个 BYTE 数据对应的寄存器地址位，从设备的内部地址计数器会在这个地址上进行递增，需要注意的是，当从设备的内部地址计数器到达 0xFFFF，不

会从地址 0 开始, 后续所读取 BYTE 数据都是 0xFFFF 的内容), 然后从设备再根据 BC[2:0]来确认发送多少个数据帧给主设备, 最后从设备发送 BusPark, 用以切换 SDATA 总线控制权。

图 2-14 Extended Register Read Long command sequence



3 RFFE Master

RFFE Master IP 支持 RFFE V1.0 的所有 command sequence，支持点对多的拓扑，可挂载 15 个从设备，且可通过一定用户逻辑+IP 的方式，对总线上的从设备 ID 进行修改。

RFFE Master IP 中可选非突发模式和突发模式，非突发模式指的是 Extended Register Write/Read、Extended Register Write/Read Long 操作中，每次限制只能读写 1 个 BYTE 的数据；突发模式指的是每次 Extended Register Write/Read 操作最高可传输 16 bytes，每次 Extended Register Write/Read Long 最高可传输 8 bytes。而非突发模式相对于突发模式，所用的资源更少，使用者可根据实际情况进行选择。

3.1 端口描述

RFFE Master IP 的 IO 端口如图 3-1 和图 3-2 所示。

图 3-1 非突发模式

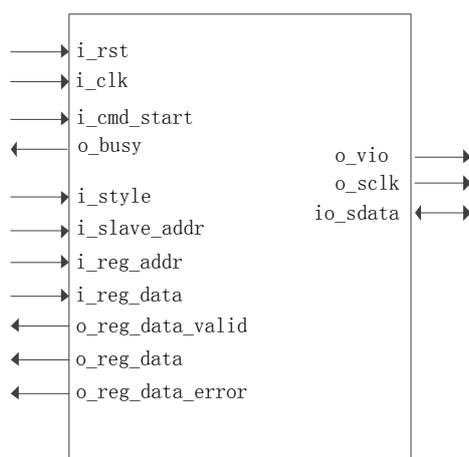
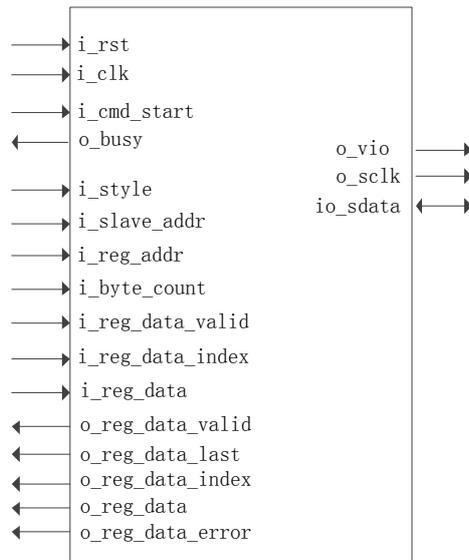


图 3-2 突发模式



有关 RFFE Master IP 的 IO 端口详情，如表 3-1 所示。

表 3-1 IO 端口与参数说明

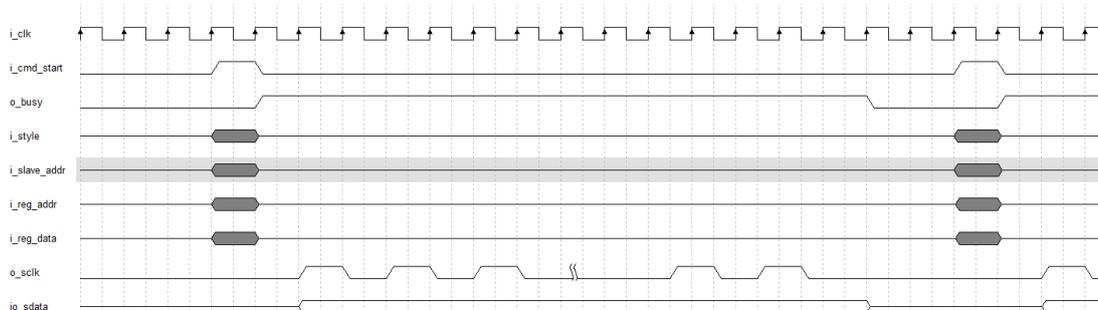
信号	方向	位宽	描述
i_rst	Input	1	同步复位，高有效。
i_clk	Input	1	工作时钟
i_cmd_start	Input	1	指令开始发送指示符，高有效，只在o_busy为低且i_cmd_start为高时候，才能发送command sequence。
o_busy	Output	1	表示正在发送command sequence
i_style	Input	3	指令类型，i_cmd_start为高时有效。 0: Register Write，寄存器地址0~31。 1: Register Read，寄存器地址0~31。 2: Extended Register Write，寄存器地址0~255。 3: Extended Register Read，寄存器地址0~255。 4: Extended Register Write Long，寄存器地址0~65535。 5: Extended Register Read Long，寄存器地址0~65535。 6: Register 0 Write，寄存器地址0。 7: reserve，无效，即使i_cmd_start为高，亦不会响应。
i_slave_addr	Input	4	从设备ID地址，i_cmd_start为高时有效。
i_reg_addr	Input	16	从设备寄存器地址，i_cmd_start为高时有效。 Register Write& Register Read: 取低5位，其他位无效。 Extended Register Write& Extended Register Read: 取低8位，其他位无效。

信号	方向	位宽	描述
			Extended Register Write Long& Extended Register Read Long: 16位都有效。 Register 0 Write: 16位均无效。
突发模式(勾选Burst Setting in Master有效)			
i_byte_count	Input	4	访问BYTE数目, i_cmd_start为高时有效。 Extended Register Write & Extended Register Read: 4位都有效, up to 16 bytes。 Extended Register Write Long & Extended Register Read Long: 低3位有效, up to 8 bytes。 其他指令: 忽略该信号
i_reg_data_valid	Input	1	写入IP内部RAM的BYTE数据有效指示符, 必须在i_cmd_start为高前, 确保数据已经写入RAM中。
i_reg_data_index	Input	4	写入IP内部RAM的BYTE数据地址, 数值0~15, 若当前指令为Extended Register Write Long, 则IP内部只发送RAM中地址0~7之间数据。
o_reg_data_valid	Output	1	BYTE数据读取有效指示符, 高有效。
o_reg_data_last	Output	1	读取的最后BYTE有效指示符, 高有效。
o_reg_data_index	Output	4	索引号, 数值0~15, 表示读取到的第几个BYTE数据。
o_reg_data	Output	8	读取到的slave设备的寄存器数据
o_reg_data_error	Output	1	判断读取到的数据是否存在奇偶校验错误, error为1。若是ExtendedRead, 则只要出现一个BYTE的校验位错误, 该信号都会拉高。
非突发模式(不勾选Burst Setting in Master有效)			
i_reg_data	Input	8	写入的BYTE数据, i_cmd_start为高时有效。
o_reg_data_valid	Output	1	BYTE数据读取有效指示符, 高有效。
o_reg_data	Output	8	读取到的寄存器数据
o_reg_data_error	Output	1	判断读取到的数据是否存在奇偶校验错误, error为1。
RFFE物理接口			
o_vio	Output	1	从设备RFFE接口的供电电压, 只在IP复位的时候拉低。
o_sclk	Output	1	Serialclk, 通过Rffe Clock Setting的数值来确定输出的串行时钟, 输出的频率为i_clk的频率除以Rffe Clock Rate Setting, 其中 Rffe Clock Rate Setting只支持偶数。
io_sdata	Inout	1	Serial data

3.2 时序说明

图 3-3 是非突发模式的写操作。

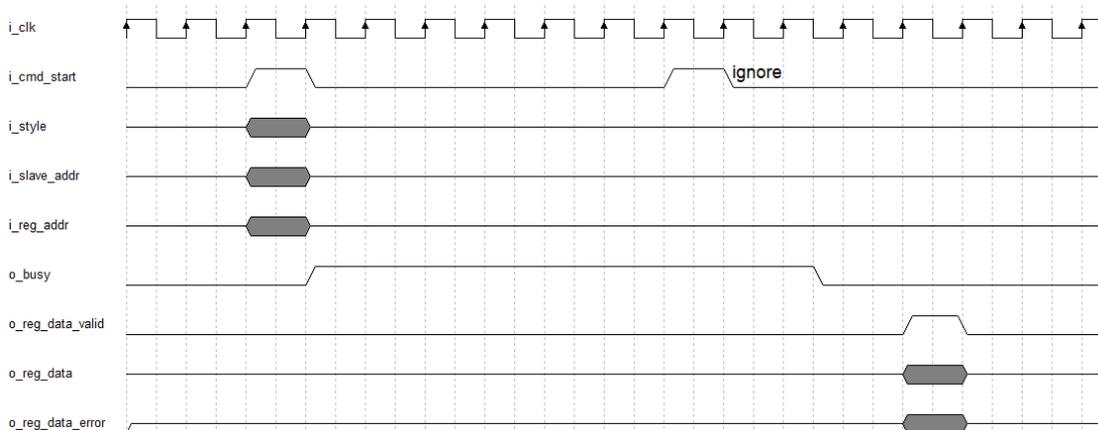
图 3-3 非突发模式的写操作



当 `i_cmd_start` 为高且 `o_busy` 为低时，当前的 `command sequence` 才有效，`i_style`、`i_slave_addr`、`i_reg_addr`、`i_reg_data` 才能被内部采样，其中 `i_slave_addr` 对应需要访问的从设备 ID，`i_reg_addr` 对应需要访问的寄存器地址，`i_reg_data` 对应需要写入的数据。

图 3-4 是非突发模式的读操作。

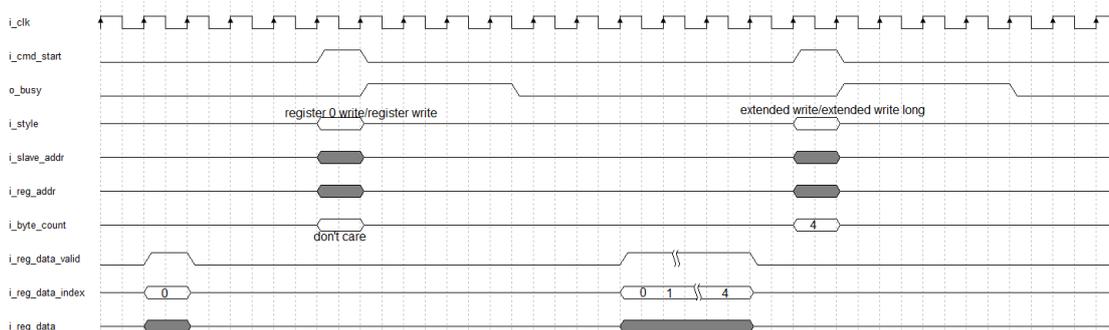
图 3-4 非突发模式的读操作



当 `i_cmd_start` 为高且 `o_busy` 为低时，当前的 `command sequence` 才有效，`i_style`、`i_slave_addr`、`i_reg_addr`、`i_reg_data` 才能被内部采样，其中 `i_slave_addr` 对应需要访问的从设备 ID，`i_reg_addr` 对应需要访问的寄存器地址，`o_reg_data` 表示读取到的数据。

图 3-5 是突发模式的写操作。

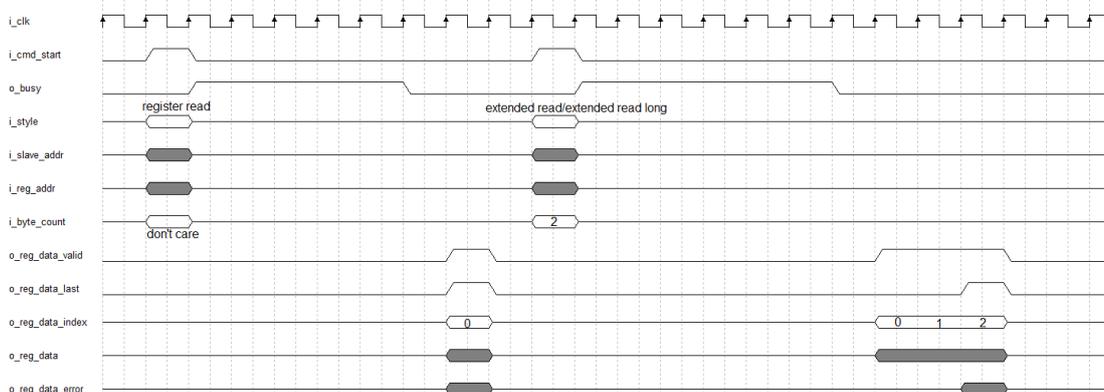
图 3-5 突发模式的写操作



突发模式的写操作下，在 **command sequence** 有效之前（即 **i_cmd_start** 为高且 **o_busy** 为低），需把要发送的数据写入内部的 RAM，其中 **i_reg_data_index** 对应内部 RAM 的地址。直到 **command sequence** 有效之时，根据指令来读取内部 RAM 中的数据进行发送。如图 3-5 所示，在指令有效之前，需往内部 RAM 的地址 0 写入 1 byte 数据，指令有效后，会根据当前指令去内部的 RAM 寻址并发送出去。比如在 **Register 0 Write** 和 **Register Write** 下，指令有效之前往内部 RAM 地址 0 写入 1 byte 数据，指令有效后，由于 **Register 0 Write** 和 **Register Write** 都是发送 1 byte 数据，故把 RAM 中的地址 0 数据发送出去；而在 **extended Write**、**extended Write long** 下，在指令有效之前写入需要发送的数据至内部 RAM，指令有效后，根据当前的 **i_byte_count** 读取内部 RAM 的数据发送出去。

图 3-6 是突发模式的读操作。

图 3-6 突发模式的读操作



突发模式的读操作下，在 **command sequence** 有效之时，根据指令来读取从设备相应的寄存器数据，其中 **Register Read** 指令每次只读一个 **BYTE** 数据，而 **Extended Read** 可访问从设备寄存器地址连续的 1~16 个 **BYTE** 数据，**Extended Read Long** 可访问从设备寄存器地址连续的 1~8 个 **BYTE** 数据。

3.3 资源消耗

表 3-2 RFFE Master IP 占用资源

器件系列	模式	器件名称	资源利用	备注
GW2A	非突发模式	Register	169	-
		LUT	160	
		ALU	6	
		DSP	0	
		BSRAM	0	
	突发模式	Register	232	
		LUT	204	
		ALU	12	
		DSP	0	
		BSRAM	1	

4 RFFE Slave

RFFE Slave IP 包含写操作接口和读操作接口。其中，写操作接口指的是 Master 往 Slave 写入寄存器数据；读操作接口指的是 Master 从 Slave 读取内部寄存器数据。

注！

读操作接口可勾选或者不勾选，若不勾选，可减少 Slave IP 资源。

4.1 端口描述

有关 RFFE Slave IP 的 IO 端口详情，如表 4-1 所示。

表 4-1 IO 端口与参数说明

信号	方向	位宽	描述
i_clk	Input	1	工作时钟,需保证i_clk频率至少是i_sclk的4倍以上。
i_slave_addr	Input	4	从地址设备ID
o_cmd_err	Output	1	Command帧奇偶校验错误指示符号，高表示奇偶校验错误。
RFFE物理接口			
i_vio	Input	1	从设备使能接口。若为低，则IP不工作。
i_sclk	Input	1	Serial clk
io_sdata	Inout	1	Serial data
读操作接口(勾选Read Support in Slave有效)			
o_rd_en	Output	1	读使能信号，高有效。
o_rd_addr	Output	16	读寄存器地址，用o_rd_en来指示该信号是否有效。
i_rd_data	Input	8	寄存器地址返回的数据，需在o_rd_en为高的下一个时钟周期放入数据总线。
o_rd_addr_frame_err	Output	2	读操作下，地址帧奇偶校验错误指示符号。高表示

信号	方向	位宽	描述
			地址帧奇偶检验错误。
写操作接口			
o_wr_en	Input	1	写使能信号，高有效。
o_wr_addr	Output	16	写寄存器地址，用o_wr_en来指示该信号是否有效。
o_wr_data	Output	8	写寄存器数据，用o_wr_en来指示该信号是否有效。
o_wr_data_err	Output	1	寄存器数据内容的奇偶校验错误指示符号，高表示奇偶检验错误。
o_wr_addr_frame_err	Output	2	写操作下，地址帧奇偶校验错误指示符号。高表示地址帧奇偶检验错误。

4.2 时序说明

图 4-1 是 Slave 的写操作接口。

图 4-1 Slave 写操作

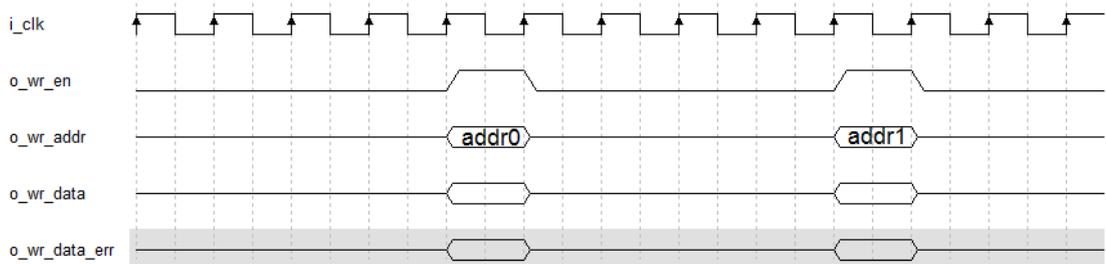
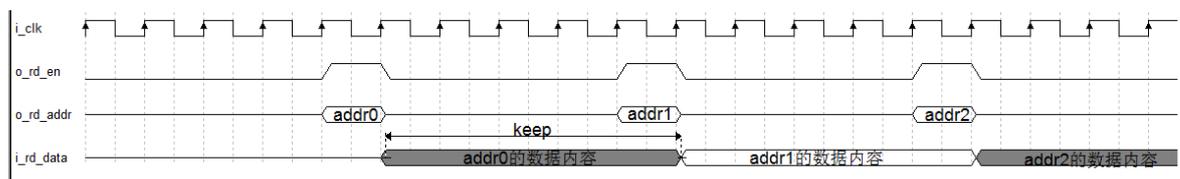


图 4-2 是 Slave 的读操作接口。

图 4-2 Slave 读操作



在读操作中，需要注意的是，读取的数据内容需要保持一段时间不变，建议保持至下个读操作。

4.3 资源消耗

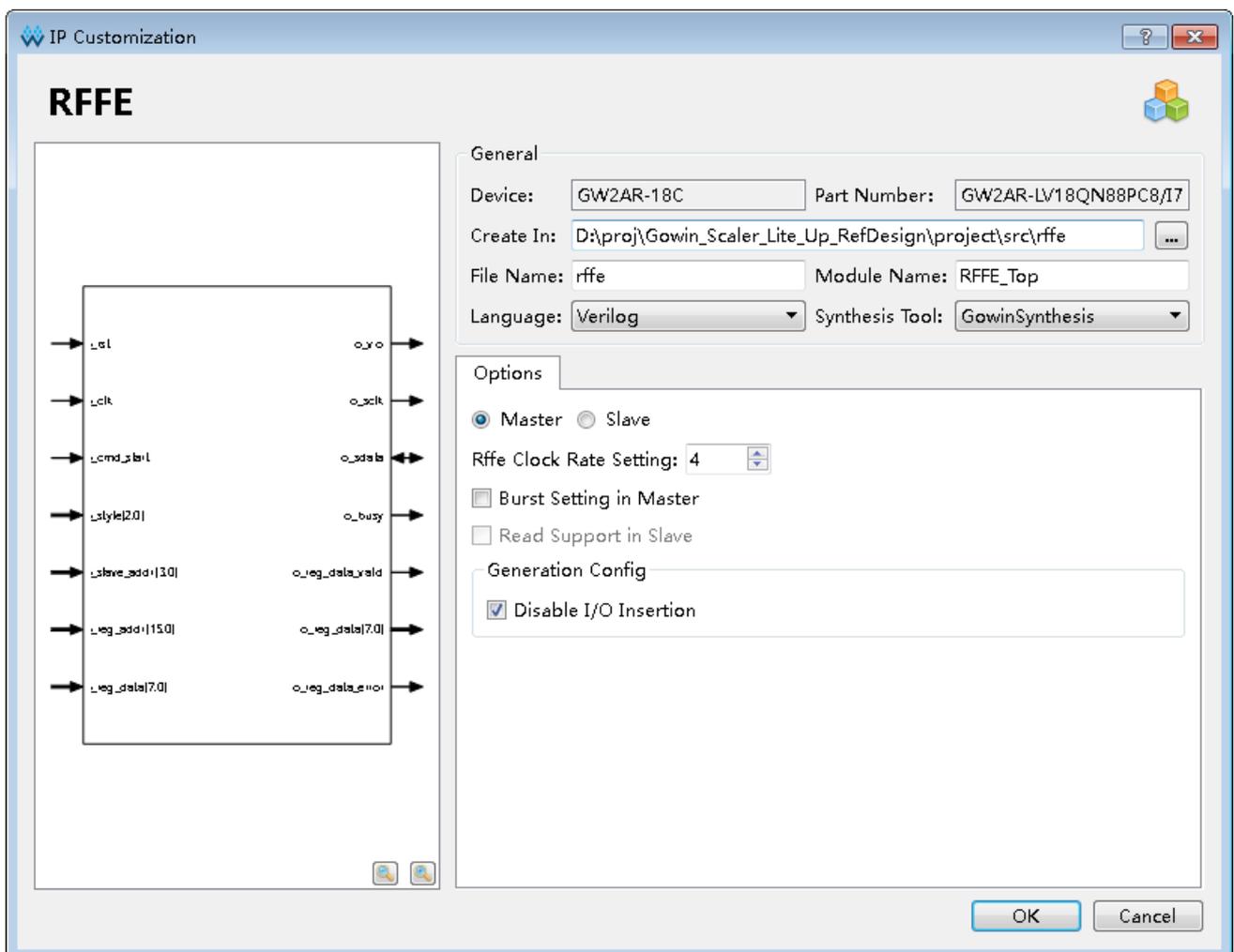
表 4-2 RFFE Slave IP 占用资源

器件系列	模式	器件名称	资源利用	备注
GW1N	Only Write	Registers	144	-
		LUT	140	
		ALU	8	
		DSP	0	
		BSRAM	0	
	Write & Read	Registers	230	
		LUT	258	
		ALU	32	
		DSP	0	
		BSRAM	0	

5 RFFE IP 配置说明

IP 配置主要包括 4 个选项，如下图所示：

图 5-1 Gowin RFFE IP 配置界面



- 选项 Master or Slave: 选择当前是主设备还是从设备。
- Burst Setting in Master: 勾选后，Master 突发模式，每次操作可进行

1~16byte 的访问。不勾选，则每次访问只能单 byte。

- **Rffe Clock Rate Setting:** 只能为偶数，用于配置 RFFE 的串行时钟 sclk 的频率，其频率等于 IP 系统时钟除以 Rffe Clock Rate Setting。
- **Read Support in Slave:** 勾选后，支持主设备对 Slave 设备进行读操作，不勾选，则 slave 端只能进行写操作。

