



Gowin I3C Dual Clock IP

用户指南

IPUG787-1.0,2021-10-28

版权所有 © 2021 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其所有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2021/10/28	1.0	初始版本。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	2
1.4 技术支持与反馈	2
2 概述	3
3 特征与性能	4
3.1 主要特征	4
3.2 最大频率	4
3.3 资源利用	4
4 功能描述	6
4.1 操作模式	6
4.2 用户接口时序	6
5 端口描述	8
6 寄存器	10
6.1 寄存器的地址映射和描述	10
6.2 各个寄存器的分别描述	11
6.2.1 MCFG (0x00)	11
6.2.2 MCONTROL (0x84)	13
6.2.3 MSTS (0x88)	14
6.2.4 MIBIFORMCFG (0x8C)	17
6.2.5 MIS (0x90)	18

6.2.6 MIC (0x94)	18
6.2.7 MIM (0x98)	19
6.2.8 MERR (0x9C)	20
6.2.9 MDATACONTROL (0xAC)	21
6.2.10 MTXB (0xB0)	21
6.2.11 MTXBE (0xB4)	22
6.2.12 MRXB (0xC0)	22
6.2.13 DID (0xC4)	22
7 通信操作流程	24
7.1 Master 通信操作流程	24
7.1.1 SDR 读写操作	24
7.1.2 I2C 读写操作	25
7.1.3 ENTDA 操作	25
7.1.4 其余 CCC 操作	26
7.1.5 IBI/HJ 操作	26
7.1.6 DDR 读写操作	27
8 中断	29
9 时钟	30
10 调用与配置	31
10.1 IP 调用说明	31
10.2 配置界面	32
11 参考设计	33

图目录

图 4-1 REG 写操作时序.....	7
图 4-2 REG 读操作时序.....	7
图 5-1 I3C Dual Clock IO 端口图.....	8
图 10-1 Gowin I3C Dual Clock IP 工具栏调用实例	31
图 10-2 Gowin I3C Dual Clock IP Options 配置界面.....	32

表目录

表 1-1 术语、缩略语	2
表 2-1 I3C Dual Clock IP	3
表 3-1 I3C Dual Clock 占用资源	5
表 5-1 I3C Dual Clock 的 IO 端口列表	8
表 6-1 主机寄存器的地址映射和描述	10
表 6-2 MCFG	11
表 6-3 MCONTROL	13
表 6-4 MSTS	14
表 6-5 MIBIFORMCFG	17
表 6-6 MIS	18
表 6-7 MIC	18
表 6-8 MIM	19
表 6-9 MERR	20
表 6-10 MDATACONTROL	21
表 6-11 MTXB	21
表 6-12 MTXBE	22
表 6-13 MRXB	22
表 6-14 DID	22
表 10-1 配置选项说明	32

1 关于本手册

1.1 手册内容

Gowin I3C Dual Clock IP 用户指南主要内容包括功能特点、端口描述、时序说明、配置调用、参考设计等，旨在帮助用户快速了解 Gowin I3C Dual Clock IP 的产品特性、特点及使用方法。

1.2 相关文档

通过登录高云半导体网站 <http://www.gowinsemi.com.cn> 可以下载、查看以下相关文档：

- [DS100](#)，GW1N 系列 FPGA 产品数据手册
- [DS117](#)，GW1NR 系列 FPGA 产品数据手册
- [DS821](#)，GW1NS 系列 FPGA 产品数据手册
- [DS861](#)，GW1NSR 系列 FPGA 产品数据手册
- [DS891](#)，GW1NRF 系列蓝牙 FPGA 产品数据手册
- [DS881](#)，GW1NSER 系列安全 FPGA 产品数据手册
- [DS102](#)，GW2A 系列 FPGA 产品数据手册
- [DS226](#)，GW2AR 系列 FPGA 产品数据手册
- [DS961](#)，GW2ANR 系列 FPGA 产品数据手册
- [DS976](#)，GW2AN-55 器件数据手册
- [DS971](#)，GW2AN-18X & 9X 器件数据手册
- [SUG100](#)，Gowin 云源软件用户指南

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义

表 1-1 术语、缩略语

术语、缩略语	全称	含义
IP	Intellectual Property	知识产权
LUT	Look-up Table	查找表
CCC	Common Command Code	通用命令代码
IBI	In-Band Interrupt	带内中断
HJ	Hot-join	热插拔

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：<http://www.gowinsemi.com.cn>

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

I3C Dual Clock IP 介绍

Gowin I3C Dual Clock IP 应用于串行通讯接口和串行传感器接口中，用于接收或者发送数据。Gowin I3C Dual Clock IP 提供了带有 REG 接口以及 APB 总线接口的 I3C 总线通讯控制器。

表 2-1 I3C Dual Clock IP

I3C Dual Clock IP	
逻辑资源	请参见表3-1。
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis®
应用软件	Gowin Software (V1.9.8.01及以上)

3 特征与性能

3.1 主要特征

- 符合 MIPI I3C V1.1 的标准
- 支持多种传输模式：SDR 和 DDR
 - SDR 模式仅支持主机，最高数据速率 12.5Mbps
 - DDR 模式仅支持主机，最高数据速率 25Mbps
- 支持地址仲裁检测
- 支持 I3C CCC 命令
 - 支持动态地址分配
 - 支持其他可选的 CCC 命令
- 支持 IBI、hot-join
- 支持从机复位序列发送
- 向前兼容 I2C Slave
- 支持两种用户接口
 - APB 接口
 - REG 接口

3.2 最大频率

I3C Dual Clock 的最大频率主要根据所用器件的速度等级（speed grade of the devices）确定，当 i3c_clk 为 100M 时，I3C 总线的 SCL 速率可配置为 12.5M。

3.3 资源利用

通过 Verilog 语言实现 I3C Dual Clock。因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。

以高云 GW2A-18 系列 FPGA 为例，I3C Dual Clock 其资源利用情况如表 3-1 所示，有关在其它高云 FPGA 上的应用验证，请关注后期发布信息。

表 3-1 I3C Dual Clock 占用资源

器件系列	速度等级	资源利用		备注
GW2A-18	C8/I7	LUT	1895	-
		REG	1197	

4 功能描述

4.1 操作模式

本软核向用户提供 REG 接口以及 APB 总线接口。用户通过写控制寄存器来配置 IP 运行时的参数，控制 IP 通讯行为并发送数据；通过读控制寄存器读取 IP 运行时的参数以及读取 IP 接收到的数据；IP 通过中断通知用户总线上发生的事件，用户通过读写控制寄存器进行中断处理，中断处理完成后，用户完成了与 IP 的交互操作，也就完成了总线通讯。

为了实现 I3C 总线数据的快速读写，本软核配备了两个深度为 16 的 8 位宽读写 fifo。这样用户就可以在数据未发送完成时连续写入多个数据，也可以在接收到多个数据之后连续读出多个数据。

4.2 用户接口时序

用户可以配置用户接口为 REG 接口或者 APB 总线接口。其中 APB 总线接口符合相关协议。

REG 接口的时序如下图所示。

图 4-1 REG 写操作时序

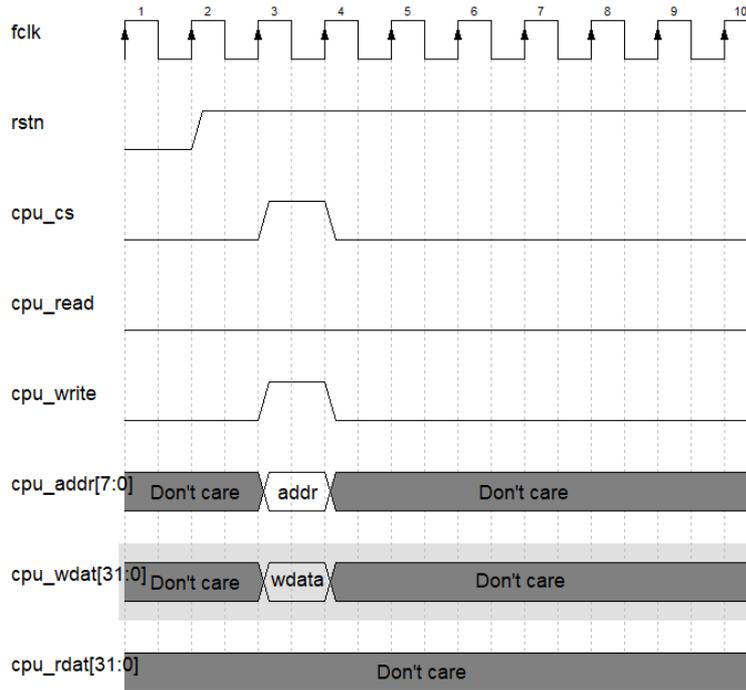
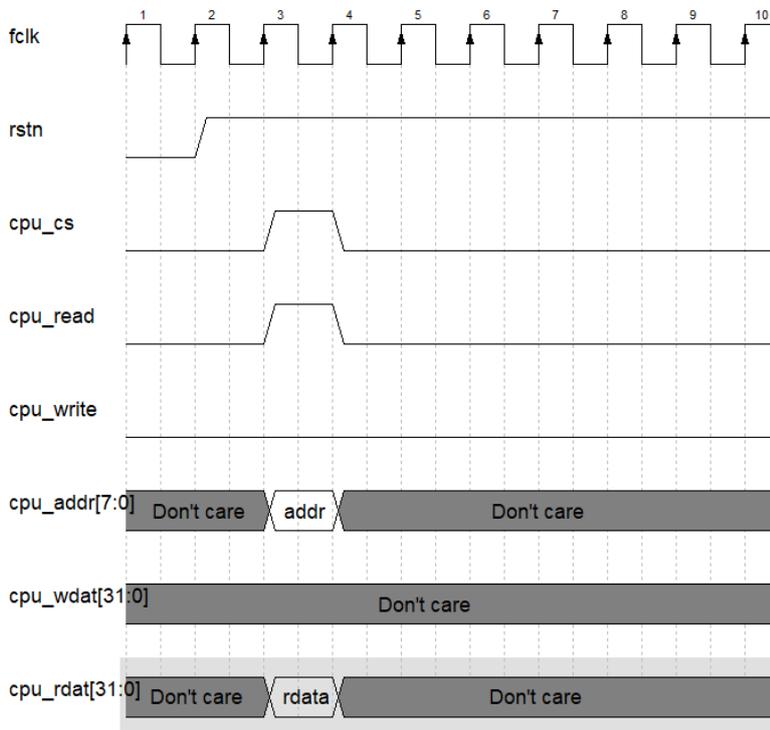


图 4-2 REG 读操作时序

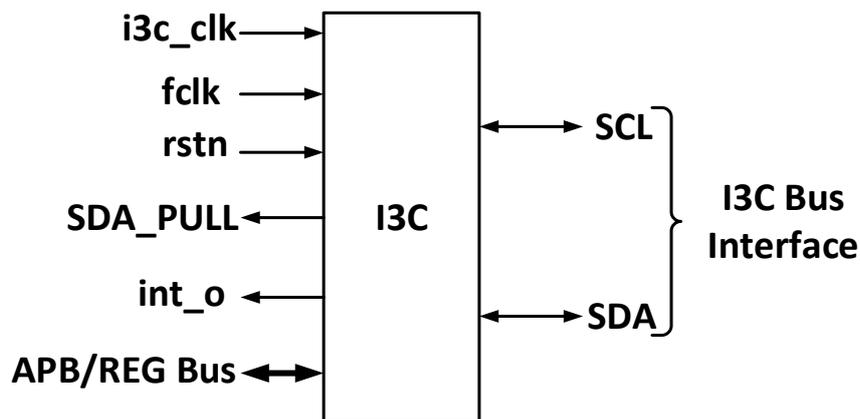


5 端口描述

I3C Dual Clock 端口

有关 I3C Dual Clock 的 IO 端口图，如图 5-1 所示。

图 5-1 I3C Dual Clock IO 端口图



有关 I3C Dual Clock 的 IO 端口详情，如表 5-1 所示。

表 5-1 I3C Dual Clock 的 IO 端口列表

信号	方向	描述
fclk	input	系统时钟（慢，用于读写寄存器）
i3c_clk	input	I3C配置时钟（快，用于配置I3C总线的SCL）
rstn	input	复位（低有效）
SDA_PULL	output	I3C串行数据的可控上拉
int_o	output	中断输出（低有效）
I3C Bus接口		
SCL	inout	I3C串行时钟线
SDA	inout	I3C串行数据线
用户接口-APB总线接口（except fclk）		

信号	方向	描述
PADDR[7:0]	input	字节地址
PWDATA[31:0]	input	写数据
PRDATA[31:0]	output	读数据
PSEL	input	从设备选择
PWRITE	input	写/读方向指示
PENABLE	input	使能信号
用户接口-REG接口 (except fclk)		
cpu_cs	input	片选信号
cpu_read	input	读使能
cpu_write	input	写使能
cpu_addr[7:0]	input	地址信号
cpu_wdat[31:0]	input	写数据
cpu_rdat[31:0]	output	读数据

6 寄存器

I3C Dual Clock IP 使用 256 地址空间，因此将低 8 位的地址解码为寄存器组的偏移值。它将所有控制寄存器、状态寄存器以及用于访问发送和接收 fifo 的寄存器映射到此地址空间。

6.1 寄存器的地址映射和描述

表 6-1 主机寄存器的地址映射和描述

寄存器偏移地址	寄存器名称	访问限制	描述
0x00	MCFG	读写	主机配置寄存器：对IP进行初始化配置
0x84	MCONTROL	读写	主机控制寄存器：控制IP在I3C/I2C总线上做出相对应的操作
0x88	MSTS	读写	主机状态寄存器：显示IP以及I3C总线所处的状态（对应位置写1可将对应寄存器置0）
0x8C	MIBIFORMCFG	读写	主机IBI类型配置寄存器：配置从机IBI后是否带强制字节
0x90	MIS	读写	主机中断使能寄存器：使能IP的中断
0x94	MIC	只写	主机中断使能清除寄存器：写1清除中断使能
0x98	MIM	只读	主机中断掩码寄存器：MSTS的值与MIS的值
0x9C	MERR	读写	主机错误寄存器：显示目前通讯中产生的错误（对应位置写1可将对应寄存器置0）
0xAC	MDATACONTROL	读写	主机数据控制寄存器：控制并显示FIFO的状态

寄存器偏移地址	寄存器名称	访问限制	描述
0xB0	MTXB	只写	主机发送数据寄存器： 主机写数据到发送FIFO中
0xB4	MTXBE	只写	主机发送结束数据寄存器：主机 写此次通信的最后一个数据到 发送FIFO中
0xC0	MRXB	只读	主机接收数据寄存器：主机从接 收FIFO中读取数据
0xC4	DID	只读	设备ID寄存器：用户可读取此IP 的ID号

6.2 各个寄存器的分别描述

6.2.1 MCFG (0x00)

对 IP 进行初始化配置。

表 6-2 MCFG

比特位数	名称	描述	默认复位值
0	MENABLE (表示主机是否被使能)	1: IP被配置为主机 0: IP只能被配置为从机	0x0
2: 1	保留位	-	-
3	MDISTIMEOUT (表示超时错误检测是否被使能)	1: 不使能超时错误检测; 0: 使能超时错误检测 错误检测被使能后, 当IP 在空闲状态之外的某个 状态停留100us后, 将产 生超时错误, IP将发送 MERR中断。	0x0
7: 4	保留位	-	-
11: 8	PPHIGH (push-pull模式下SCL高电平所占的i3c_clk的数目)	PPHIGH = SCL高电平所占的i3c_clk的数目 - 1, 并且PPHIGH最小被配置为3。	0x0
15: 12	PPLOWEXTRA (push-pull模式下SCL低电平比push-pull模式下SCL高电平多的i3c_clk的数目)	SCL低电平所占的i3c_clk的数目 = SCL高电平所占的i3c_clk的数目 + PPLOWEXTRA	0x0
23: 16	ODSCL (open-drain模	open-drain模式下SCL高	0x00

比特位数	名称	描述	默认复位值
	式下SCL高低电平所占i3c_clk的数目) ^[1]	低电平所占i3c_clk的数目 = push-pull模式下SCL高电平所占的i3c_clk的数目 * (ODSCL+1)	
27: 24	保留位	-	-
31: 28	I2CSCL (I2C模式下SCL高低电平所占i3c_clk的数目) ^[2]	I2CSCL为偶数时: I2C模式下SCL高低电平所占i3c_clk的数目 = open-drain模式下SCL低电平所占i3c_clk的数目 * I2CSCL; I2CSCL为奇数时: I2C模式下SCL高电平所占i3c_clk的数目 = open-drain模式下SCL低电平所占i3c_clk的数目 * (I2CSCL-1); I2C模式下SCL低电平所占i3c_clk的数目 = open-drain模式下SCL低电平所占i3c_clk的数目 * I2CSCL。	0x0

注!

- [1] open-drain 模式下 SCL 高低电平所占 i3c_clk 的数目至少为 11。
- [2] I2CSCL 最小值为 2

6.2.2 MCONTROL (0x84)

主机控制寄存器，控制 IP 在 I3C/I2C 总线上做出相对应的操作。

表 6-3 MCONTROL

比特位数	名称	描述	默认复位值
2: 0	REQUEST (主机请求)	<p>3'h0: 主机请求完成后置0;</p> <p>3'h1: MCONTROL.COMTYPE 为非DDR通信, 主机请求发送 START + ADDR序列, 在主机结束读通信后, 只发送ADDR; MCONTROL.COMTYPE为 DDR通信时, 当I3C通信未进入 DDR通信模式, 主机则发送 START+7E/W+ACK+ENTHDR 0 CCC+DDR COMMAND, 当 I3C通信进入DDR通信模式, 主机则发送HDR Restart+ DDR COMMAND;</p> <p>3'h2: 主机请求发送STOP序列;</p> <p>3'h3: 主机请求进行手动IBI响应;</p> <p>3'h4: 主机请求进行DAA, 若主机未进入DAA模式, 主机则发送 START+7E/W+ACK+ENTDAA +RSTART+7E/R, 在主机发送要分配的动态地址前结束, 若主机进入DAA模式, 主机则发送 DA+ACK+ RSTART+7E/R, 在主机发送要分配的动态地址前结束, 如果从机NACK 7E/R, 主机将自动结束DAA过程;</p> <p>3'h5: 主机发送START + 从机复位序列;</p> <p>3'h6: 主机发送HDR Exit序列;</p> <p>3'h7: 保留位。</p>	0x0
3	保留位	-	-
5: 4	COMTYPE (通信类型)	<p>2'h0: I3C SDR通信</p> <p>2'h1: I2C通信</p> <p>2'h2: DDR通信</p> <p>2'h3: 保留位</p>	0x0

比特位数	名称	描述	默认复位值
7: 6	IBIRSPTYPE (IBI响应类型)	2'h0: 自动ACK, ACK后是否跟强制字节由MIBIFORMCFG寄存器决定; 2'h1: 自动NACK 2'h2: 自动ACK并且主机能够确定从机一定会发出强制字节(只在手动ACK时使用); 2'h3: 手动ACK, IBI发生时通信将暂停等待主机将MCONTROL.REQUEST配置为3'h3进行带内中断响应。	0x0
8	DIRECTION (通信方向)	0: 写 1: 读	0x0
15: 9	COMADDR (通信地址)	主机发送的从机地址	0x00
23: 16	READTERMCNT (主机结束读通信计数器)	主机将在READTERMCNT个字节之后结束此次读通信, DDR通信时READTERMCNT必须为偶数	0x00
24	DDRENDWITHCRC (DDR通信提前结束是否带CRC)	0: 主机结束DDR读通信以及从机结束写通信时不带CRC 1: 主机结束DDR读通信以及从机结束写通信时带CRC	0x0
31: 25	保留位	-	-

6.2.3 MSTS (0x88)

显示主机的状态并可以使用此寄存器来将状态寄存器置0(对应位置写1将状态寄存器置0)。

表 6-4 MSTS

比特位数	名称	描述	默认复位值
2: 0	MSTE (当前主机所处的状态)	3'h0: 当前主机处于空闲状态 3'h1: SDA总线由从机拉低 3'h2: 保留位 3'h3: 当前主机处于SDR或者I2C通信状态 3'h4: 当前主机处于DDR通信状态	0x0

比特位数	名称	描述	默认复位值
		<p>3'h5: 当前主机处于动态地址分配状态</p> <p>3'h6: 当前主机处于等待用户决定是否响应IBI、MR、HJ的状态;</p> <p>3'h7: 当前主机接收到从机发出的IBI、MR、HJ请求(接收到带强制字节的IBI时会在接收完IBI数据后退出此状态,其余情况是在主机ACK之后退出此状态)。</p>	
3	保留位	-	-
4	BWN (处于通信过程中)	<p>1: 当主机处于动态地址分配过程中时,此位为1则主机处于操作间隙,需要用户进行下一步的操作;当主机处于SDR读写过程中时,此位为1则主机处于等待从发送FIFO中读取数据或者等待向接收FIFO写入数据的状态;</p> <p>0: 主机处于其余状态。</p>	0x0
5	NACK	<p>1: SDR通信:从机NACK主机发送的地址;DDR通信:从机NACK主机发送的命令。</p> <p>0: SDR通信:从机ACK主机发送的地址;DDR通信:从机ACK主机发送的命令。</p>	0x0
7: 6	SRTYPE (从机请求类型)	<p>2'h0: 从机未发出请求</p> <p>2'h1: 从机发出IBI请求</p> <p>2'h2: 从机发出主机角色请求</p> <p>2'h3: 从机发出热插拔请求</p>	0x0
8	SSTART (从机拉低SDA总线发出START信号)	<p>1: SDA总线由从机拉低从而产生START序列</p> <p>0: SDA总线未由从机拉低从而产生START序列</p>	0x0
9	MCONTROLFINISH (主机控制操作完成)	<p>1: MCONTROL.REQUEST请求操作完成后此位置1,例如MCONTROL.REQUEST为3'h1则主机将在START + ADDR序列发送完成并且从机对地址进行ACK/NACK响应后将此位置1。</p>	0x0

比特位数	名称	描述	默认复位值
		0: 将此位写1则清零此位。	
10	COMCOMPLETE (通信完成)	1: 一次读写通信或者DAA通信完成此位置1 (包含从机NACK DDR读写命令) 0: 将此位写1则清零此位	0x0
11	RFIFONOTEMPTY (接收FIFO非空)	1: 接收FIFO非空将此位置1 0: 接收FIFO为空将此位置0	0x0
12	SFIFONOTFULL (发送FIFO未满)	1: 发送FIFO未满 0: 发送FIFO已满	0x1
13	IBIRCV (主机接收到IBI、HJ、MR请求)	1: 主机接收到IBI、HJ、MR请求 0: 将此位写1则清零此位	0x0
14	保留位	-	-
15	ERR (错误状态)	1: 主机处于错误状态 (错误类型可通过MERR寄存器查看) 0: 主机未处于错误状态 (将此位写1则清零此位)	0x0
23: 16	保留位	-	-
30: 24	IBIADDRESS (主机接收到的IBI、HJ、MR请求地址)	主机接收到的IBI、HJ、MR请求地址	0x00
31	保留位	-	-

6.2.4 MIBIFORMCFG (0x8C)

主机 IBI 格式配置, 使用此寄存器可以配置从机发送的 IBI 是否带强制字节, 当 MIBIFORMCFG.DAMSB0 为 1 并且 MCONTROL.IBIRSPTYPE 为 0 时, NOIBIMBYTE 为 1 则除了 MIBIFORMCFG 中的地址之外全部都有 IBI 强制字节, NOIBIMBYTE 为 0 则只有 MIBIFORMCFG 中的地址带有 IBI 强制字节。

表 6-5 MIBIFORMCFG

比特位数	名称	描述	默认复位值
5: 0	SADDRESS0 (从机地址0)	从机地址0(该地址的从机是否带强制字节由 DAMSB0和 NOIBIMBYTE决定)	0x00
11: 6	SADDRESS1 (从机地址1)	从机地址1(该地址的从机是否带强制字节由 DAMSB0和 NOIBIMBYTE决定)	0x00
17: 12	SADDRESS2 (从机地址2)	从机地址2(该地址的从机是否带强制字节由 DAMSB0和 NOIBIMBYTE决定)	0x00
23: 18	SADDRESS3 (从机地址3)	从机地址3(该地址的从机是否带强制字节由 DAMSB0和 NOIBIMBYTE决定)	0x00
29: 24	SADDRESS4 (从机地址4)	从机地址4(该地址的从机是否带强制字节由 DAMSB0和 NOIBIMBYTE决定)	0x00
30	DAMSB0 (动态地址的最高bit是否全为0)	1: 动态地址的最高bit全为0 0: 动态地址的最高bit不全为0	0x0
31	NOIBIMBYTE (没有IBI强制字节)	1: 此寄存器中的对应地址的从机IBI没有强制字节 0: 此寄存器中的对应地址的从机IBI有强制字节	0x0

6.2.5 MIS (0x90)

用户中断使能设置，对应位置写 1 使能对应的中断。

表 6-6 MIS

比特位数	名称	描述	默认复位值
7: 0	保留位		
8	SSTART	SSTART中断使能，从机拉低SDA总线从而发出START序列。	0x0
9	MCONTROLFINISH	主机控制操作完成中断使能，用户进行的控制操作完成。	0x0
10	COMCOMPLETE	通信完成中断使能，一次通信完成。	0x0
11	RFIFONOTEMPTY	接收FIFO非空中断使能，表示接收FIFO非空。	0x0
12	SFIFONOTFULL	发送FIFO未中断使能，表示发送FIFO未空。	0x0
13	IBIRCV	主机接收到IBI、HJ、MR请求中断使能，表示主机接收到IBI、HJ、MR请求。	0x0
14	保留位	-	-
15	ERR	错误中断使能，表示总线处于错误状态。	0x0
31: 16	保留位	-	-

6.2.6 MIC (0x94)

用户中断使能清除，对应位置写 1 清除对应的中断使能。

表 6-7 MIC

比特位数	名称	描述	默认复位值
7: 0	保留位	-	-
8	SSTART	SSTART中断使能清除	-
9	MCONTROLFINISH	主机控制操作完成中断使能清除	-
10	COMCOMPLETE	通信完成中断使能清除	-
11	RFIFONOTEMPTY	接收FIFO非空中断使能清除	-
12	SFIFONOTFULL	发送FIFO未中断使能清除	-

比特位数	名称	描述	默认复位值
13	IBIRCV	主机接收到IBI、HJ、MR请求 中断使能清除	-
14	保留位	-	-
15	ERR	错误中断使能清除	-
31: 16	保留位	-	-

6.2.7 MIM (0x98)

中断屏蔽寄存器，将已经使能的中断的状态送给用户，其值为 MSTS & MIS。

表 6-8 MIM

比特位数	名称	描述	默认复位值
7: 0	保留位	-	-
8	SSTART	SSTART中断掩码寄存器	0x0
9	MCONTROLFINISH	主机控制操作完成中断掩码寄存器	0x0
10	COMCOMPLETE	通信完成中断掩码寄存器	0x0
11	RFIFONOTEMPTY	接收FIFO非空中断掩码寄存器	0x0
12	SFIFONOTFULL	发送FIFO未空中断掩码寄存器	0x0
13	IBIRCV	主机接收到IBI、HJ、MR请求中 断掩码寄存器	0x0
14	保留位	-	-
15	ERR	错误中断掩码寄存器	0x0
31: 16	保留位	-	-

6.2.8 MERR (0x9C)

主机错误寄存器，当通信产生错误时，用户可通过错误寄存器来读取错误类型，MERR 寄存器中的值被置 1 时，MSTS.ERR 也会置 1，我们通过对对应比特位写 1 来将寄存器的值置 0。

表 6-9 MERR

比特位数	名称	描述	默认复位值
1: 0	保留位	-	-
2	DAABANACK	DAA过程中广播写地址被NACK	0x0
3	I2CWNACK	从机NACK I2C写数据	0x0
8: 4	保留位	-	-
9	DDRFRAME	DDR通信架构错误，起始序列以及CRC前4个比特不是4'hC	0x0
10	DDRCRC5	DDR CRC5错误	0x0
11	DDRCOMMANDDATA	DDR 命令和数据错误，发送与接收不一致。	0x0
15: 12	保留位	-	-
16	READEMPTY	当接收FIFO为空时，用户继续读取接收FIFO。	0x0
17	WRITEFULL	当发送FIFO为满时，用户继续写入数据到发送FIFO。	0x0
18	保留位	-	-
19	ERRREQUEST	错误请求，用户使用了错误的请求，例如此时总线处于DAA状态，用户却请求发送START + ADDR (MCONTROL.REQUEST = 3'h1)。	0x0
20	COMTIMEOUT	通讯超时，IP在除空闲状态之外的某个通信状态中停留100us。	0x0
31: 21	保留位	-	-

6.2.9 MDATACONTROL (0xAC)

主机数据控制寄存器，控制并显示 FIFO（深度 16）的状态。

表 6-10 MDATACONTROL

比特位数	名称	描述	默认复位值
0	SFIFOCLR（发送FIFO清除寄存器）	写1清除发送FIFO中的数据	0x0
1	RFIFOCLR（接收FIFO清除寄存器）	写1清除接收FIFO中的数据	0x0
15: 2	保留位	-	-
20: 16	SFIFOCNT（发送FIFO中数据的数量）	发送FIFO中数据的数量	0x00
23: 21	保留位	-	-
28: 24	RFIFOCNT（接收FIFO中数据的数量）	接收FIFO中数据的数量	0x00
29	保留位	-	-
30	SFIFOFULL（发送FIFO已满）	1: 发送FIFO已满 0: 发送FIFO未滿	0x0
31	RFIFOEMPTY（接收FIFO已空）	1: 接收FIFO已空 0: 接收FIFO未空	0x1

6.2.10 MTXB (0xB0)

主机发送数据寄存器，用户可以通过此寄存器向发送 FIFO 中写入数据。

表 6-11 MTXB

比特位数	名称	描述	默认复位值
7: 0	WDATA（写数据）	要写入发送FIFO中的数据	-
8	LAST（表示此数据是否是此次通信的最后一个字节）	1: 此字节为此次通信的最后一个字节（DDR通信偶数位置的字节才可以是最后一个字节） 0: 此字节不是此次通信的最后一个字节	-
31: 9	保留位	-	-

6.2.11 MTXBE (0xB4)

主机发送最后一个字节数据寄存器,用户可以通过此寄存器向发送 FIFO 中写入此次通信的最后一个字节数据。

表 6-12 MTXBE

比特位数	名称	描述	默认复位值
7: 0	WDATA (写数据)	要写入发送FIFO中的最后一个字节数据 (DDR通信偶数位置的字节才可以是最后一个字节)	-
31: 8	保留位	-	-

6.2.12 MRXB (0xC0)

主机读取数据寄存器,用户可以通过此寄存器从接收 FIFO 中读取数据。

表 6-13 MRXB

比特位数	名称	描述	默认复位值
7: 0	RDATA (读数据)	从接收FIFO中读取的数据	0x00
31: 8	保留位	-	-

6.2.13 DID (0xC4)

设备 ID 寄存器,用户可读取此 IP 的 ID 号。

表 6-14 DID

比特位数	名称	描述	默认复位值
1: 0	CLOCKNUMBER	0: 单时钟域设备 1: 双时钟域设备 2: 保留 3: 保留	0x1
3: 2	ROLE	0: 支持主机 1: 支持从机 2: 主从机全部支持 3: 保留	0x0
5: 4	FUNCTION	0: 支持SDR通信 1: 支持DDR通信 2: 保留 3: 保留	0x1
11: 6	VERSIONNUMBER	版本号	0x00

比特位数	名称	描述	默认复位值
31: 12	保留位	-	-

7 通信操作流程

7.1 Master 通信操作流程

7.1.1 SDR 读写操作

1. IP 初始化配置：写 MCFG 寄存器来进行 IP 的初始化配置
 - MENABLE：主机使能
 - PPHIGH、PPLOWEXTRA、ODSCL、I2CSCL：配置 SDR 读写通信的数据速率
2. 中断使能：写 MIS 寄存器来使能对应中断
 - MCONTROLFINISH：主机控制操作完成中断使能
 - COMCOMPLETE：通信完成中断使能
 - RFIFONOTEMPTY：接收 FIFO 非空中断使能
 - SFIFONOTFULL：发送 FIFO 未中断使能
3. 进行读写操作：写 MCONTROL 寄存器来使 IP 完成相应的读写操作
 - REQUEST：写 1 发出 START + ADDR 操作
 - COMTYPE：写 0 发出 I3C SDR 通信
 - DIRECTION：写 0 为 SDR 写，写 1 为 SDR 读
 - COMADDR：主机发出的从机地址
 - READTERMCNT：配置读通信时几个数据字节之后主机会结束读通信
4. 写入数据：通过 MTXB 或者 MTXBE 写入写通信要发送的数据，数据既可以在进行读写操作之前写入也可在进行读写操作之后写入，并可以通过 MTXB 或者 MTXBE 配置哪个字节为此次写通信的最后一个字节，主机在完成此字节发送之后完成此次通信。
5. 中断接收：接收到中断之后可通过读取 MSTTS 寄存器来获悉接收到的是

何种中断:

- MCONTROLFINISH 中断: 表示主机已发出 START + ADDR 并且从机已 ACK/NACK;
- COMCOMPLETE 中断: 表示此次读写操作已完成用户可继续发送 STOP (MCONTROL.REQUEST 为 2) 或者 RESTART + ADDR (MCONTROL.REQUEST 为 1);
- SFIFONOTFULL 中断: 接收到此中断表示发送 FIFO 已满不可再写入数据;
- RFIFONOTEMPTY 中断: 接收到此中断表示接收 FIFO 里接收到数据, 用户可通过 MRXB 寄存器读取接收 FIFO 中的数据。

7.1.2 I2C 读写操作

I2C 读写操作同 SDR 读写操作相类似只需将 MCONTROL.COMTYPE 写 1 发出 I2C 读写操作。

7.1.3 ENTDA A 操作

1. IP 初始化配置: 写 MCFG 寄存器来进行 IP 的初始化配置
 - MENABLE: 主机使能
 - PPHIGH、PPLOWEXTRA、ODSCL、I2CSCL: 配置 SDR 读写通信的数据速率
2. 中断使能: 写 MIS 寄存器来使能对应中断
 - MCONTROLFINISH: 主机控制操作完成中断使能
 - COMCOMPLETE: 通信完成中断使能
 - RFIFONOTEMPTY: 接收 FIFO 非空中断使能
 - SFIFONOTFULL: 发送 FIFO 未空中断使能
3. 进行读写操作: 写 MCONTROL 寄存器来使 IP 完成相应的 ENTDA A 操作
 - REQUEST: 未进入 ENTDA A 模式时, 写 4 主机则发送 START+7E/W+ACK+ENTDA A+RSTART+7E/R+接收从机的 64 位读数据, 进入 ENTDA A 模式后, 写 4 则发送动态地址+ACK+RESTART+7E/R+接收从机的 64 位读数据 (7E/R 被 ACK 会接收从机的 64 位读数据, NACK 主机会自动发送 STOP 序列);
 - COMTYPE: 写 0 发出 I3C SDR 通信。
4. 写入动态地址: 通过 MTXB (LAST 必须为 0) 写入 ENTDA A 所需要的动态地址 (动态地址为数据的 7: 1 位, 第 0 位无作用), 动态地址写入需在进行 ENTDA A 之后 (7E+R 被 ACK)。
5. 中断接收: 接收到中断之后可通过读取 MST S 寄存器来获悉接收到的是

何种中断：

- MCONTROLFINISH 中断：表示主机已发出 REQUEST 为 4 所对应的操作；
- COMCOMPLETE 中断：表示此次 ENTDA 操作完成总线已进入 IDLE 状态；
- RFIFONOTEMPTY 中断：接收到此中断表示接收 FIFO 里接收到数据，用户可通过 MRXB 寄存器读取接收 FIFO 中的数据。

7.1.4 其余 CCC 操作

其余 CCC 操作均通过 SDR 读写实现。

7.1.5 IBI/HJ 操作

1. IP 初始化配置：写 MCFG 寄存器来进行 IP 的初始化配置
 - MENABLE：主机使能
 - PPHIGH、PPLOWEXTRA、ODSCL、I2CSCL：配置 SDR 读写通信的数据速率
2. 中断使能：写 MIS 寄存器来使能对应中断
 - MCONTROLFINISH：主机控制操作完成中断使能
 - COMCOMPLETE：通信完成中断使能
 - RFIFONOTEMPTY：接收 FIFO 非空中断使能
 - SFIFONOTFULL：发送 FIFO 未空中断使能
 - SSTART：从机拉低 SDA 信号中断使能
 - IBIRCV：主机接收到 IBI、HJ、MR 请求中断使能
3. 进行 IBI、HJ、MR 请求响应配置
 - MCONTROL.IBIRSPTYPE:IBI 响应类型配置，可配置为自动 ACK，自动 NACK 以及手动响应。配置为自动 ACK 时，配合 MIBIFORMCFG 寄存器可对 IBI ACK 后是否带 IBI 强制字节进行配置；配置为手动响应时，I3C 总线通信会暂停于 IBI 地址处，用户可使用 MCONTROL.REQUEST（设置为 3）以及 MCONTROL.IBIRSPTYPE 进行手动响应 IBI（MCONTROL.IBIRSPTYPE 为 0 为不带强制字节 ACK，MCONTROL.IBIRSPTYPE 为 1 为 NACK，MCONTROL.IBIRSPTYPE 为 2 为带强制字节 ACK）。
4. 进行 IBI、HJ、MR 请求操作
 - 从机拉低 SDA 之后，主机会接收到 SSTART 中断；
 - 从机发出 IBI、HJ、MR 请求地址之后，主机会接收到 IBIRCV 中断；
 - 接收到 IBIRCV 中断，用户可以读取 MSTS 寄存器，知晓是否是手

动响应，手动响应，用户使用 MCONTROL.REQUEST（设置为 3）发起手动响应；自动响应，IP 自动发起 IBI 响应；

- IBI、HJ、MR 请求完成后，用户接收到 COMCOMPLETE 中断；
- 用户在接收到 RFIFONOTEMPTY 中断时，可以从接收 FIFO 中读取 IBI 数据。

7.1.6 DDR 读写操作

1. IP 初始化配置：写 MCFG 寄存器来进行 IP 的初始化配置
 - MENABLE：主机使能
 - PPHIGH、PPLOWEXTRA、ODSCL：配置 DDR 读写通信的数据速率
2. 中断使能：写 MIS 寄存器来使能对应中断
 - MCONTROLFINISH：主机控制操作完成中断使能
 - COMCOMPLETE：通信完成中断使能
 - RFIFONOTEMPTY：接收 FIFO 非空中断使能
 - SFIFONOTFULL：发送 FIFO 未中断使能
3. 进行读写操作：写 MCONTROL 寄存器来使 IP 完成相应的读写操作
 - REQUEST：写 1，当 I3C 通信未进入 DDR 通信模式时，主机则发送 START+7E/W+ACK+ENTHDR0 CCC+DDR COMMAND，当 I3C 通信进入 DDR 通信模式时，主机则发送 HDR Restart+ DDR COMMAND；
 - COMTYPE：写 2 发出 I3C DDR 通信；
 - COMADDR：主机发出的 DDR COMMAND 中的从机地址；
 - READTERMCNT：配置读通信时几个数据字节之后主机会结束读通信，必须为偶数；
 - DDRENDWITHCRC：配置读写通信被提前结束时是否要发出 CRC。
4. 写入数据：用户在发起读写操作之前或者之后必须通过 MTXB 写入 DDR COMMAND 的命令字节，写完命令字节之后用户可以通过 MTXB 或者 MTXBE 写入写通信要发送的数据，并可以通过 MTXB 或者 MTXBE 配置哪个字节为此次写通信的最后一个字节（必须在偶数个字节时结束），主机在完成最后的两个字节发送之后完成此次通信。
5. 中断接收：接收到中断之后可通过读取 MSTS 寄存器来获悉接收到的是何种中断：
 - MCONTROLFINISH 中断：表示主机已发出 START+7E/W+ACK+ENTHDR0 CCC+DDR COMMAND 或者 HDR Restart+ DDR COMMAND 或者 DDR EXIT 序列；

- **COMCOMPLETE** 中断：表示此次读写操作已完成用户可继续发送 HDR EXIT (MCONTROL.REQUEST 为 6) 或者 HDR Restart+ DDR COMMAND (MCONTROL.REQUEST 为 1)；
- **SFIFONOTFULL** 中断：接收到此中断表示发送 FIFO 已满不可再写入数据；
- **RFIFONOTEMPTY** 中断：接收到此中断表示接收 FIFO 里接收到数据，用户可通过 MRXB 寄存器读取接收 FIFO 中的数据。

8 中断

I3C Dual Clock IP 实现低电平有效的电平中断。它是一种标准机制，所有使能的单个中断源进行或操作，产生最终的中断输出。中断源在 MIS 寄存器中定义，中断使能具有相应的掩码。

9 时钟

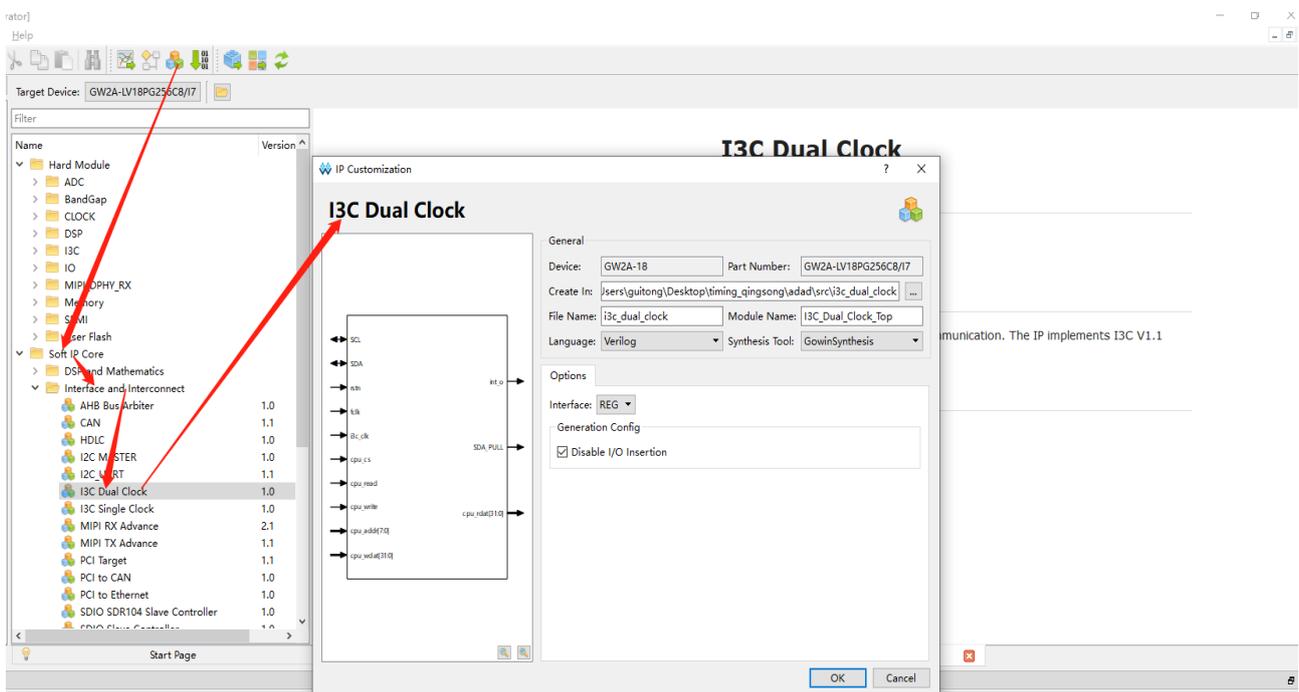
I3C Dual Clock IP 有两个时钟输入源：`i3c_clk` 和 `fclk`。`fclk` 是寄存器的输入时钟，`i3c_clk` 是 SCL 的分频时钟。`i3c_clk` 频率/`fclk` 频率须在 2~3 之间（2.5 为最佳），才能正常地实现 I3C 总线通信。

10 调用与配置

10.1 IP 调用说明

在高云云源软件界面菜单栏 Tools 下，可启动 IP Core Generator 工具，在 Soft IP Core > Interface and Interconnect 分类下，完成调用并配置 Gowin I3C Dual Clock IP。也可使用工具栏图标，按照图示顺序启动 Gowin I3C Dual Clock IP，如图 10-1 所示。

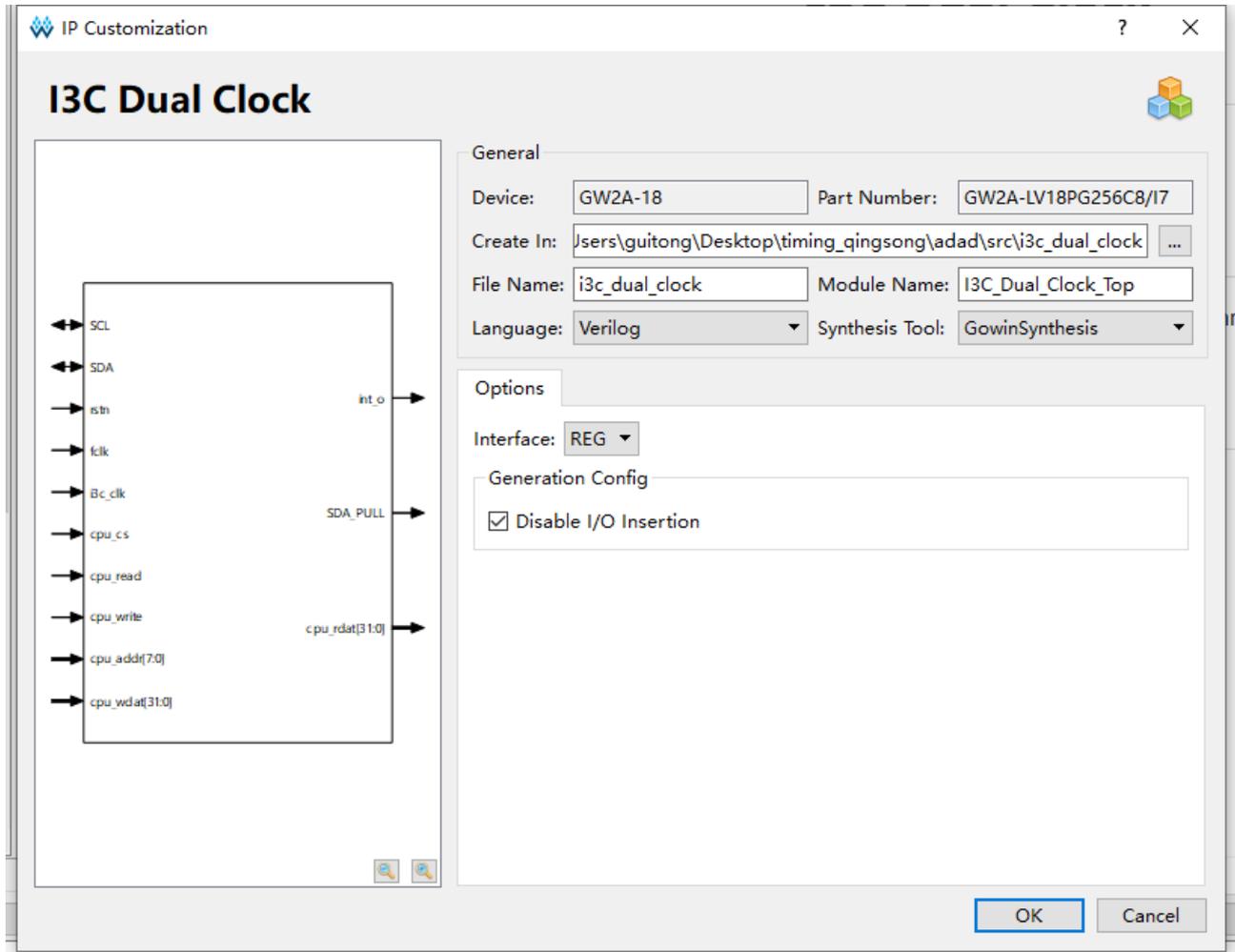
图 10-1 Gowin I3C Dual Clock IP 工具栏调用实例



10.2 配置界面

Gowin I3C Dual Clock IP 配置界面如图 10-2 所示。

图 10-2 Gowin I3C Dual Clock IP Options 配置界面



Gowin I3C Dual Clock IP 的 Options 配置描述如表 10-1 所示。

表 10-1 配置选项说明

选项	描述	
Interface	REG	IP被配置为REG接口
	APB	IP被配置为APB总线接口

11 参考设计

详细信息请参见高云半导体官网给出的 I3C Dual Clock 相关参考设计。

