




Gowin USB HSIC PHY IP

用户指南

IPUG792-1.0,2022-01-24

版权所有 © 2022 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin 以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2022/01/24	1.0	初始版本。

目录

目录	i
图目录.....	ii
表目录.....	iii
1 关于本手册	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语	1
1.4 技术支持与反馈.....	2
2 功能简介	3
2.1 概述.....	3
2.2 特性.....	3
2.3 资源占用.....	3
3 功能描述.....	4
3.1 USB_HSIC_PHY 框图	4
3.2 USB HSIC PHY IO 约束	5
4 信号定义.....	6
5 界面配置.....	8

图目录

图 3-1 结构框图	4
图 5-1 IP Core Generator 选项	8
图 5-2 打开 USB HSIC PHY 核	9
图 5-3 USB HSIC PHY IP 配置界面	10

表目录

表 1-1 术语、缩略语	1
表 2-1 资源占用	3
表 4-1 信号定义	6

1 关于本手册

1.1 手册内容

Gowin® USB HSIC PHY IP 用户指南主要内容包括功能简介、信号定义、功能描述、界面配置，旨在帮助用户快速了解 Gowin USB HSIC PHY IP 的产品特性、特点及使用方法。

1.2 相关文档

通过登录高云®半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档。

1. [DS102](#), GW2A 系列 FPGA 产品数据手册
2. [DS226](#), GW2AR 系列 FPGA 产品数据手册
3. [SUG100](#), Gowin 云源软件用户指南

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
IP	Intellectual Property	知识产权
HSIC	High-Speed Inter-Chip	高速芯片互联
NRZI	Non-Return to Zero Inverted	反向不归零
EOP	End-of-Packet	包结束

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 功能简介

2.1 概述

HSIC (High-Speed Inter-Chip)由两个双向信号组成，分别为 DATA 和 STROBE，其中 STROBE 为定时信号，DATA 是与 STROBE 信号同步的双向 DDR 数据信号。HSIC 接口能够提供 480Mbps 的 USB 高速数据。

Gowin USB HSIC PHY IP 可实现 HSIC 接口的 PHY 层功能，包括同步、位填充、EOP 和 NRZI 编码等。

2.2 特性

Gowin USB HSIC PHY IP 特性包括：

- 只支持 USB2.0 480Mbps 高速数据传输；
- 源同步串行数据传输；
- 无热插拔，接口始终连接；
- 信号输出为 LVCMOS12V 电平；
- 最大线长度为 10cm；
- 仅支持 GW2A/GW2AR 系列 FPGA 产品；
- 仅支持 Device 端 PHY。

2.3 资源占用

以高云 GW2A-18 为例，其资源利用情况如表 2-1 所示。

表 2-1 资源占用

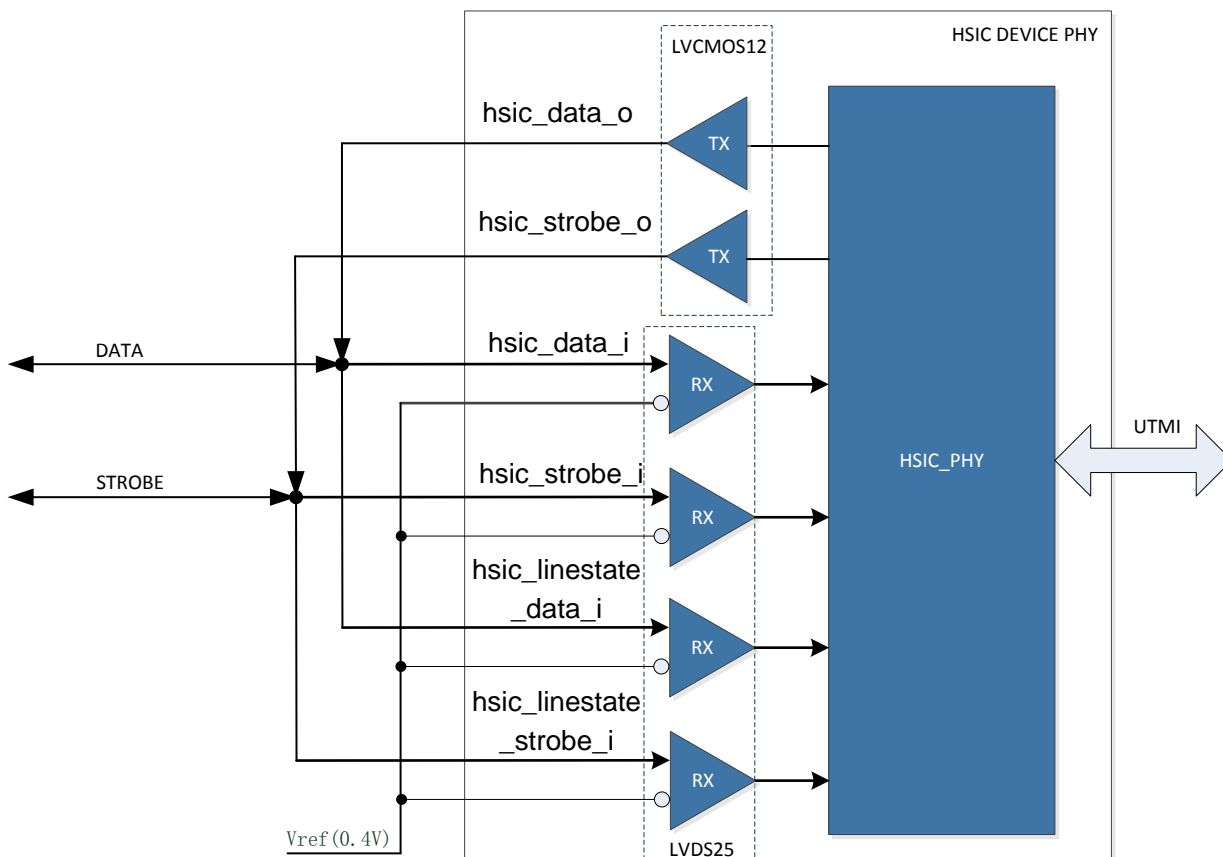
芯片型号	编程语言	LUT4	REG
GW2A-LV18PG484C8/I7	Verilog	682	150

3 功能描述

3.1 USB_HSIC_PHY 框图

USB HSIC PHY 实现框图如下，实现 HSIC 接口的 PHY 层功能，包括同步、位填充、EOP 和 NRZI 编码等。

图 3-1 结构框图



3.2 USB HSIC PHY IO 约束

1. IO 端口属性约束参考如下：

编号	信号端口名称	IO_TYPE	PULL_MODE	DRIVE
1	hsic_data_i	LVDS25	NONE	--
2	hsic_strobe_i	LVDS25	NONE	--
3	hsic_data_o	LVC MOS12	NONE	8
4	hsic_strobe_o	LVC MOS12	NONE	8
5	hsic_linestate_data_i	LVDS25	NONE	--
6	hsic_linestate_strobe_i	LVDS25	NONE	--

2. I/O 所在 Bank 的供电电压为 1.2V，VCCX 供电电压 2.5V。

4 信号定义

信号定义

Gowin USB HSIC PHY IP 信号定义如下表 4-1 所示。

表 4-1 信号定义

序号	名称	I/O	位宽	描述
1	fclk_i	input	1	输入时钟信号（240MHz）
2	clk60m_o ^[1]	output	1	输出时钟信号（60MHz）
3	rst_n_i	input	1	输入复位信号（低有效）
4	hsic_data_i	input	1	HSIC DATA 输入信号
5	hsic_strobe_i	input	1	HSIC STROBE 输入信号
6	hsic_data_o	output	1	HSIC DATA 输出信号
7	hsic_strobe_o	output	1	HSIC STROBE 输出信号
8	hsic_linestate_data_i	input	1	HSIC DATA 线状态输入信号
9	hsic_linestate_strobe_i	input	1	HSIC STROBE 线状态输入信号
10	utim_reset_i	input	1	USB 控制器输出的复位信号，高电平有效。
11	utim_dataout_i	input	8	8 bits 并行发送数据
12	utim_txvalid_i	input	1	发送数据有效指示，高电平有效。
13	utim_txready_o	output	1	发送数据准备完成信号，表示 PHY 可接收控制器侧的待发送数据。
14	utim_datain_o	output	8	8 bits 并行接收数据
15	utim_rxvalid_o	output	1	接收数据有效指示，高电平有效。
16	utim_rxactive_o	output	1	接收数据激活指示，表示 PHY 检测到了 SYNC 信号，并开始接收数据。
17	utim_rxerror_o	output	1	接收数据错误，高电平表示接收错误。

序号	名称	I/O	位宽	描述
18	utim_linestate_o	output	2	接收端的线路状态 : <ul style="list-style-type: none"> ● 2'b00: RESET 状态 ● 2'b01: CONNECT/RESUME 状态 ● 2'b10: IDLE/SUSPEND 状态 ● 2'b11: DATA RX&TX 状态
19	utim_opmode_i	input	2	操作模式选择信号: <ul style="list-style-type: none"> ● 2'b00: 正常操作 ● 2'b10: 不使能位填充和 NRZI 编码 ● 其他: Reserved
20	utim_termselect_i	input	1	终端控制选择, 固定输入 1'b0;
21	utim_xcvrselect_i	input	2	传输模式选择, 固定输入 2'b00, 仅工作在 HS 模式。

注!

[1] 所有 UTMI 接口信号均以此时钟为基准输出和输入

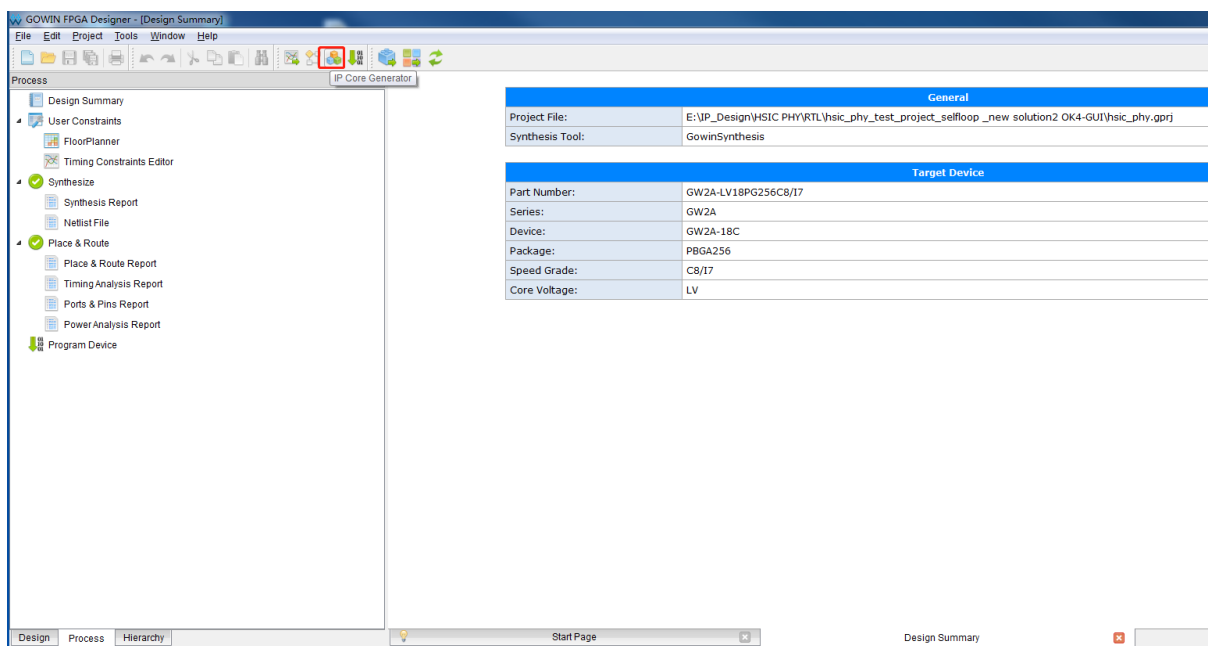
5 界面配置

在高云半导体云源®软件界面菜单栏 Tools 下，可启动 IP Core Generator 工具，完成调用并配置 USB HSIC PHY。

1. 打开 IP Core Generator

建立工程后，点击左上角“Tools”选项卡，下拉单击“IP Core Generator”选项，就可打开 IP 核产生工具，如图 5-1 所示。

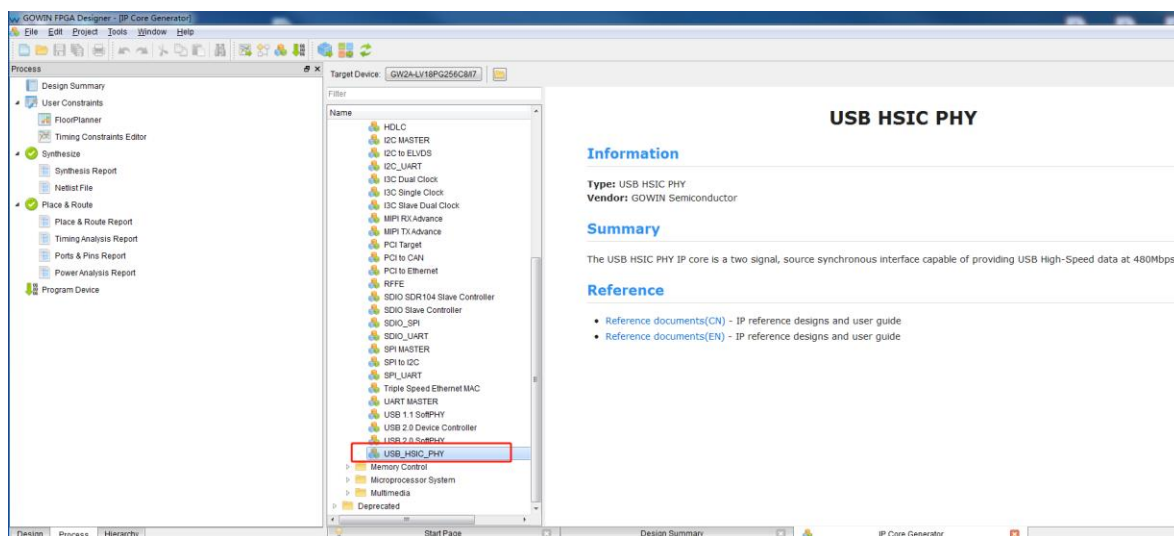
图 5-1 IP Core Generator 选项



2. 打开 USB HSIC PHY IP 核

选择“Soft IP Core > Interface and Interconnect > USB HSIC PHY IP”，如图 5-2 所示，双击即可打开配置界面。

图 5-2 打开 USB HSIC PHY 核



3. USB HSIC PHY IP 核配置界面

USB HSIC PHY IP 核配置界面如图 5-3 所示。配置界面左侧是 USB HSIC PHY IP 核的接口示意图，右侧为配置选项。

- 用户可通过修改 File Name，配置产生文件名称；
- 可通过修改 Module Name，配置产生的顶层模块名称；

图 5-3 USB HSIC PHY IP 配置界面

