

Gowin I2C to ELVDS IP

用户指南

IPUG793-1.0,2022-02-25

版权所有 © 2022 广东高云半导体科技股份有限公司

GO^{IN}INT (INTERNITION INTERNITION OF A CONTRICT OF A CONTRACT OF A CONTRACT. A CONTR

免责声明

本文档并未授予任何知识产权的许可,并未以明示或暗示,或以禁止发言或其它方式授予任何 知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外,高云半导体概不 承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或 暗示的担保,包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的 侵权责任等,均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整 性不承担任何法律或非法律责任,高云半导体保留修改文档中任何内容的权利,恕不另行通知。 高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2022/02/25	1.0	初始版本。

目录

目	录	i
图	目录	. ii
表	目录	iii
1	关于本手册	. 1
	1.1 手册内容	1
	1.2 相关文档	1
	1.3 术语、缩略语	1
	1.4 技术支持与反馈	1
2	功能简介	. 2
	2.1 概述	2
	2.2 特性	2
	2.3 资源占用	2
3	功能描述	. 3
	3.1 I ² C to ELVDS 结构框图	3
	3.2 I ² C to ELVDS 外部电路连接	3
4	信号定义	. 5
	4.1 信号定义	5
5	界面配置	. 6

目录

i

图目录

图 3-1 结构框图	3
图 3-2 外部电阻电路连接关系	4
图 5-1 IP Core Generator 选项	6
图 5-2 打开 I2C to ELVDS 核	7
图 5-3 I2C to ELVDS IP 配置界面	7

表目录

表 1-1 术语、缩略语	. 1
表 2-1 性能参考	. 2
表 4-1 信号定义	5

1 关于本手册

1.1 手册内容

Gowin I2C to ELVDS IP 用户指南主要内容包括功能简介、信号定义、功能描述、界面配置,用于帮助用户快速了解 Gowin I2C to ELVDS IP 的产品特性、特点及使用方法。

1.2 相关文档

通过登录高云半导体网站 <u>www.gowinsemi.com</u>可以下载、查看 FPGA 芯片和 EDA 开发工具相关文档。

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
IP	Intellectual Property	知识产权
l ² C	Inter-Integrated Circuit	两线式串行总线

1.4 技术支持与反馈

高云半导体提供全方位技术支持,在使用过程中如有任何疑问或建议,可 直接与公司联系:

网址: <u>www.gowinsemi.com</u>

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2_{功能简介}

2.1 概述

I²C (Inter-Integrated Circuit)总线是一种两线式串行总线,用于连接微控制器及其外围设备。

Gowin I2C to ELVDS IP 可实现 I²C 到 ELVDS 的 I²C 总线协议的背景升级,扩展了单端 I²C 总线传输到差分总线传输,提高传输距离和抗干扰能力。

2.2 特性

Gowin I2C to ELVDS IP 特性包括:

- 支持 I²C 主机和从机模式;
- 支持 I²C 最高传输速度达 1Mbps;
- 支持 I²C 7bit 和 10bit 地址模式;
- 支持 I²C 数据背景升级;
- 支持 ELVDS 工作电平 3.3V;
- 工作时钟频率 50MHz;
- 支持高云所有系列 FPGA 产品。

2.3 资源占用

以高云 GW1N-9 为例,其资源利用情况如表 2-1 所示。

表 2-1 性能参考

芯片型号	编程语言	LUT4资源	REG资源
GW1N-LV9LQ144C6/I5	Verilog	235	79



3.1 I²C to ELVDS 结构框图

I²C to ELVDS 实现框图如下,主要完成 I²C 端与差分 I²C 的数据背景升级 和桥接功能。

图 3-1 结构框图



3.2 I²C to ELVDS 外部电路连接

I²C to ELVDS 外部电阻电路连接如下:

图 3-2 外部电阻电路连接关系



注!

- IO 端口属性约束参考如下:
 - IO_dsda_p, IO_dsda_n: IO_TYPE=LVDS33E PULL_MODE=NONE DRIVE=8
 - IO_dscl_p, IO_dscl_n: IO_TYPE= LVDS33E PULL_MODE= NONE DRIVE=8
 - IO_i2c_sda: IO_TYPE=LVCMOS33 PULL_MODE= NONE DRIVE=8
 - IO_i2c_scl: IO_TYPE=LVCMOS33 PULL_MODE= NONE DRIVE=8
- I/O 所在 Bank 的供电电压为 3.3V。



4.1 信号定义

Gowin I2C to ELVDS IP 信号定义如下表 4-1 所示。

序号	信号名称	方向	位宽	描述	备注
1	I_clk	I	1	输入时钟信号(50MHz)	
2	I_rst_n	I	1	输入复位信号(低有效)	
3	IO_i2c_sda	I/O	1	I ² C 侧,sda 信号	
4	IO_i2c_scl	I/O	1	I ² C 侧, scl 信号	
5	IO_dsda_p	I/O	1	ELVDS 侧, dsda 差分信号(+)	
6	IO_dsda_n	I/O	1	ELVDS 侧, dsda 差分信号(-)	
7	IO_dscl_p	I/O	1	ELVDS 侧, dscl 差分信号(+)	
8	IO_dscl_n	I/O	1	ELVDS 侧, dscl 差分信号(-)	

表 4-1 信号定义



在高云云源软件界面菜单栏 Tools 下,可启动 IP Core Generator 工具, 完成调用并配置 I²C to ELVDS。

1. 打开 IP Core Generator

建立工程后,点击左上角"Tools"选项卡,下拉单击"IP Core Generator" 选项,就可打开 IP 核产生工具,如图 5-1 所示。

图 5-1 IP Core Generator 选项

COMBLEDGA Devices

File Edit Project	Tools Window Help						- <i>a</i> ×
🗋 📂 🖾 🗞 🗐	💡 Start Page						
Design	Cumplify Dep	8 ×					
d Change anningt	Gravin Analysis Oscillarooma	as project (max project and			General		
Ipga_project	Gowin Analyzer Oscilloscope	iga_project(tpga_project.gpr)	Project File:	C:\Users\Administrator\Documents\f	pga_project/(pga_project.gpr)		
Con Linger	Schematic Viewer		Synthesis Teol:	GowinGynthesis			
	5 IP Core Generator				Tarast Device		
	Search Programmer		Part Number:	Giv INSt-LV4CN364PC7.06			
	FloorPlanner		Series	GATING			
	Timing Constraints Editor		Device:	GW1NSR-4C			
	@ Ontions		Package:	MDGA64P			
	Chuona.		Speed Grade:	C7/16			
			Core Voltage:	LV			
Design Proce	is Hierarchy		Start Page		Design Summary	8	
Console							0 ×
%							
Concolo Mars	100						
console mesa	ayr						

2. 打开 I2C to ELVDS IP 核

选择 "Soft IP Core> Interface and Interconnect>I2C_to_ELVDS IP",如 图 5-2 所示,双击即可打开配置界面。

图 5-2 打开 I2C to ELVDS 核

Target Device: GW1N-LV9LQ144C6/I5		
Filter		
Name	Ve ^	
D SPMI		12C to ELVDS
User Flash		
🔺 🚞 Soft IP Core		Information
BackGround Configuration		
DSP and Mathematics		Type: 12C to ELVDS
Interface and Interconnect		Vendor: GOWIN Seniconductor
🐣 AHB Bus Arbiter	1.0	
👶 CAN	1.1	0
🔥 HDLC	1.0	Summary
12C MASTER	1.0	
8 I2C to ELVDS	1.0	The I2C to ELVDS IP core is a Fast-mode Plus I2C-bus buffer that extends the normal single-ended I2C-bus through electrically noisy
N I2C_UART	1.1	environments using ELVDS physical layer, which is transparent to the I2C-bus protocol layer. It consists of two single-ended to
i3C Dual Clock	1.0	differential driver channels for the SCL (serial clock), SDA (serial data).
13C Single Clock	1.0	
MIPI RX Advance	2.	Reference
MIPI TX Advance	1.1	Reference
PCI Target	1.1	
PCI to CAN	1.0	Reference documents(CN) - 1P reference designs and user guide
PCI to Ethernet	1.0	Reference documents(EN) - IP reference designs and user guide
REFE ODIO ODD404 Olava Oraballas	1.0	
SDIO SDR 104 Slave Controller	14	
	17	
	10	
SPI MASTER	10	
SPI to I2C	1.(-	
•	•	
💡 Start Page	×	Design Summary 🔝 🐁 IP Core Generator 😢

3. I2C to ELVDS IP 核配置界面

I2C to ELVDS IP 核配置界面如图 5-3 所示。配置界面左侧是 I2C to ELVDS IP 核的接口示意图,右侧为配置选项。

- 用户可通过修改 File Name, 配置产生文件名称;
- 可通过修改 Module Name, 配置产生的顶层模块名称。

图 5-3 I2C to ELVDS IP 配置界面

🐝 IP Customization	8 ×	
I2C to ELVDS		
	General	
	Device: GW1N-9C Part Number: GW1N-LV9LQ144C6/I5	
	Create In: dl2C\i2c_di2c_bridge_test2_DK-START-GW1N4-GUI\src\i2c_to_elvds	
	File Name: i2c_to_elvds Module Name: I2C_to_ELVDS_Top	
	Language: Verilog Synthesis Tool: GowinSynthesis	
10_12c_sda 🔸	Ontions	
IO_RO_601	Generation Config]
IO_deda_0 🔸	✓ Disable I/O Insertion	
IO_deda_n ◀►		
-> L_rst_n		
IO_decl_n		
	OK Cancel]

