



Gowin Scaler IP

用户指南

IPUG903-2.0,2020-6-18

版权所有©2020 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2019/9/17	1.0	初始版本。
2019/12/20	1.1	文档更新，参考设计更新。
2020/6/18	2.0	<ul style="list-style-type: none">● 支持器件更新；● 端口说明更新；● 参数说明更新。

目录

目录	1
图目录	3
表目录	2
1 关于本手册	2
1.1 手册内容	2
1.2 相关文档	2
1.3 术语、缩略语	2
1.4 技术支持与反馈	2
2 概述	3
2.1 概述	3
2.2 主要特征	4
2.3 资源利用	4
3 功能描述	5
3.1 系统框图	5
3.2 实现框图	6
3.3 工作原理	7
3.3.1 Live 模式	8
3.3.2 Memory 模式	9
4 端口列表	10
4.1 Scaler 端口	10
5 参数配置	13
5.1 Scaler 参数	13
6 时序说明	15
6.1 Scaler 时序	15
7 界面配置	17
7.1 Scaler IP 配置	17

8 参考设计	21
8.1 设计实例应用一	21
8.2 设计实例应用二	22
9 文件交付	24
9.1 文档	24
9.2 设计源代码（加密）	24
9.3 参考设计	24

图目录

图 3-1 系统框图.....	5
图 3-2 实现框图(Live mode).....	6
图 3-3 实现框图(Memory mode)	6
图 3-4 Live 模式示意图.....	8
图 3-5 Memory 模式示意图.....	9
图 4-1 Scaler IO 端口示意图	10
图 6-1 l_param_update 端口时序图.....	15
图 6-2 Live 模式时序示意图	15
图 6-3 Memory 模式时序示意图.....	16
图 7-1 打开 IP Core Generator.....	17
图 7-2 打开 Scaler IP 核.....	18
图 7-3 Scaler IP 核接口示意图	18
图 7-4 Help 文档	19
图 7-5 基本信息配置界面	19
图 7-6 Options 选项卡	20
图 8-1 参考设计实例一基本结构框图.....	21
图 8-2 参考设计实例二基本结构框图.....	22

表目录

表 1-1 术语、缩略语	2
表 2-1 Gowin Scaler IP	3
表 2-2 资源利用情况	4
表 4-1 Gowin Scaler IP 的端口列表	11
表 5-1 全局参数	13
表 9-1 文档列表	24
表 9-2 设计源代码列表	24
表 9-3 scaler_example_design_live src 文件夹内容列表	24
表 9-4 scaler_example_design_memory src 文件夹内容列表	25

1 关于本手册

1.1 手册内容

Gowin Scaler IP 用户指南主要内容包括功能简介、端口说明、时序说明、配置调用、参考设计等，旨在帮助用户快速了解 Gowin Scaler IP 的特性及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. [DS100, GW1N 系列 FPGA 产品数据手册](#)
2. [DS117, GW1NR 系列 FPGA 产品数据手册](#)
3. [DS102, GW2A 系列 FPGA 产品数据手册](#)
4. [DS226, GW2AR 系列 FPGA 产品数据手册](#)
5. [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
SRAM	Static Random Access Memory	静态随机存取存储器
VESA	Video Electronics Standards Association	视频电子标准协会
VS	Vertical Sync	垂直同步
HS	Horizontal Sync	水平同步
DE	Data Enable	数据使能
IP	Intellectual Property	知识产权
RGB	R(Red) G(Green) B(Blue)	红绿蓝颜色空间

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 概述

Gowin Scaler IP 用于把输入视频图像从一种分辨率 $X_{in} * Y_{in}$ 转换到另一种分辨率 $X_{out} * Y_{out}$ 输出。分辨率参数可在 IP 配置界面预先设置，也可以动态实时配置，另外 Scaler IP 所支持的插值算法包括最近邻插值，双线性插值，双立方插值。

Gowin Scaler IP 支持实时视频信号输入和存储器接口视频信号输入，输入输出数据接口均为并行视频信号。

表 2-1 Gowin Scaler IP

Gowin Scaler IP	
芯片支持	<ul style="list-style-type: none"> ● GW1N 系列 FPGA 产品：GW1N-9、GW1N-9C ● GW1NR 系列 FPGA 产品：GW1NR-9、GW1NR-9C ● GW2A 系列 FPGA 产品：ALL ● GW2AR 系列 FPGA 产品：ALL ● GW2ANR 系列 FPGA 产品：ALL
逻辑资源	请参见表 2-2。
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	Synplify_Pro
应用软件	GowinYunYuan

2.2 主要特征

- 支持单色，YCbCr422，YCbCr444 和 RGB 视频格式；
- 支持并行输入；
- 支持缩放参数动态配置；
- 支持 Nearest neighbor，Bilinear，Bicubic 插值算法；
- 垂直水平方向均支持 4,6 taps(for Bicubic only)；
- 垂直水平方向系数均支持 8,16,32 相位(for Bicubic only)；
- 图像数据支持 8,10,12 位宽；
- Filter 系数数据支持 9~16 位宽；
- 支持输入输出分辨率范围 32x32~2048x2048；

2.3 资源利用

Gowin Scaler IP 通过 Verilog 语言实现，应用于高云 GW1N、GW2A 等系列 FPGA，其资源利用情况如表 2-2 所示，其中 GW1N 仅支持最近邻和双线性插值算法。有关在其他高云 FPGA 上的应用验证，请关注后期发布信息。

表 2-2 资源利用情况

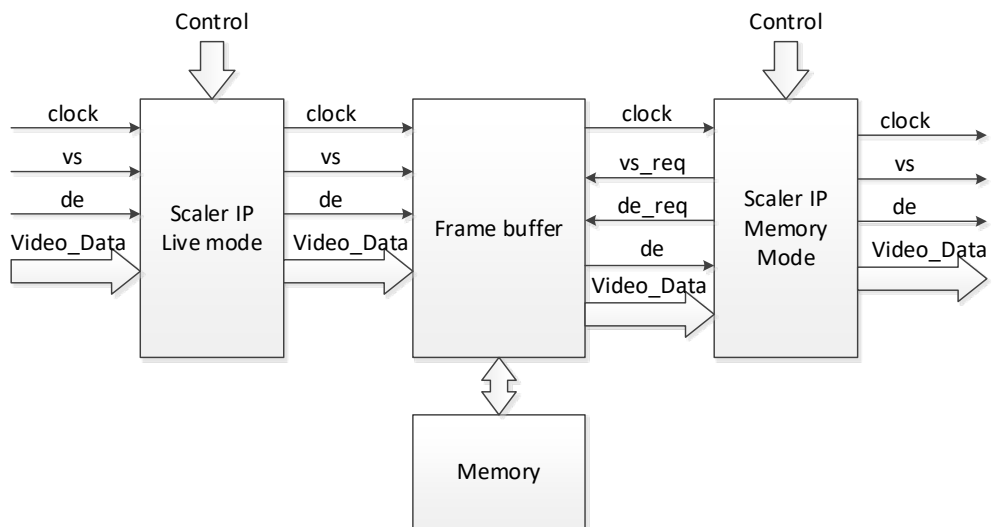
器件	GW1N-9	GW1N-9	GW2A-18	GW2A-18	GW2A-18
算法	Nearest Neighbor	Bilinear	Bilinear	Bicubic	Bicubic
分辨率	800x600 to 1280x720	800x600 to 1280x720	800x600 to 1280x720	800x600 to 1280x720	800x600 to 1280x720
视频格式	YC444	YC444	YC444	YC444	YC444
抽头数	2x2	2x2	2x2	4x4	6x6
数据位宽	8	8	8	8	8
系数位宽	16	16	16	16	16
Resisters	1152(17%)	1163(17%)	926(5%)	1774(11%)	2104(13%)
LUTs	1039(12%)	949(10%)	735(3%)	1478(7%)	2028(9%)
B-SRAMs	18(69%)	18(69%)	18(39%)	30(65%)	30(65%)
MULT18x18	0(0/20)	12(12/20)	12(12/48)	24(24/48)	36(36/48)

3 功能描述

3.1 系统框图

Gowin Scaler IP 用于接收实时视频信号进行缩放(Live mode), 或接收来自存储器的视频数据进行缩放(Memory mode), 输入输出数据接口均为视频标准并行信号, 控制接口为缩放参数信号。

图 3-1 系统框图



3.2 实现框图

图 3-2 实现框图(Live mode)

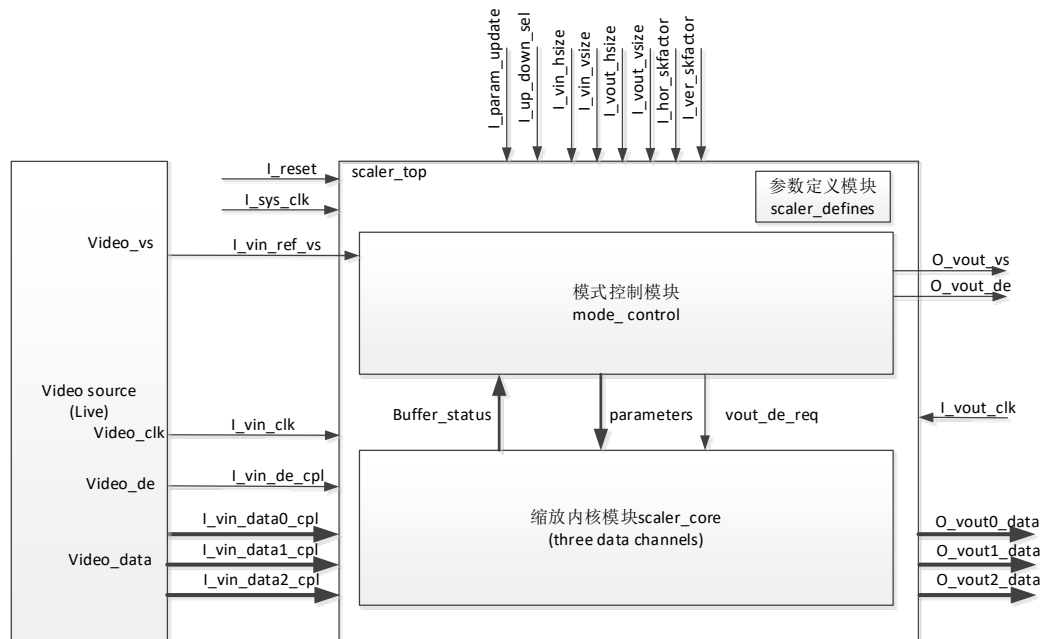
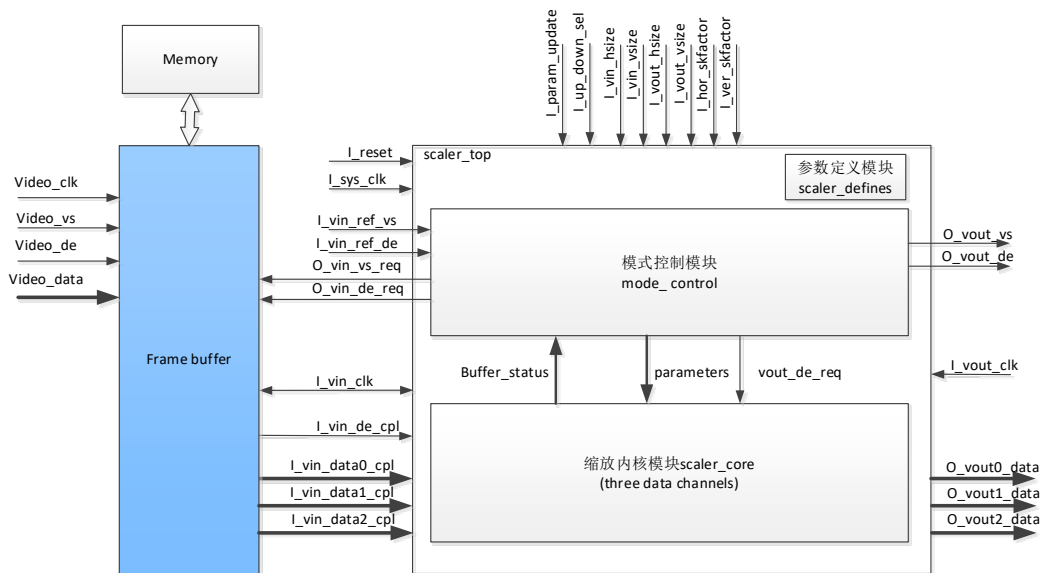


图 3-3 实现框图(Memory mode)



Scaler IP 包括参数定义模块，模式控制模块和缩放内核模块三大部分，其中缩放内核模块又包括垂直计算子模块，水平计算子模块，行计算控制状态机子模块，输出行缓冲子模块，通过模块间的相互协作实现视频图像缩放功能。

1. 参数定义模块

定义了 Scaler 工作需要配置的参数，包括视频格式、数据源、数据位宽，

输入输出视频分辨率，是否允许动态配置等。

2. 模式控制模块

根据输入视频源类型，定义的参数，以及输入输出数据缓存状态，配置输入和输出的帧同步和数据使能信号。

3. 缩放内核模块

根据输入输出视频分辨率参数，完成图像实时缩放操作并输出，同时输出数据缓存的空满状态。此模块内部又分为垂直计算子模块，水平计算子模块，行计算控制状态机子模块，输出行缓存子模块 4 个子模块。

- a) 垂直计算子模块完成的功能包括垂直坐标转换、垂直计算系数产生、垂直计算数据产生、垂直乘加处理等；
- b) 水平计算子模块完成的功能包括水平坐标转换、水平计算系数产生、水平计算数据产生、水平乘加处理等；
- c) 行计算控制状态机子模块根据各模块的反馈的状态信息产生行计算使能等信号，控制垂直计算模块和水平计算模块进行计算。
- d) 输出行缓存子模块会将最终计算的数据缓存到行缓存中，并根据数据输出请求输出缩放后数据。

3.3 工作原理

Scaler IP 的工作原理相对简单，依据 VESA 视频标准，带 VS, DE, DATA 的并行视频数据输入到 Scaler IP 的输入行缓存，根据输入输出图像分辨率及缩放因子参数，分别计算目标图像各个像素点在原图像中映射的位置。其中(x,y)为目标图像的像素坐标，(x',y')为原图像的像素坐标，ver_skfactor,hor_skfactor 分别为垂直和水平方向缩放因子，那么计算公式如下。

$$x' = x * \text{hor_skfactor}$$

$$y' = y * \text{ver_skfactor}$$

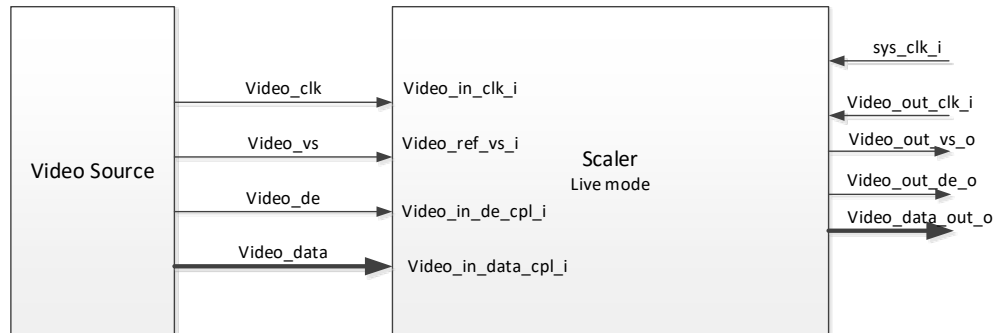
然后分别经过垂直方向插值运算，以及水平方向插值运算，最终经过计算后的目标图像的像素点输出到输出行缓存，然后按照带 VS, DE, DATA 的并行视频数据格式输出。

根据输入视频格式，设置缩放内核数量和处理信号类型。

根据输入信号源类型，Scaler IP 可以设置为两种模式，Live 模式和 Memory 模式。

3.3.1 Live 模式

图 3-4 Live 模式示意图



Live 模式下最低输出像素时钟和系统工作时钟频率估算公式如下。

$$\text{Minf}_{\text{out}} = (\text{OutWidth} * \text{OutHeight}) / (\text{InHeight} / f_{\text{hs}}) * 1.1$$

注！

- f_{hs} 表示输入视频行频
- “1.1” 表示增加 10% 余量

$$\text{Minf}_{\text{sys}} = 1.05 * f_{\text{in}} * (\text{MaxWidthTotal} * \text{SR}_{\text{ver}}) / (\text{InWidthTotal} + \text{InHblank})$$

注！

- SR_{ver} 表示 $\text{round_up}(\text{OutHeight} / \text{InHeight})$ ，垂直缩放倍数取整。
- MaxWidthTotal 表示输入或输出水平总数大者

示例 1：放大 640x480@60Hz 到 1920x1080@60Hz

$$f_{\text{hs}} = 31.5\text{KHz}, f_{\text{in}} = 27\text{MHz}, \text{SR}_{\text{ver}} = \text{round_up}(1080/480) = 3$$

$$\text{InWidthTotal} + \text{InHblank} = 857 + 217 = 1074$$

$$\text{MaxWidthTotal} = 2200$$

$$\text{Minf}_{\text{out}} = (1920 * 1080) / (480 / 31500) * 1.1 = 149.69\text{MHz}$$

$$\text{Minf}_{\text{sys}} = 1.05 * 27\text{MHz} * (2200 * 3) / 1074 = 174.22\text{MHz}$$

示例 2：缩小 1920x1080@60Hz 到 1280x720@60Hz

$$f_{\text{hs}} = 67.5\text{KHz}, f_{\text{in}} = 148.5\text{MHz}, \text{SR}_{\text{ver}} = \text{round_up}(720/1080) = 1$$

$$\text{InWidthTotal} + \text{InHblank} = 2200 + 280 = 2480$$

$$\text{MaxWidthTotal} = 2200$$

$$\text{Minf}_{\text{out}} = (1280 * 720) / (1080 / 67500) * 1.1 = 63.36\text{MHz}$$

$$\text{Minf}_{\text{sys}} = 1.05 * 148.5\text{MHz} * (2200 * 1) / 2480 = 138.32\text{MHz}$$

另外系统时钟频率与输入视频时钟频率的简单大致评估方法：

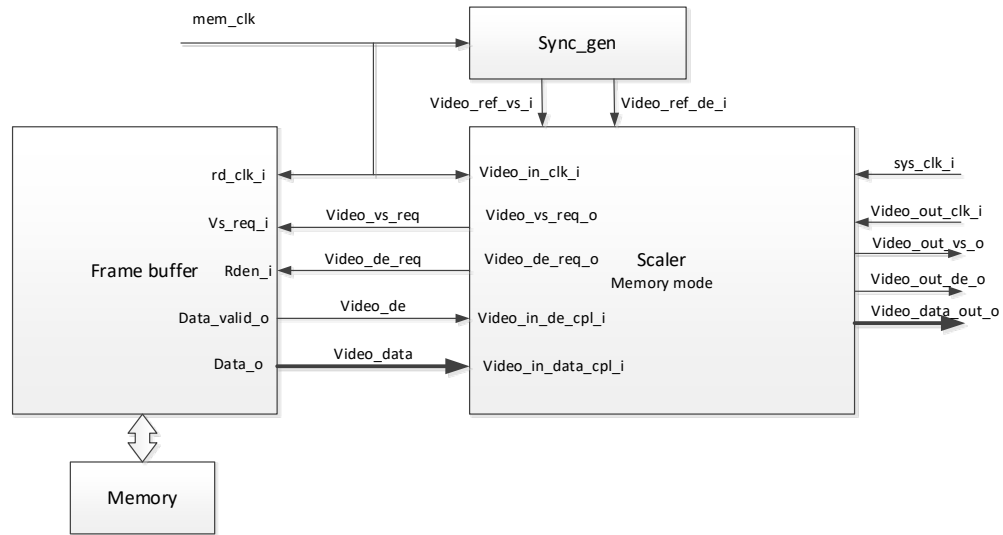
$$\frac{\text{sys_clk}}{\text{vin_clk}} > sr(\text{缩放倍数})$$

因为缩小时， $sr < 1$ ，所以 live 模式做缩小处理时，sys_clk, out_clk 频率只需

略大于输入时钟即可，甚至使用输入时钟都可以。但 live 模式做放大处理时，特别是放大倍数较高时，对 sys_clk 要求较高，不推荐使用这种模式。

3.3.2 Memory 模式

图 3-5 Memory 模式示意图



Memory 模式下最低输入像素时钟，输出像素时钟频率估算公式如下，系统工作时钟取两者大者。

$$f_{in} \geq H_{intotal} * V_{intotal} * f_{invs}$$

$$f_{out} \geq H_{outtotal} * V_{outtotal} * f_{outvs}$$

此时钟频率即为 VESA 标准中各分辨率像素时钟频率，查 VESA 标准可得。

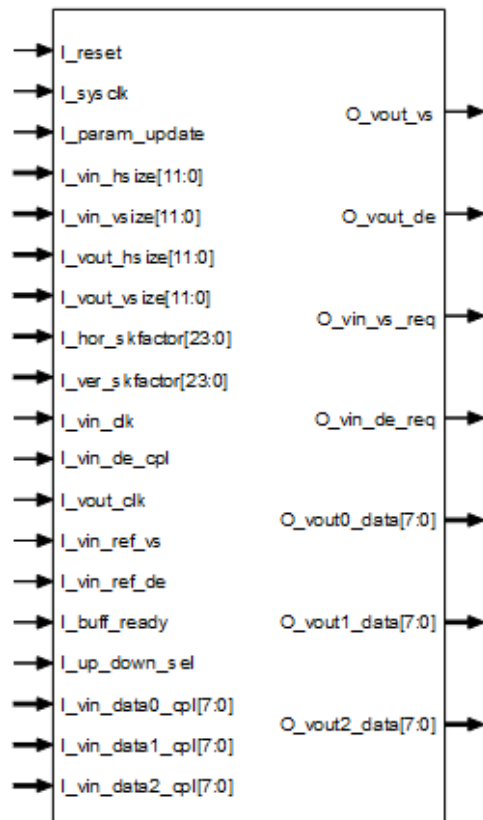
因为 Memory 模式系统时钟只要取输入输出像素频率较大者，并大于此频率即可，因此不会对系统时钟要求过高。所以 Memory 模式适合于做放大处理。

4 端口列表

4.1 Scaler 端口

Gowin Scaler IP 的 IO 端口如图 4-1 所示。

图 4-1 Scaler IO 端口示意图



根据配置参数不同，端口会略有不同。

Gowin Scaler IP 的 IO 端口详细描述如表 4-1 所示。

表 4-1 Gowin Scaler IP 的端口列表

序号	信号名称	方向	描述	备注
1	l_reset	I	复位信号，高有效	1、所有信号输入输出方向均以 Scaler IP 为参考；
2	l_sysclk	I	系统工作时钟	
3	l_param_update	I	动态控制启用时此信号有效。 参数更新使能信号，高有效，要求至少持续 200ns	
4	l_vin_hsize	I	动态控制启用时此信号有效。 输入图像水平分辨率	
5	l_vin_vsize	I	动态控制启用时此信号有效。 输入图像垂直分辨率	
6	l_vout_hsize	I	动态控制启用时此信号有效。 输出图像水平分辨率	
7	l_vout_vsize	I	动态控制启用时此信号有效。 输出图像垂直分辨率	
8	l_hor_skfactor	I	动态控制启用时此信号有效。 水平缩放因子，无符号定点数，高 8bit 表示整数，低 16bit 表示小数 计算公式=(输入水平分辨率/输出水平分辨率)*(2^16)	
9	l_ver_skfactor	I	动态控制启用时此信号有效。 垂直缩放因子，无符号定点数，高 8bit 表示整数，低 16bit 表示小数 计算公式=(输入垂直分辨率/输出垂直分辨率)*(2^16)	
10	l_vin_clk	I	视频输入像素时钟	
11	l_vin_ref_vs	I	输入参考场同步 vs 信号 选择 Live mode 时，此信号无效 选择 Memory mode 时，与同步时序产生模块 vs 信号连接	
12	l_vin_ref_de	I	输入参考数据使能 de 信号 选择 Live mode 时，此信号无效 选择 Memory mode 时，与同步时序产生模块 de 信号连接	
13	O_vin_vs_req	O	输出场同步 vs 请求信号 选择 Live mode 时，此信号无效 选择 Memory mode 时，与帧缓存模块 vs 请求信号连接	
14	O_vin_de_req	O	输出数据使能 de 请求信号 选择 Live mode 时，此信号无效 选择 Memory mode 时，与帧缓存模块 de 请求信号连接	
15	l_buff_ready	I	前端输入 buff 有效信号	

序号	信号名称	方向	描述	备注
			选择 Live mode 时，此信号无效 选择 Memory mode 时，与帧缓存 fifo 状态信号连接	
16	I_up_down_sel	I	动态控制启用时，且选择 Memory mode 时，此信号有效。 放大或缩小选择信号 0: 表示放大 1: 表示缩小	
17	I_vin_vs_cpl	I	输入场同步 vs 信号 选择 Live mode 时，与输入视频 vs 信号连接 选择 Memory mode 时，此信号无效	
18	I_vin_de_cpl	I	实际输入数据使能 de 信号 选择 Live mode 时，与输入视频 de 信号连接 选择 Memory mode 时，与帧缓存模块输出 de 信号连接	
19	I_vin_data0_cpl	I	通道 0 实际输入视频数据信号 选择 Live mode 时，与输入视频 data 信号连接 选择 Memory mode 时，与帧缓存模块输出 data 信号连接	
20	I_vin_data1_cpl	I	通道 1 实际输入视频数据信号 选择 Live mode 时，与输入视频 data 信号连接 选择 Memory mode 时，与帧缓存模块输出 data 信号连接	
21	I_vin_data2_cpl	I	通道 2 实际输入视频数据信号 选择 Live mode 时，与输入视频 data 信号连接 选择 Memory mode 时，与帧缓存模块输出 data 信号连接	
22	I_vout_clk	I	视频输出像素时钟	
23	O_vout_vs	O	输出视频场同步 vs 信号	
24	O_vout_de	O	输出视频数据使能 de 信号	
25	O_vout0_data	O	通道 0 输出视频数据 data 信号	
26	O_vout1_data	O	通道 1 输出视频数据 data 信号	
27	O_vout2_data	O	通道 2 输出视频数据 data 信号	

5 参数配置

5.1 Scaler 参数

表 5-1 全局参数

序号	参数名称	允许范围	默认值	描述
1	Data Width	8, 10, 12	8	输入输出图像像素单个分量数据总线宽度
2	Coefficient Width	9~16	16	插值计算系数数据总线宽度 最高位 1bit 符号位, 1bit 整数位, 其余为小数位
3	Parameter Dynamic Control	Yes, No	No	参数动态配置使能
3	Input Frame Width	32~2048	1024	静态输入图像水平分辨率 Parameter Dynamic Control 为 No 时有效
4	Input Frame Height	32~2048	768	静态输入图像垂直分辨率 Parameter Dynamic Control 为 No 时有效
5	Output Frame Width	32~2048	1024	静态输出图像水平分辨率 Parameter Dynamic Control 为 No 时有效
6	Output Frame Height	32~2048	768	静态输出图像垂直分辨率 Parameter Dynamic Control 为 No 时有效
7	Video Format	Single, YC422, YC444	YC444	视频格式选择 Single: 表示单个颜色分量; YC422: 表示 YCbCr 4:2:2 格式, 输入 Y 分量和 Cb/Cr 分量; YC444: 表示 YCbCr 4:4:4 格式, 输入 Y 分量, Cb 分量, Cr 分量。 RGB 格式, 也选择 YC444;

序号	参数名称	允许范围	默认值	描述
8	Data Source	Live, Memory	Live	视频源类型选择 Live: 表示直接并行视频数据输入; Memory: 表示从 Memory 中读取 视频数据输入;
9	Core Algorithm	Nearest neighbor, Bilinear, Bicubic	Bicubic	缩放内核算法选择 (GW1N 和 GW1NR 系列只可选择 Nearest neighbor, Bilinear 算法)
10	Filter Taps	2, 4, 6	4	Filter 系数抽头(Bicubic 算法可选 择 4, 6; Nearest neighbor, Bilinear 算法只可选择 2)
11	Filter Phases	8, 16, 32	16	Filter 系数相位(for Bicubic only)

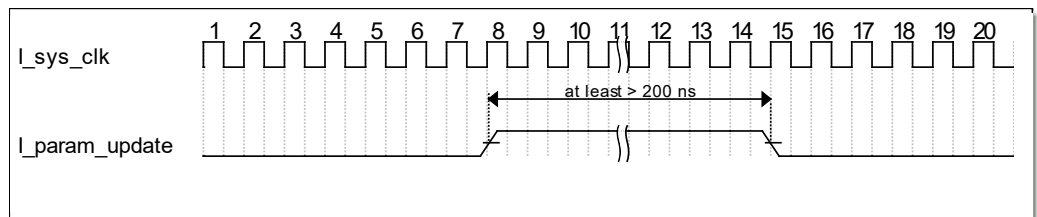
6 时序说明

本节介绍 Gowin Scaler IP 的时序情况。

6.1 Scaler 时序

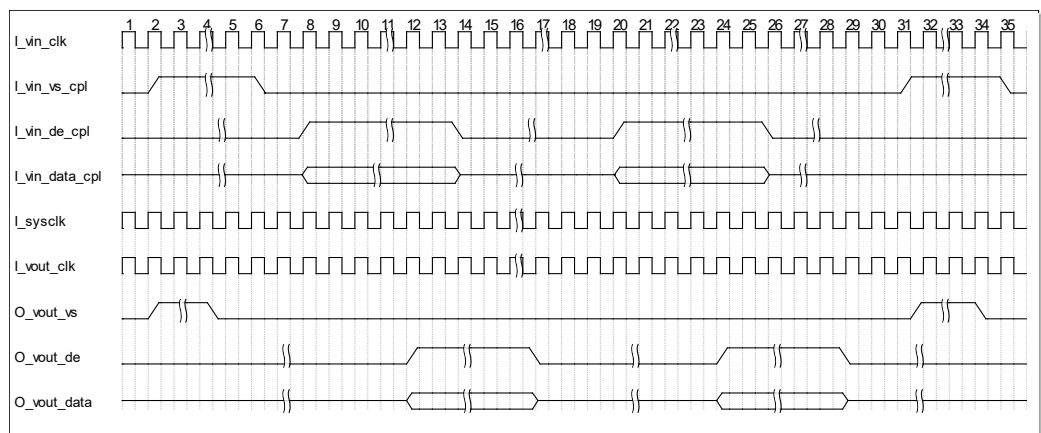
I_param_update 端口时序要求如图 6-1 所示。

图 6-1 I_param_update 端口时序图



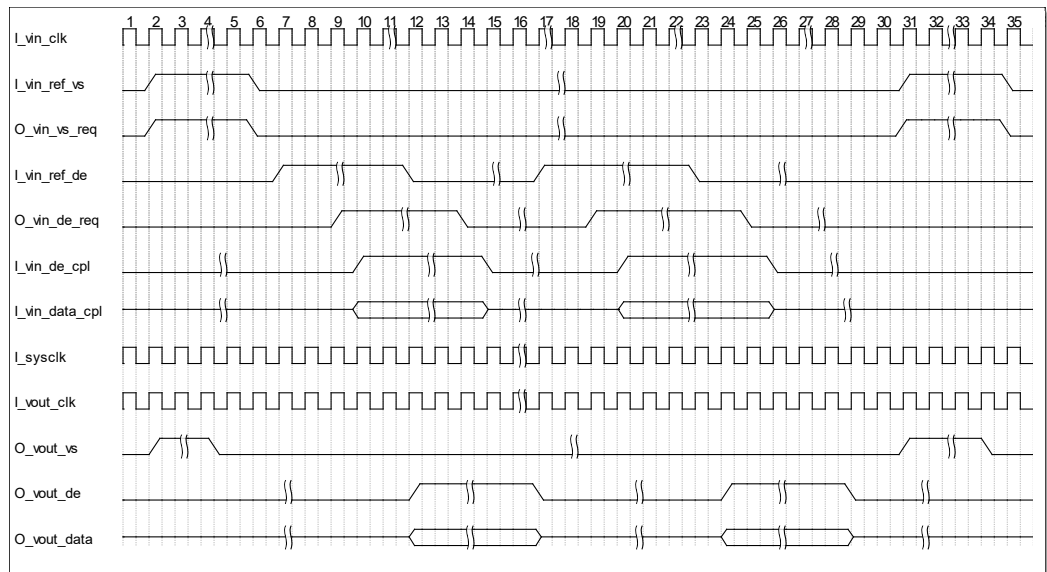
Live 模式时序示意图如图 6-2 所示。

图 6-2 Live 模式时序示意图



Memory 模式时序示意图如图 6-3 所示。

图 6-3 Memory 模式时序示意图



7 界面配置

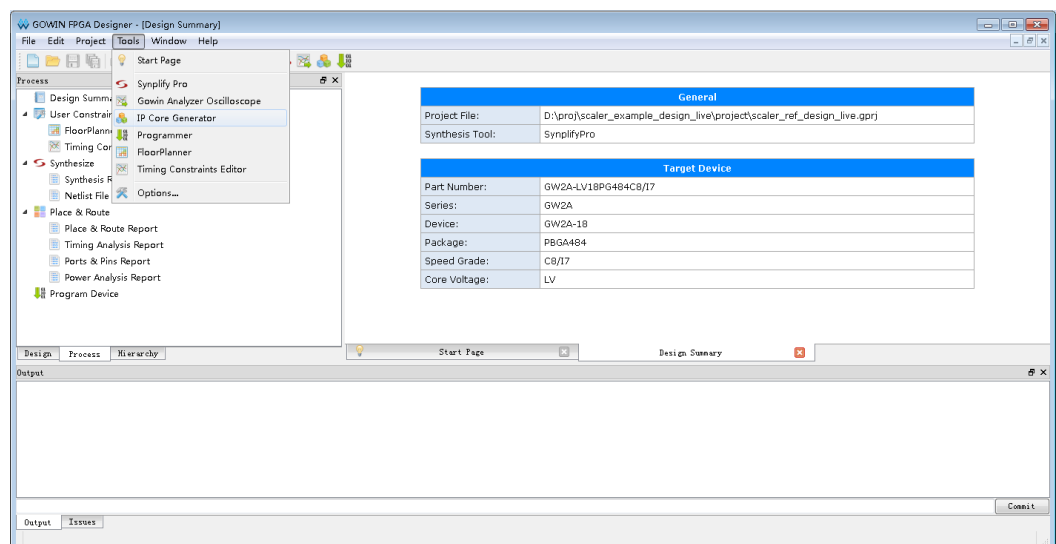
用户可以使用 IDE 中的 IP 内核生成器工具调用和配置高云 Scaler IP

7.1 Scaler IP 配置

1. 打开 IP Core Generator

用户建立工程后,单击左上角 Tools 选项卡,下拉单击 IP Core Generator 选项,即可打开 Gowin IP Core Generator,如图 7-1 所示。

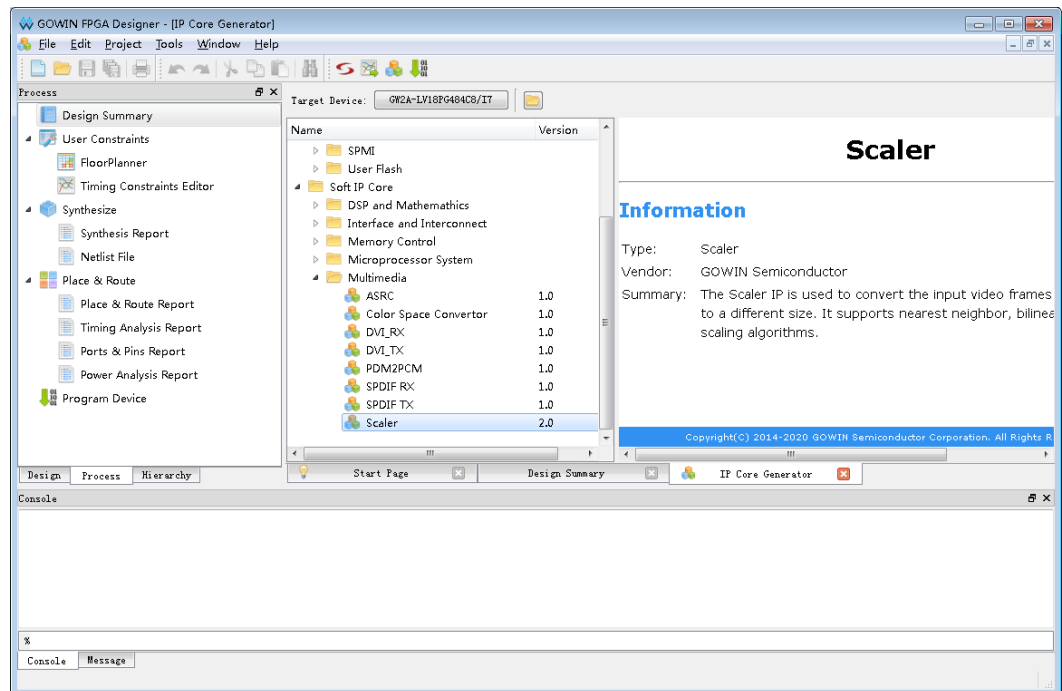
图 7-1 打开 IP Core Generator



2. 打开 Scaler IP 核

单击 Multimedia 选项,双击 Scaler,打开 Scaler IP 核的配置界面,如图 7-2 所示。

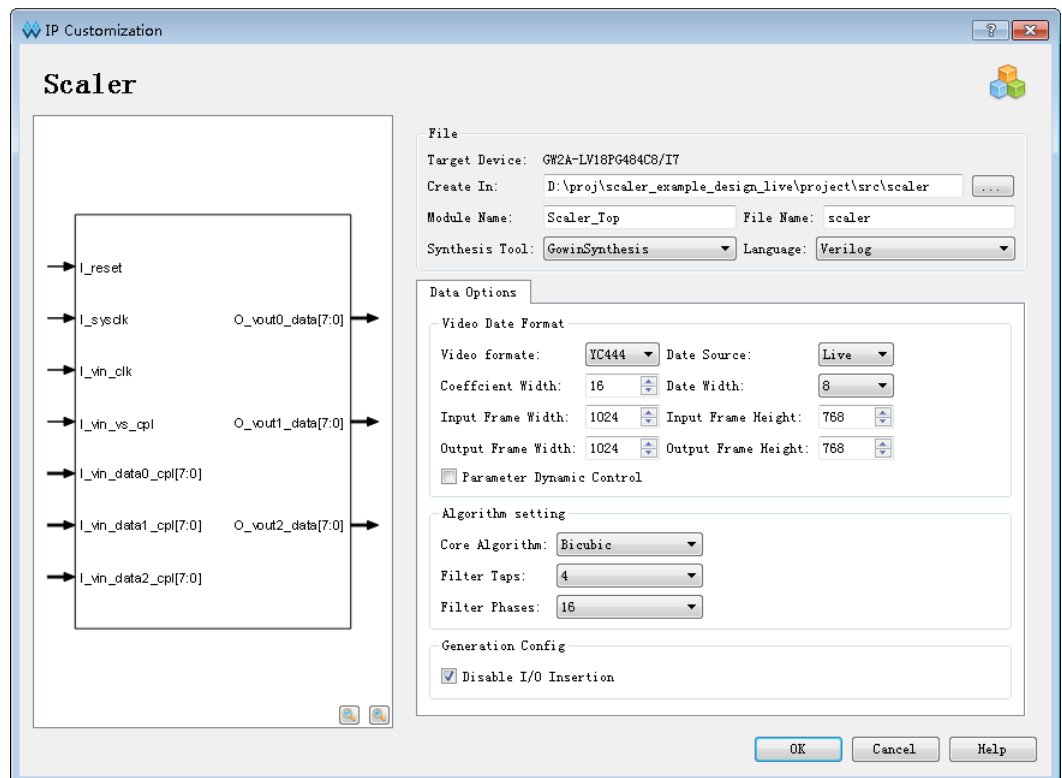
图 7-2 打开 Scaler IP 核



3. Scaler IP 核端口界面

配置界面左侧为 Scaler IP 核的接口示意图，如 7-3 所示。

图 7-3 Scaler IP 核接口示意图



4. 打开 Help 文档

可以单击位于图 7-3 右下角的 **Help** 按钮可以查看配置界面中各个选项的简单英文介绍，方便用户快速完成对 IP 核的配置。**Help** 文档选项介绍顺序和界面顺序一致，如图 7-4 所示。

图 7-4 Help 文档

Scaler	
Information	
Type:	Scaler
Vendor:	GOWIN Semiconductor
Summary:	The Scaler IP is used to convert the input video frames from one size to a different size. It supports nearest neighbor, bilinear, and bicubic scaling algorithms.
Options	
Option	Description
Video Format	The format of video stream. YC444:YCbCr 4:4:4 or RGB YC422:YCbCr 4:2:2 Single:Single color
Data Source	Live:Stand format video signal to be driven directly to the IP. Memory:The video signal to be accessed from external memory block.
Coefficient Width	The bit width of the coefficients.
Data Width	The bit width of the video pixel values.
Parameter Dynamic Control	The choice of whether the core support dynamic scaling.
Input Frame Width	The input video frame width for fixed scaling.
Input Frame Height	The input video frame height for fixed scaling.
Output Frame Width	The output video frame width for fixed scaling.
Output Frame Height	The output video frame height for fixed scaling.
Core Algorithm	The scaling algorithm of the core. Nearest neighbor:Nearest neighbor algorithm Bilinear:Bilinear algorithm Bicubic:Bicubic algorithm
Filter Taps	The number of filter taps.
Filter Phases	The number of filter phases.

5. 配置基本信息

在配置界面的上部分是工程基本信息配置界面，本文芯片型号选择 **GW2A-18** 为例，封装选择 **PBGA484**。**Module Name** 选项后面是工程产生后顶层文件的名称，默认为“**Scaler_Top**”，用户可自行修改。“**File Name**”是 IP 核文件产生的文件夹，存放 **Scaler IP** 核所需文件，默认为“**scaler**”，用户可自行修改路径。**Create In** 选项是 IP 核文件夹产生路径，默认为“**\工程路径\src\scaler**”，用户可自行修改路径。

图 7-5 基本信息配置界面

The screenshot shows the 'File' configuration section of the Scaler IP tool. It includes the following fields and values:

- Target Device:** GW2A-LV18PG484C8/I7
- Create In:** D:\proj\scaler_example_design_live\project\src\scaler (with a browse button)
- Module Name:** Scaler_Top
- File Name:** scaler
- Synthesis Tool:** GowinSynthesis (dropdown menu)
- Language:** Verilog (dropdown menu)

6. Data Options 选项卡

在 Data Options 选项卡中，用户需要配置 Scaler 运算所使用的算法，数据位宽，分辨率等参数信息。

图 7-6 Options 选项卡

Data Options

Video Date Format

Video formate: YC444 Date Source: Live

Coefficient Width: 16 Date Width: 8

Input Frame Width: 1024 Input Frame Height: 768

Output Frame Width: 1024 Output Frame Height: 768

Parameter Dynamic Control

Algorithm setting

Core Algorithm: Bicubic

Filter Taps: 4

Filter Phases: 16

Generation Config

Disable I/O Insertion

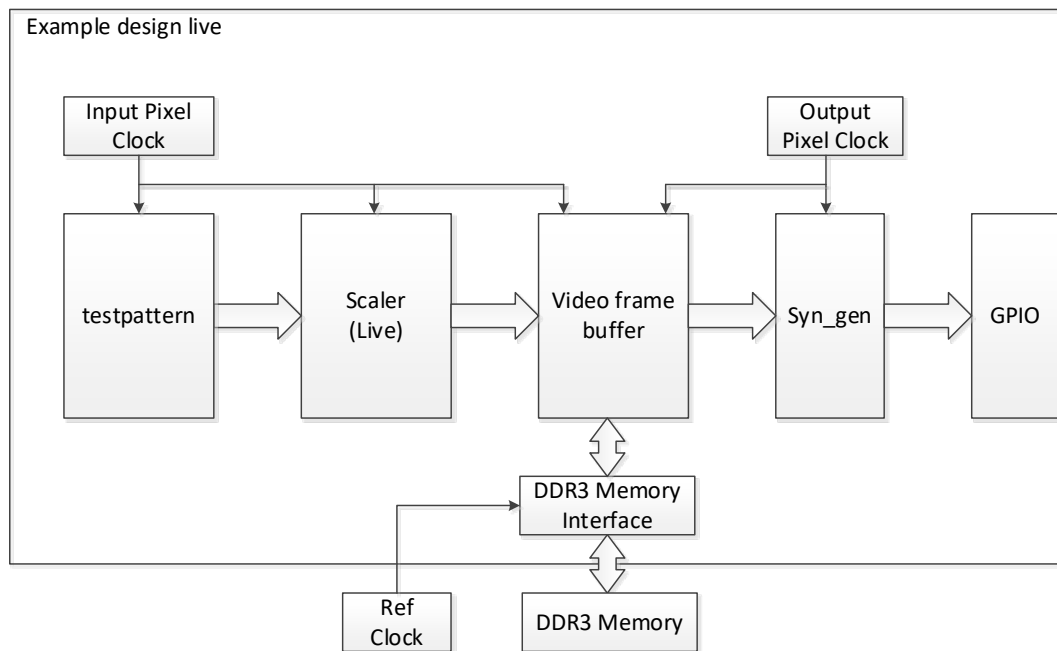
8 参考设计

本节主要介绍 Scaler IP 的参考设计实例的搭建及使用方法。详细信息请参见高云半导体官网给出的 Scaler 相关参考设计。

8.1 设计实例应用一

本参考设计以 DK-VIDEO-GW2A18-PG484 开发板为例，参考设计基本结构框图如图 8-1 所示。

图 8-1 参考设计实例一基本结构框图



在参考设计实例一中，Scaler IP 采用 Live 模式，其运行步骤如下所示：

1. 利用测试图模块产生测试图，分辨率为 1920x1080，数据格式为 RGB888。
2. 调用 Scaler IP 内核生成器生成 Scaler 模块，实现图像 1920x1080 缩小到 1280x720。

3. 将缩小后的图像数据写入到 DDR3 缓存。
4. 再从 DDR3 中按 1280x720 分辨率读出显示。
5. 最后通过开发板 HDMI2 TX 接口输出到显示器显示。

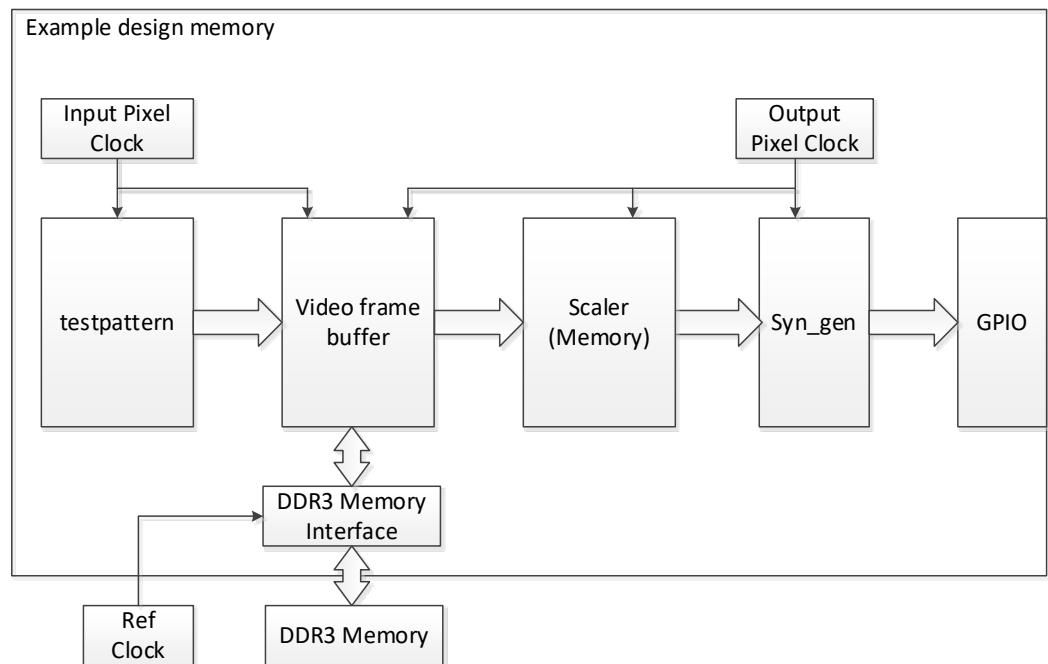
当参考设计应用于板级测试时，用户可将输出数据可通过视频编码芯片转换后输出给显示器显示，也可配合在线逻辑分析仪或示波器对数据进行观测。

在参考设计提供的仿真工程中，以 bmp 位图作为测试激励源，tb_top 是仿真工程顶层模块。可通过仿真后输出的图片作对比。

8.2 设计实例应用二

本参考设计以 DK-VIDEO-GW2A18-PG484 开发板为例，参考设计基本结构框图如图 8-2 所示。

图 8-2 参考设计实例二基本结构框图



在设计实例二中，Scaler IP 采用 Memory 模式，其运行步骤如下所示：

1. 利用测试图模块产生测试图，分辨率为 1280x720，数据格式为 RGB888。
2. 将产生图像数据写入到 DDR3 缓存。
3. 调用 Scaler IP 内核生成器生成 Scaler 模块，实现图像 1280x720 放大到 1920x1080。
4. 由于 Memory 模式下放大是按标准时序产生，所以可将缩放后数据输出显示。最后通过开发板 HDMI2 TX 接口输出到显示器显示。

当参考设计应用于板级测试时，用户可将输出数据可通过视频编码芯片

转换后输出给显示器显示，也可配合在线逻辑分析仪或示波器对数据进行观测。

在参考设计提供的仿真工程中，以 **bmp** 位图作为测试激励源，**tb_top** 是仿真工程顶层模块。可通过仿真后输出的图片作对比。

9 文件交付

Gowin Scaler IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

9.1 文档

文件夹主要包含用户指南 PDF 文档。

表 9-1 文档列表

名称	描述
IPUG903, Gowin Scaler IP 用户指南	高云 Scaler IP 用户手册，即本手册。
RN903, Gowin Scaler IP 发布说明	-

9.2 设计源代码（加密）

加密代码文件夹包含 Gowin Scaler IP 的 RTL 加密代码，供 GUI 使用，以配合高云云源软件产生用户所需的 IP 核。

表 9-2 设计源代码列表

名称	描述
scaler.v	IP 核顶层文件，给用户接口信息，加密。

9.3 参考设计

Scaler_example_design_live 文件夹主要包含 Gowin Scaler IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 9-3 scaler_example_design_live src 文件夹内容列表

名称	描述
scaler_test_top.v	参考设计的顶层 module
testpattern.v	测试图产生模块
scaler_test_top.cst	工程物理约束文件

名称	描述
scaler_ref_design_live.sdc	工程时序约束文件
scaler	Scaler IP 工程文件夹
—scaler.v	生成 Scaler IP 顶层文件，加密
—scaler.vo	生成 Scaler IP 网表文件，仿真使用
ddr3_memory_interface	DDR3 Memory Interface IP 工程文件夹
frame_buffer	帧缓存控制模块工程文件夹
gw_pll	PLL IP 工程文件夹
syn_code	同步时序产生模块工程文件夹
i2c_master	I2C Master IP 工程文件夹
adv7513_iic_init.v	ADV7513 芯片初始化模块

Scaler_example_design_memory 文件夹主要包含 Gowin Scaler IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 9-4 scaler_example_design_memory src 文件夹内容列表

名称	描述
scaler_test_top.v	参考设计的顶层 module
testpattern.v	测试图产生模块
scaler_test_top.cst	工程物理约束文件
scaler_ref_design_live.sdc	工程时序约束文件
scaler	Scaler IP 工程文件夹
—scaler.v	生成 Scaler IP 顶层文件，加密
—scaler.vo	生成 Scaler IP 网表文件，仿真使用
ddr3_memory_interface	DDR3 Memory Interface IP 工程文件夹
frame_buffer	帧缓存控制模块工程文件夹
gw_pll	PLL IP 工程文件夹
syn_code	同步时序产生模块工程文件夹
i2c_master	I2C Master IP 工程文件夹
adv7513_iic_init.v	ADV7513 芯片初始化模块

