



Gowin PCI Target IP 用户指南

IPUG904-1.1, 2020/03/30

版权所有© 2020 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2019/08/30	1.0	初始版本。
2020/03/30	1.1	<ul style="list-style-type: none">● 更新 PCI Target 命令列表 1100 和 1110 描述；● 更新 PCI Target pci_serr_l, pci_perr_l, tg_value 端口描述。

目录

目录.....	i
图目录.....	iii
表目录.....	iv
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语	1
1.4 技术支持与反馈.....	1
2 概述.....	2
2.1 主要特征.....	2
2.2 资源利用.....	2
3 功能描述.....	4
3.1 基本结构.....	4
3.2 模块说明.....	4
3.2.1 空间配置模块	4
3.2.2 奇偶校验模块	5
3.2.3 地址/命令译码模块	5
3.2.4 设备状态机模块.....	5
3.3 PCI 命令.....	5
3.4 配置寄存器	6
3.4.1 寄存器地址映射	6
3.4.2 寄存器描述	6
3.5 端口描述.....	9
3.5.1 Gowin PCI Target 端口图.....	9
3.5.2 端口描述.....	10
3.6 时序介绍.....	11
3.6.1 基本读写传输操作时序.....	11
3.6.2 配置寄存器读写时序.....	13

3.6.3 Advanced Target Transactions 15

3.6.4 Target Termination 19

4 参数配置..... 28

图目录

图 3-1 PCI Target 基本结构图	4
图 3-2 PCI Target 端口图.....	9
图 3-3 基本读传输.....	12
图 3-4 基本写传输.....	13
图 3-5 基本配置读传输	14
图 3-6 基本配置写传输	15
图 3-7 带有主机等待周期的读传输	16
图 3-8 带有主机等待周期的写传输	17
图 3-9 突发读传输.....	18
图 3-10 突发写传输	19
图 3-11 Disconnect With Data Read	20
图 3-12 Disconnect With Data Write	21
图 3-13 Disconnect Without Data Read	22
图 3-14 Disconnect Without Data Write	23
图 3-15 Retry Read	24
图 3-16 Retry Write	25
图 3-17 Abort Read	26
图 3-18 Abort Write.....	27
图 4-1 PCI Target IP 配置界面.....	28
图 4-2 PCI Target 基区配置界面.....	29

表目录

表 1-1 术语解释	1
表 2-1 Gowin PCI Target IP 概览	2
表 2-2 资源利用	3
表 3-1 PCI Target 命令列表	5
表 3-2 配置空间	6
表 3-3 Reg00h 设备识别码和供应商代码	6
表 3-4 命令寄存器描述	6
表 3-5 状态寄存器描述	7
表 3-6 Reg08h 分类码和修改版本识别码	7
表 3-7 I/O 基址寄存器描述	8
表 3-8 存储空间描述	8
表 3-9 Reg2Ch 子系统识别码和子系统供应商识别码	8
表 3-10 Max_Lat, Min_Gnt、中断引脚和中断干线.....	9
表 3-11 Gowin PCI Target 端口描述	10
表 3-12 波形描述	11
表 4-1 参数配置表.....	29

1 关于本手册

1.1 手册内容

Gowin PCI Target IP 用户手册主要包括特征性能、参数配置、功能描述等，旨在帮助用户快速了解 Gowin PCI Target IP 的产品特性及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档。

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语解释

术语、缩略语	全称	含义
IP	Intellectual Property	知识产权
LUT	Look-up Table	查找表
PCI	Peripheral Component Interconnect	外设部件互连标准
PCI Target	PCI Target	PCI 从设备
BAR	Base Address Register	基地址寄存器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系。

网站: www.gowinsemi.com.cn

E-mail: support@gowinsemi.com

+Tel: +86 755 8262 0391

2 概述

Gowin PCI Target IP 提供了一个 32 位符合本地总线规范的 Target 解决方案，速度可达 33MHz，应用于电信、嵌入式应用中的系统、高性能外设卡和标准。

表 2-1 Gowin PCI Target IP 概览

Gowin PCI Target IP	
支持设备	GW1N 系列、GW1NR 系列、GW1NS 系列、GW1NZ 系列、GW1NSR 系列、GW1NSE 系列、GW1NSER 系列、GW2A 系列、GW2AR 系列
逻辑资源	见表 2-2
交付文件	
设计文件	Verilog (加密)
测试平台	Verilog
测试设计流程	
综合软件	Synplify_Pro
应用软件	Gowin Software

2.1 主要特征

- 支持 32bit/33MHz PCI bus
- 支持 PCI 2.2 协议，符合本地总线规范
- 拥有奇偶校验的指示位
- 多达六个基址寄存器
- 支持单周期与突发读写模式的读写周期
- 支持零等待状态传输
- 支持从后端设备到 PCI 总线的一个中断信号
- 拥有奇偶校验错误信号和系统错误信号

2.2 资源利用

Gowin PCI Target IP 采用 Verilog 语言，不同的模式有不同的资源消耗。

表 2-2 给出了在开启 BAR0 与 BAR1，并且基区大小设置为 8M 情况下的资源利用的情况。关于其它器件的资源利用请参阅相关的后期发布信息。

表 2-2 资源利用

LUTs	REGs	Block Rams	Device Series
252	281	0	GW2A-18
252	281	0	GW1N-9

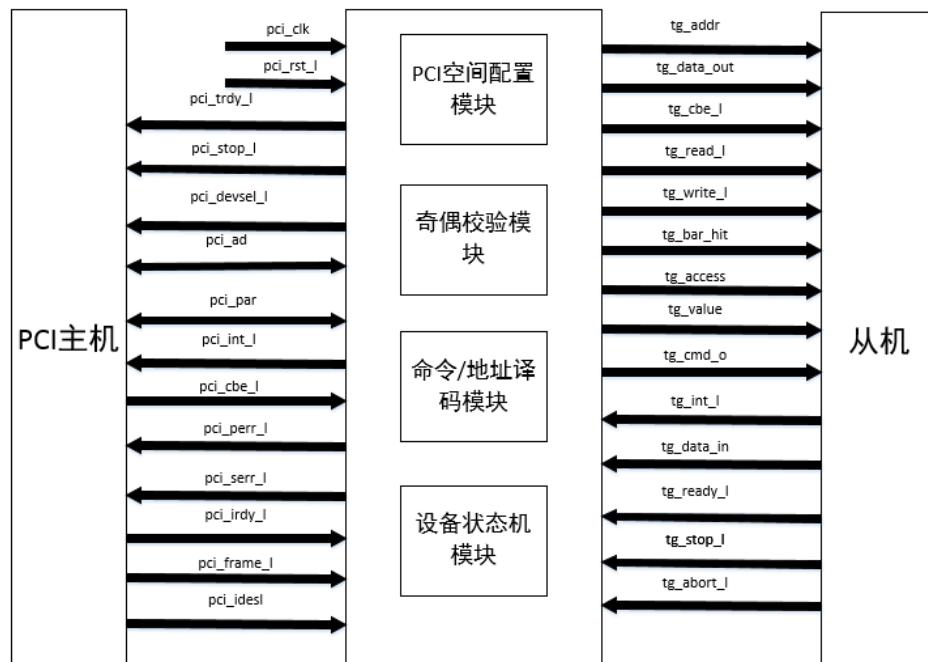
3 功能描述

Gowin PCI Target IP 提供了一个 PCI 方面应用的解决方案，提供了一个可定制的、33M、32bit 的 PCI Target，并且支持本地总线规范以及 PCI 2.2 版本的协议，能实现 PCI 配置读写、单周期读写、突发读写等操作。

3.1 基本结构

Gowin PCI Target 基本结构示意图如图 3-1 所示。由于 PCI Target 主要是实现 Target 的功能，所以主要设计为中间部分的 PCI 空间配置模块、奇偶校验模块、命令/地址译码模块、设备状态机模块，其余主机部分与后端部分以具体设计为准。

图 3-1 PCI Target 基本结构图



3.2 模块说明

3.2.1 空间配置模块

该模块主要实现 PCI Target 配置空间部分的逻辑。PCI Target 在进行正

常的读写操作之前，首先要对配置空间的相关寄存器进行配置，需要进行配置的寄存器包括设备识别码、命令寄存器、状态寄存器、基地址寄存器等等，只有正确的对相应的寄存器进行了正确的配置，PCI Target 才会完成相应的功能。

3.2.2 奇偶校验模块

奇偶校验模块的作用是对 PCI 总线上的数据地址信息进行奇偶校验。奇偶校验错误信号 `pci_perr_l` 和系统错误信号 `pci_serr_l` 是否使能可以在配置空间中进行配置。

3.2.3 地址/命令译码模块

该模块主要实现以下几种功能：

1. 控制配置空间中基地址的寄存器，主要完成地址解码功能。
2. 该模块将根据基区的选择情况生成“`bar_hit[5:0]`”信号发送给设备状态机模块，这个信号用来声明当前哪一个基区在进行数据传输，例如基区 0 在进行数据传输时，“`bar_hit[5:0]`”的第 0 位会变变为高电平，其余位为低电平。

3.2.4 设备状态机模块

后端设计信号、PCI 总线信号几乎都要经过设备状态机模块。该模块通过判断各种信号的状态来决定 PCI Target 当前处于何种工作状态，例如 PCI Target 能进行的操作包括数据的基本读写、数据传输的终止等等，该模块便会根据相关信号的状态，来断定应当进行什么样的操作。

3.3 PCI 命令

PCI Target IP 支持的命令如表 3-1 所示。

表 3-1 PCI Target 命令列表

<code>pci_cbe_l</code>	命令	是否支持
0000	中断应答	否
0001	特殊周期	否
0010	I/O读	是
0011	I/O写	是
0100	保留	保留
0101	保留	保留
0110	存储器读	是
0111	存储器写	是
1000	保留	保留
1001	保留	保留
1010	配置读	是
1011	配置写	是
1100	存储器多行读	否
1101	双地址周期	否
1110	存储器一行读	否
1111	存储器写并无效	否

3.4 配置寄存器

3.4.1 寄存器地址映射

PCI Target IP 支持的配置空间信息如表 3-2 所示，前 64 字节叫做头标区，该区中的各个字段用来唯一的识别设备，并使设备能以一般方法控制。

表 3-2 配置空间

设备识别码	供应商代码	00h
状态寄存器	命令寄存器	04h
分类码	修改版本识别码	08h
保留		0Ch
基区寄存器 0		10h
基区寄存器 1		14h
基区寄存器 2		18h
基区寄存器 3		1Ch
基区寄存器 4		20h
基区寄存器 5		24h
保留		28h
子系统识别码	子系统供应商代码	2Ch
保留		30h
保留		34h
保留		38h
保留	保留	中断引脚
		中断干线
		3Ch

3.4.2 寄存器描述

Reg00h 设备识别码和供应商代码

Reg00h 设备识别码和供应商代码的描述如表 3-3 所示

表 3-3 Reg00h 设备识别码和供应商代码

位置	命名	描述
31~16	设备识别码	该字段用以标明特定的设备，具体代码由供应商来分配。
15~0	供应商代码	该字段用以标明设备的制造者。

Reg04h 命令寄存器和状态寄存器

命令寄存器是一个 16 比特可读可写的寄存器，它可以对设备提供粗略的控制，它位于地址 0x04h 的低 16 位，使用该寄存器，可以禁止存储和 I/O 读写，只允许配置读写。该寄存器也控制着奇偶校验报告信号和系统错误报告信号。表 6-3 具体描述了命令寄存器支持的每一位命令。

表 3-4 命令寄存器描述

位置	描述
0	I/O 空间控制。控制对 I/O 空间访问的响应。当它为 0 时，禁止设备响应对 I/O 空间的访问；当其为 1 时，则允许设备响应对 I/O 空间的访问
1	存储器空间控制。控制对存储空间访问的响应。当它为 0 时，禁止设备响应对存储空间的访问；当其为 1 时，则允许设备响应对存储空间

位置	描述
	的访问。
2~5	保留
6	奇偶错误响应。该位用以控制设备对奇偶错误的响应。该位为 0 时，设备必须忽略任何奇偶错误而继续正常的操作；该位为 1 时，设备必须在发现奇偶错误时，采用响应措施。该位在复位之后必须为 0。有奇偶校验的设备必须实现该位，即使奇偶校验被禁止，也要照常产生奇偶位。
7	保留
8	系统错误使能。用于控制系统错误位。该位为 0 时禁止系统错误位工作；该位为 1 时，则允许系统错误位工作。
9~11	保留

状态寄存器是一个 16bit 可读可写、并且为 PCI Target IP 提供功能信息的寄存器，它也会报告错误状态。状态寄存器位于地址 0x04h 的高 16 位，设备可以根据自己的功能来决定实现状态寄存器的哪些位，不一定要实现所有位。系统对该寄存器的读操作无特殊要求。而对写操作，由于该寄存器的有些位是可清不可置的，因而有所不同。当向这些可清不可置的位上写 1 时，则该位会被清零，例如为了清位 10 而不影响其他位，应向寄存器写 0000_0100_0000_0000。表 3-5 描述了状态寄存器支持的功能。

表 3-5 状态寄存器描述

位置	描述
0~8	保留
9~10	DEVSEL 时标。该两位用来表示 pci_devsel_l 信号的时间关系。其编码值表示三种地址译码速度。00 表示快速，01 表示中速，10 表示慢速，11 保留。二位均为只读位。本设计中只支持慢速。具体配置方式如下所示。 00 – 快速 (不支持) 01 – 中速 (不支持) 10 – 慢速 11 – 保留
11	目标废止标志。每当目标设备用目标废止方式终止一个传输时，必须先将此位置 1。如果设备不发动目标废止，就不需要实现该位。
12	保留
13	保留
14	系统错误标志。当设备发出系统错误信号时必将此位置 1。肯定不会发送系统错误信号时，设备不必实现该位
15	奇偶错误标志。当设备检测到一个就错误时必将此位置 1，即使命令寄存器中的位 6 处于非使能状态也应如此。

Reg08h 分类码和修改版本识别码

Reg08h 分类码和修改版本识别码描述如表 3-6 所示。

表 3-6 Reg08h 分类码和修改版本识别码

位置	命名	描述
31~8	分类码	该字段是一个 24 比特、只读的、用来识别设备总体功能

位置	命名	描述
		和特定的寄存器级编程接口。该寄存器分为三段，每段占一个字节。高位字节在 0x0bh 处面试一个基本分类代码，对设备的功能进行粗略的分类。中间字节在 0x0ah 处，叫做子分类代码，它对设备的功能给予更精确、更详细的分类。低位字节在 0x09h 处，用来标识一个特定的寄存器级编程接口，以使与设备无关的软件可以与设备交互作用。
7~0	修改版本识别码	该字段是一个 8 比特只读的，用来指定一个设备特有的修改识别代码，该值由供应商来选定。

Reg10h~24h 基址寄存器中 I/O 空间和存储空间的配置

PCI Target 支持最多 6 个基址寄存器，用于 Target 的配置。在所有的基址寄存器中，位 0 均为只读位并且用来决定是存储空间还是 I/O 空间。如果该位为 0 则是映射到存储空间，为 1 则是映射到 I/O 地址空间。I/O 地址空间的描述如表 3-7 所示，这里的位 0 等于 1。

表 3-7 I/O 基址寄存器描述

位置	描述
31~2	存储大小。
1	保留位，并且读出值必须是 0。
0	该位为 1 表示是访问 I/O 地址空间。

存储空间描述如表 3-8 所示，这里的位 0 等于 0。

表 3-8 存储空间描述

位置	描述
31~4	存储大小。
3	预存取控制位，为 1 时预存取使能，为 0 时无效。该位只在访问存储空间是有效。
2~1	基区地址类型。 00 – 32 比特地址空间。 01 – 保留。 10 – 64 比特地址空间（不支持）。 11 – 保留。 本设计只支持 32 比特。
0	该位为 0 表示是访问存储空间。

Reg2Ch 子系统识别码和子系统供应商识别码

Reg2Ch 子系统识别码和子系统供应商识别码如表 3-9 所示。

表 3-9 Reg2Ch 子系统识别码和子系统供应商识别码

位置	命名	描述
31~16	子系统识别码	子系统识别码是一个 16 位只读字段，用于进一步标识特定的设备。该字段由供应商定义，用于唯一地标识产品或模型

位置	命名	描述
15~0	子系统供应商识别码	子系统供应商识别码是一个 16 位只读字段，用于进一步标识扩展板或子系统的供应商。

Reg3Ch Max_Lat、Min_Gnt、中断引脚和中断干线

Max_Lat, Min_Gnt、中断引脚和中断干线的描述如表 3-10 所示。

表 3-10 Max_Lat, Min_Gnt、中断引脚和中断干线

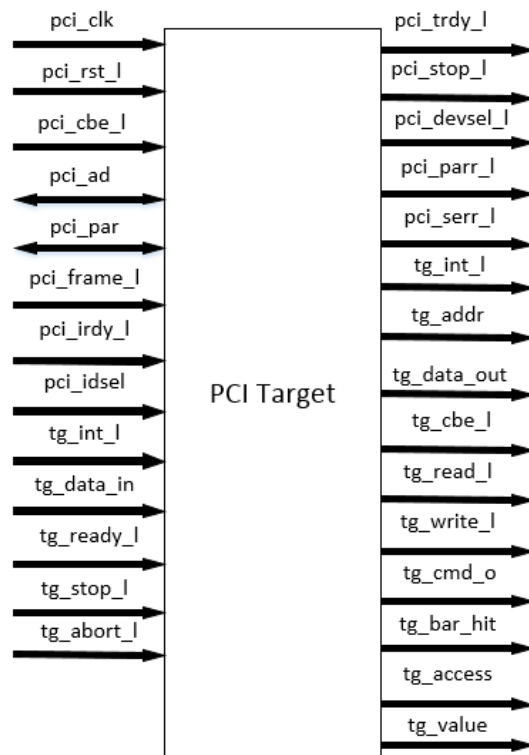
位置	命名	描述
31~24	MAX_LAT	保留
23~16	MIN_GNT	保留
15~8	中断引脚	中断引脚寄存器用于使能中断引脚
7~0	中断干线	这是一个读/写寄存器。中断行寄存器由中断处理机制设置，以定义中断路由，这个寄存器用于保存系统中断路由信息

3.5 端口描述

3.5.1 Gowin PCI Target 端口图

Gowin PCI Target 的端口图如图 3-2 所示。

图 3-2 PCI Target 端口图



3.5.2 端口描述

Gowin PCI Target 的端口描述如表 3-11 所示。

表 3-11 Gowin PCI Target 端口描述

端口	方向	位宽	描述
PCI 接口			
pci_clk	Input	1	系统时钟。
pci_rst_l	Input	1	异步复位。
pci_ad	Inout	32	地址数据多路复用线。
pci_cbe_l	Input	4	命令和字节使能信号复用线。
pci_par	Inout	1	奇偶校验信号。
pci_frame_l	Input	1	帧周期信号，表示一次访问的开始和结束。
pci_trdy_l	Output	1	从设备准备信号。该信号有效时表明从设备已做好完成当前数据传输的准备工作
pci_irdy_l	Input	1	主设备准备信号。该信号的有效时表明发起本次传输的设备能够完成一个数据期
pci_stop_l	Output	1	PCI Target利用该信号来要求停止当前传输
pci_devsel_l	Output	1	设备选择信号。该信号有效时表明驱动它的设备已经成为当前访问的从设备。
pci_idsel	Input	1	初始化设备选择信号。在参数配置读写传输期间，用作片选信号。
pci_serr_l	Output	1	系统错误报告信号
pci_perr_l	Output	1	数据奇偶校验错误报告信号
pci_int_l	Output	1	中断信号
后端接口			
tg_addr	Output	32	该信号用于表示传输的地址
tg_data_out	Output	32	作为PCI Target写数据传输时的输出
tg_data_in	Input	32	作为PCI Target读传输时的数据输入
tg_cbe_l	Output	4	PCI Target的字节使能信号
tg_ready_l	Input	1	该信号有效时表明从设备已经做好了接收或发送数据的准备
tg_write_l	Output	1	该信号有效时表明当前正在进行写传输操作
tg_read_l	Output	1	该信号有效时表明当前正在进行读传输操作
tg_stop_l	Input	1	该信号有效时用于请求总线上的传输停止
tg_abort_l	Input	1	该信号有效时表明放弃总线上的传输
tg_cmd_o	Output	4	该信号用于在PCI传输周期中，发送地址时锁定命令信息。
tg_bar_hit	Output	0~6	该信号表明具体哪一个基区在进行总线传输操作。
tg_access	Output	1	该信号有效时表明PCI Target可以对本地接口进行访问
tg_value	Output	1	该信号有效时表示数据有效
tg_int_l	Input	1	该信号有效时表明本地接口要求一次中断操作




注！

*_l代表低电平有效；

3.6 时序介绍

Gowin PCI Target 时序中出现的几种波形的介绍如表 3-12 所示。

表 3-12 波形描述

Symbol	Description
	驱动信号
	总线数据信号或者是奇偶校验信号
	无需关注此处信号状态

3.6.1 基本读写传输操作时序

Gowin PCI Target 基本读写传输指的是在对 I/O 地址空间或者存储空间进行读写时，每次只读写一个数据。读与写的差别在于，在写操作时，地址期和数据期是没有交换周期的。具体时序参考图 3-3 和图 3-4。

图 3-3 基本读传输

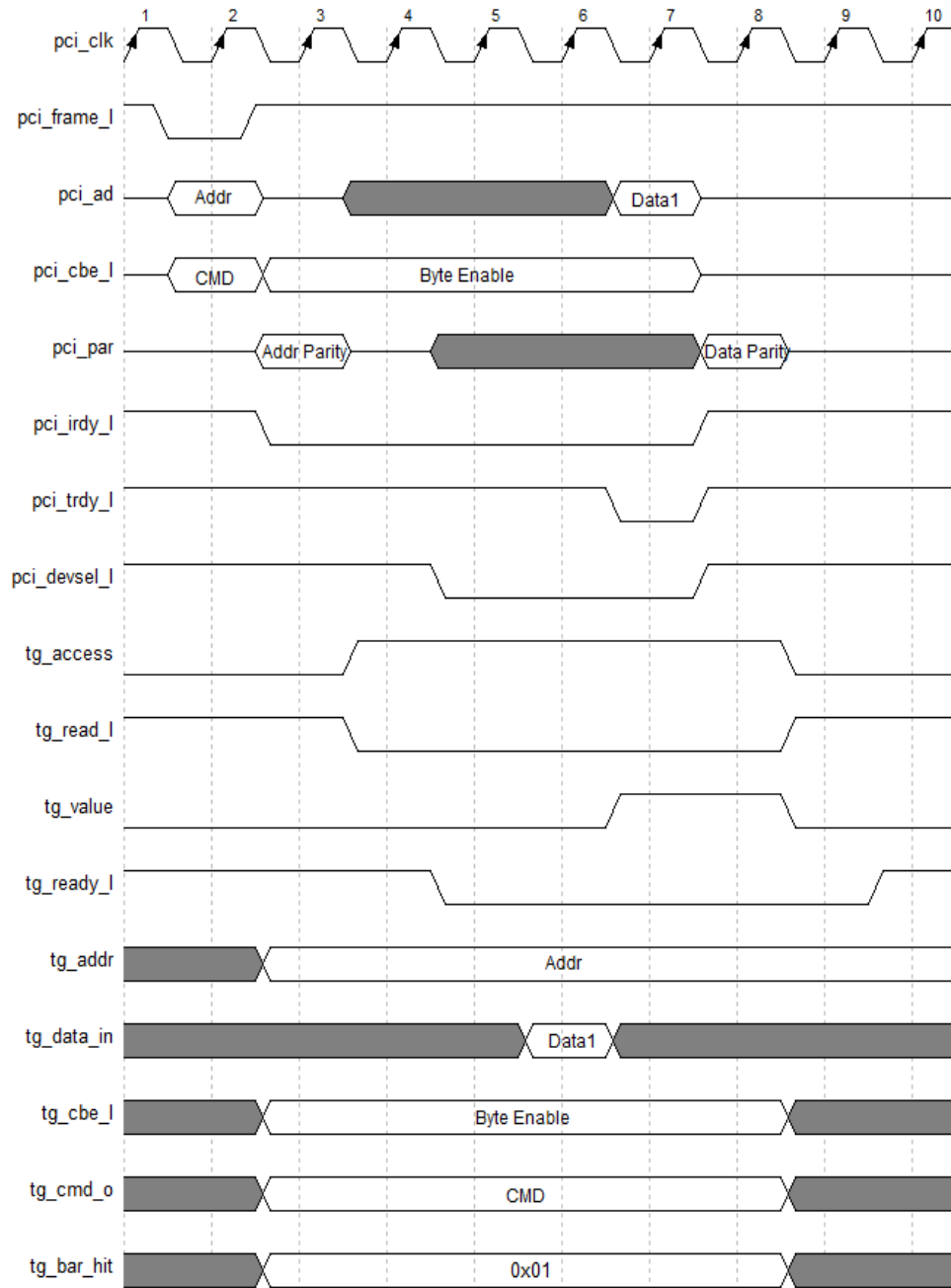
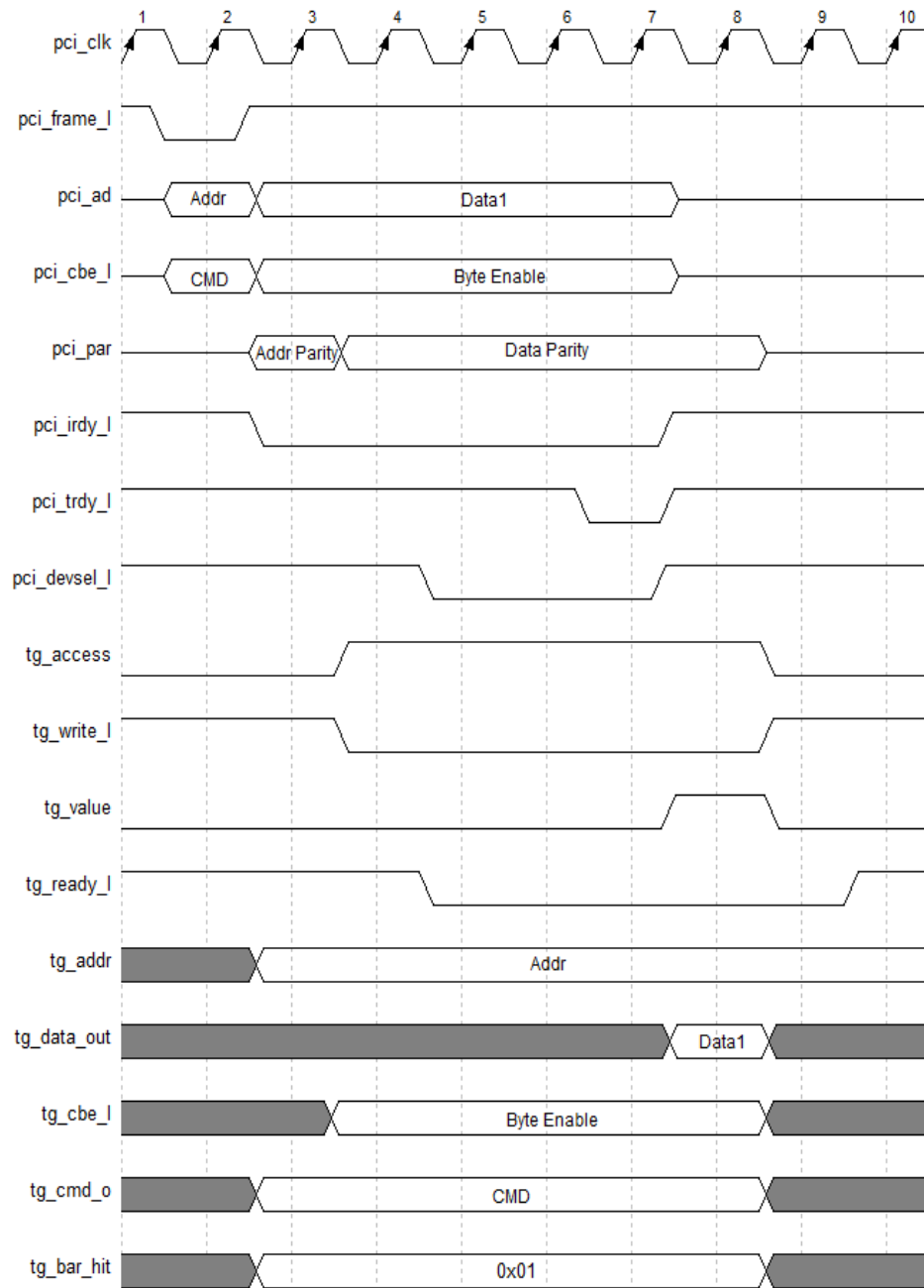


图 3-4 基本写传输



3.6.2 配置寄存器读写时序

如表 3-1 所示，当 `pci_cbe_l` 等于 `4'b1010` 或 `4'b1011` 时，属于配置读或配置写操作，配置读写主要是对配置空间的数据进行处理。PCI Target 只支持 32 比特数据传输配置，Gowin PCI Target IP 的配置读写操作时序如图 3-5 和图 3-6 所示。

图 3-5 基本配置读传输

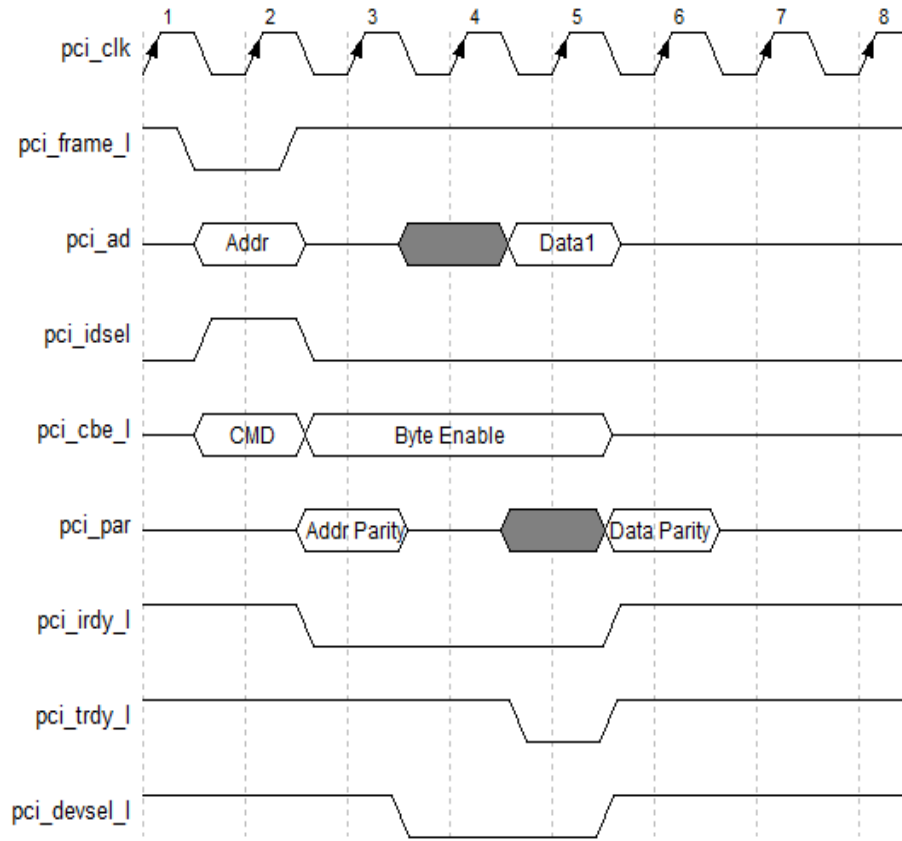
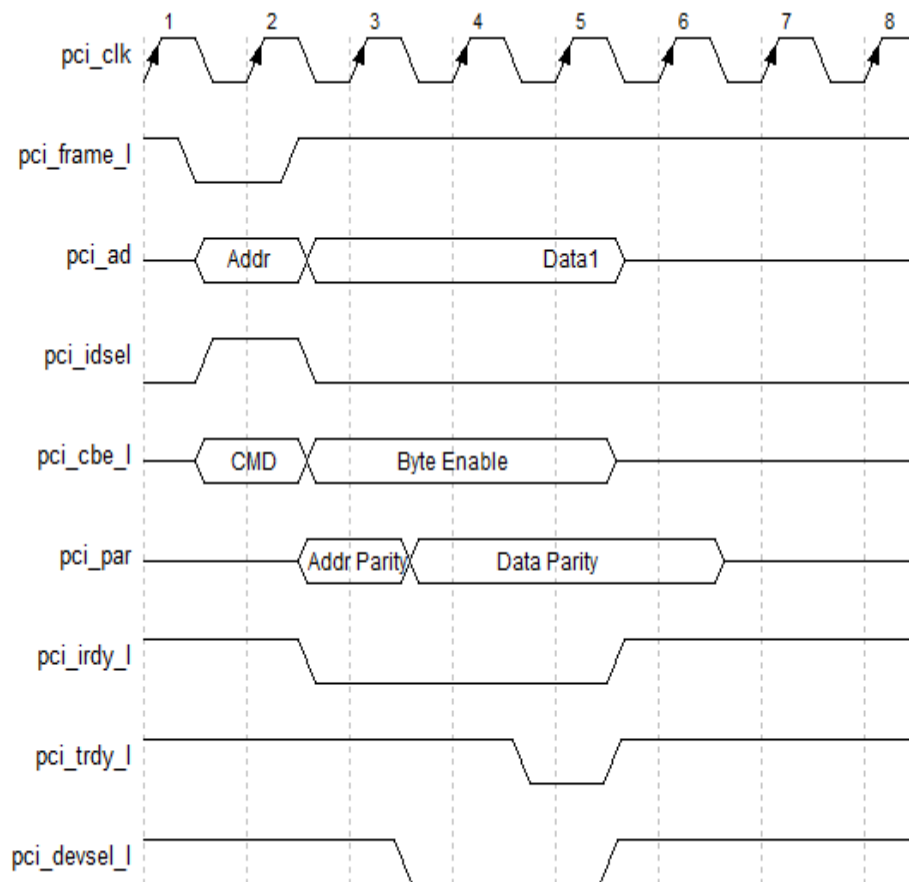


图 3-6 基本配置写传输



3.6.3 Advanced Target Transactions

Gowin PCI Target 除了具有上述的基本数据读写传输操作以外，还有 Advanced Target Transactions。如图 3-7 与图 3-8 所示，为带有主机等待周期的读写传输，当主机在 PCI Target 传输时如果插入了等待周期，那么数据传输必须停止，直至主机再次准备就绪。

图 3-7 带有主机等待周期的读传输

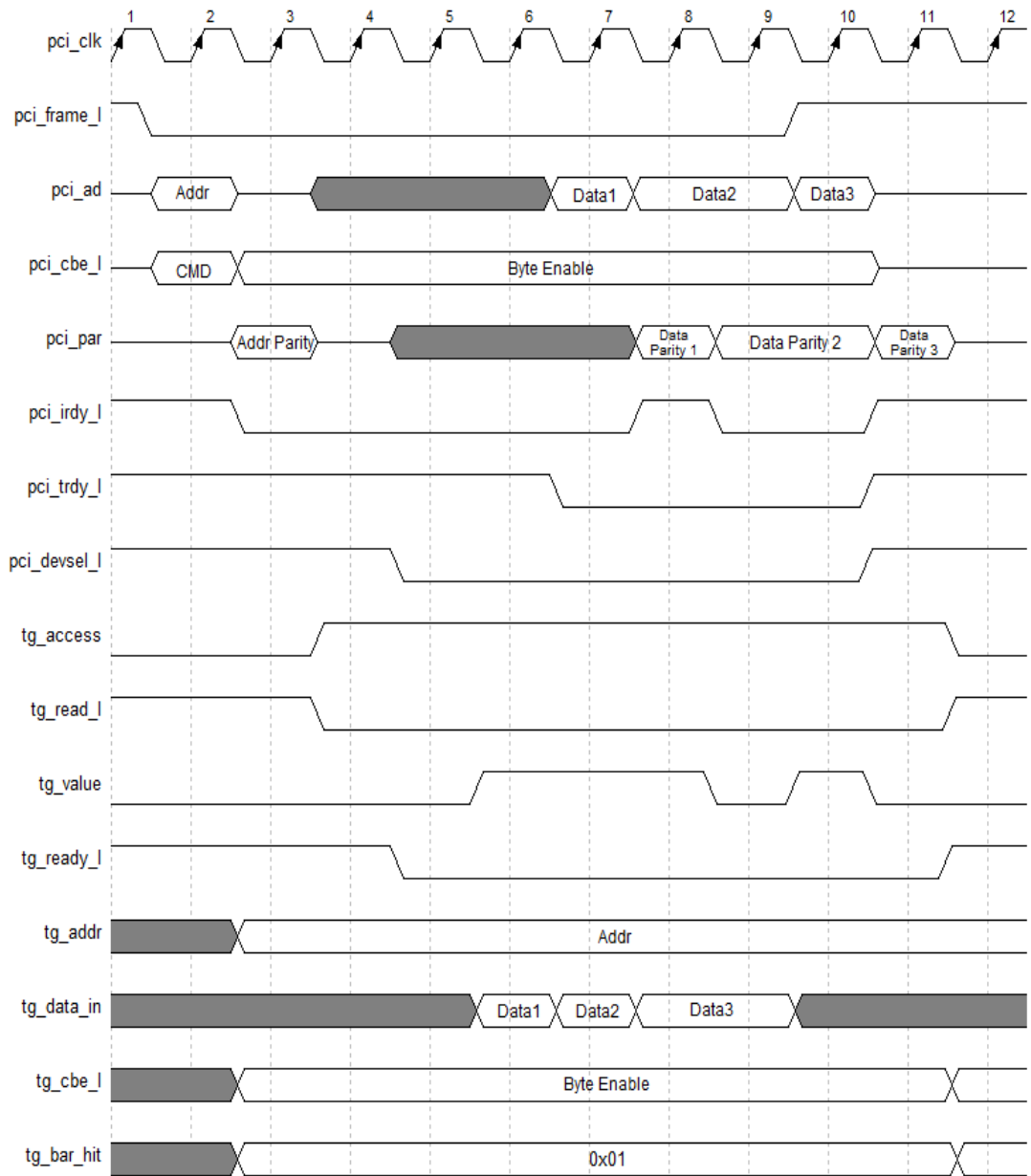
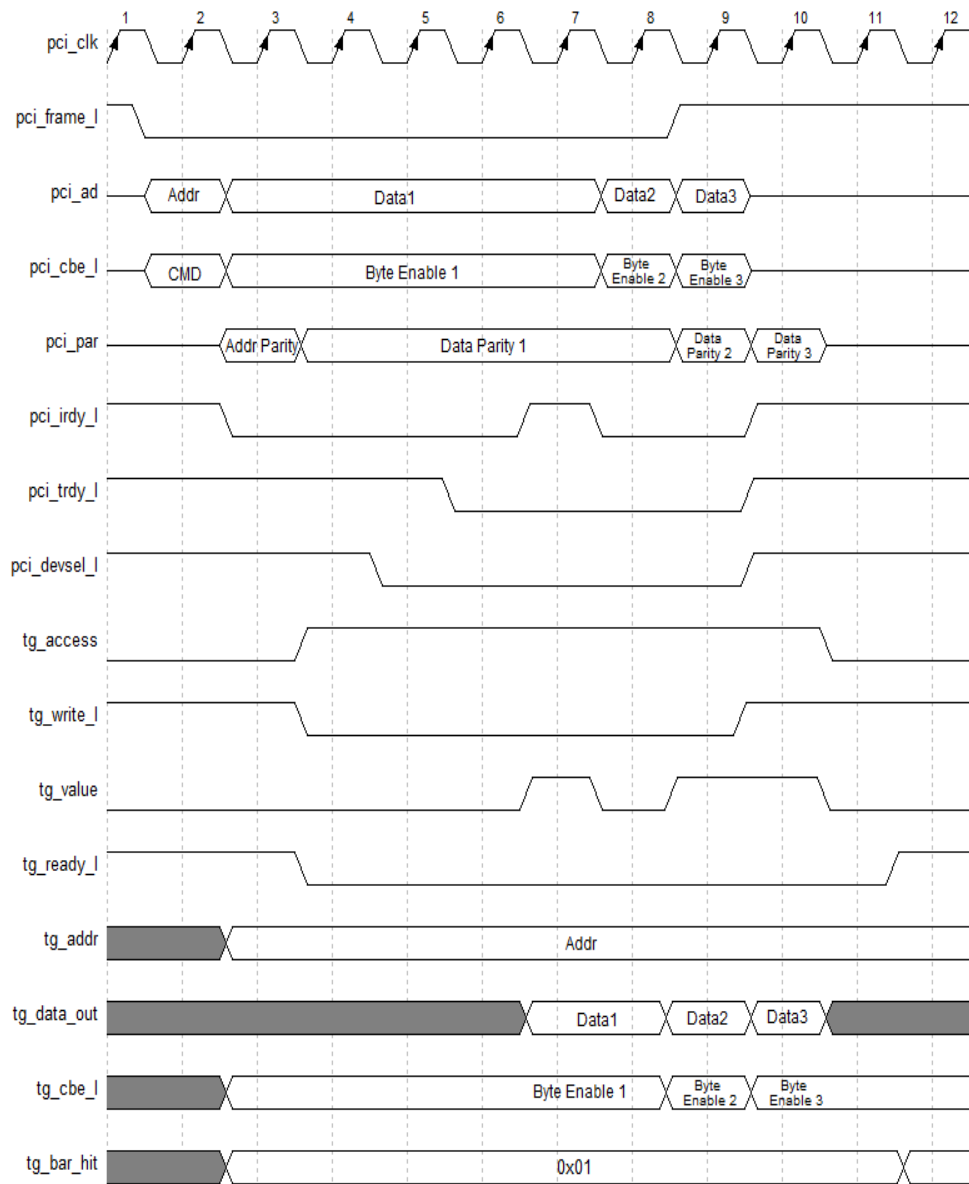


图 3-8 带有主机等待周期的写传输



如图 3-9 和图 3-10 所示，介绍了突发读写的操作时序，突发读写意味着一次读写要进行多个数据的传输。可以看出，相对于只有一个数据的读写操作，突发读写与其最大的不同就是 **pci_frame_l** 信号的有效周期更加的长，代表有多个数据要进行传输。

图 3-9 突发读传输

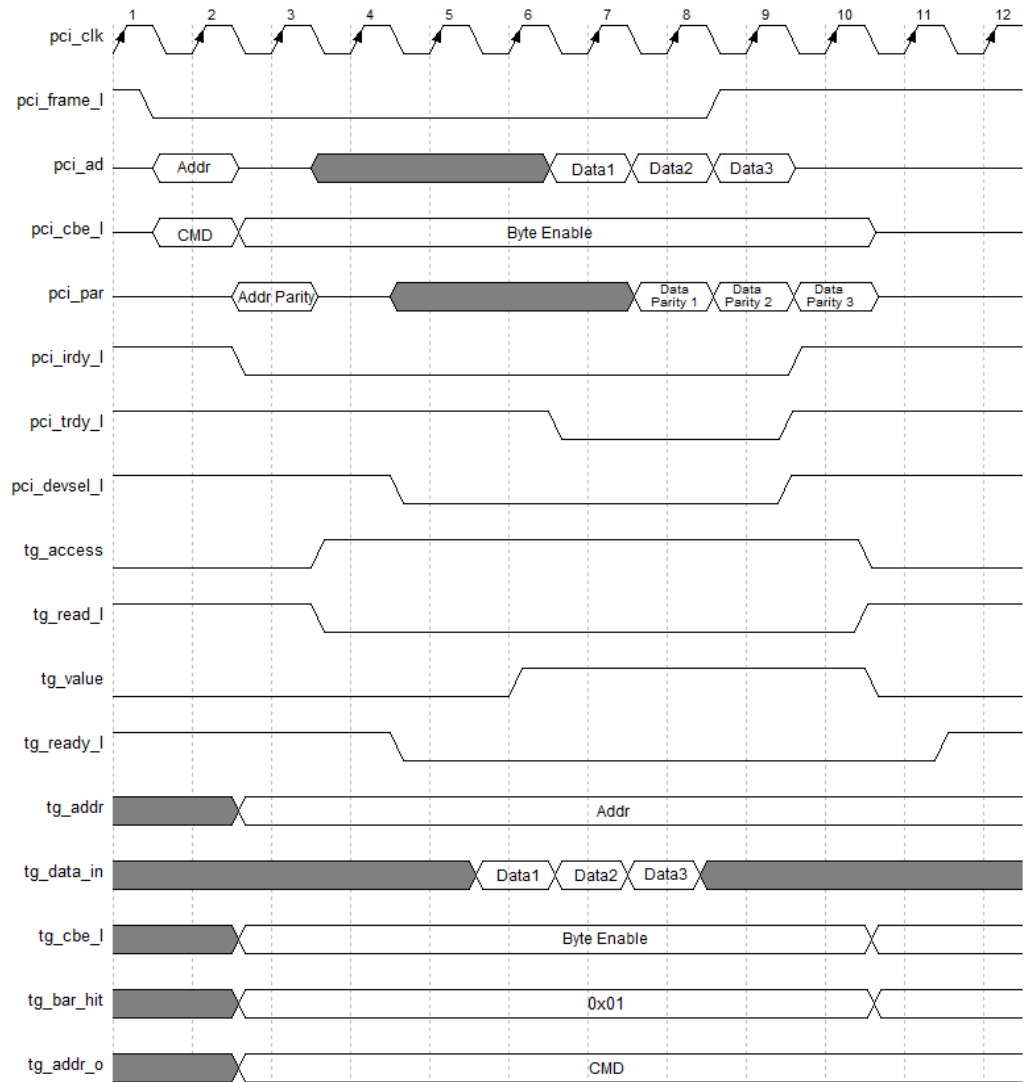
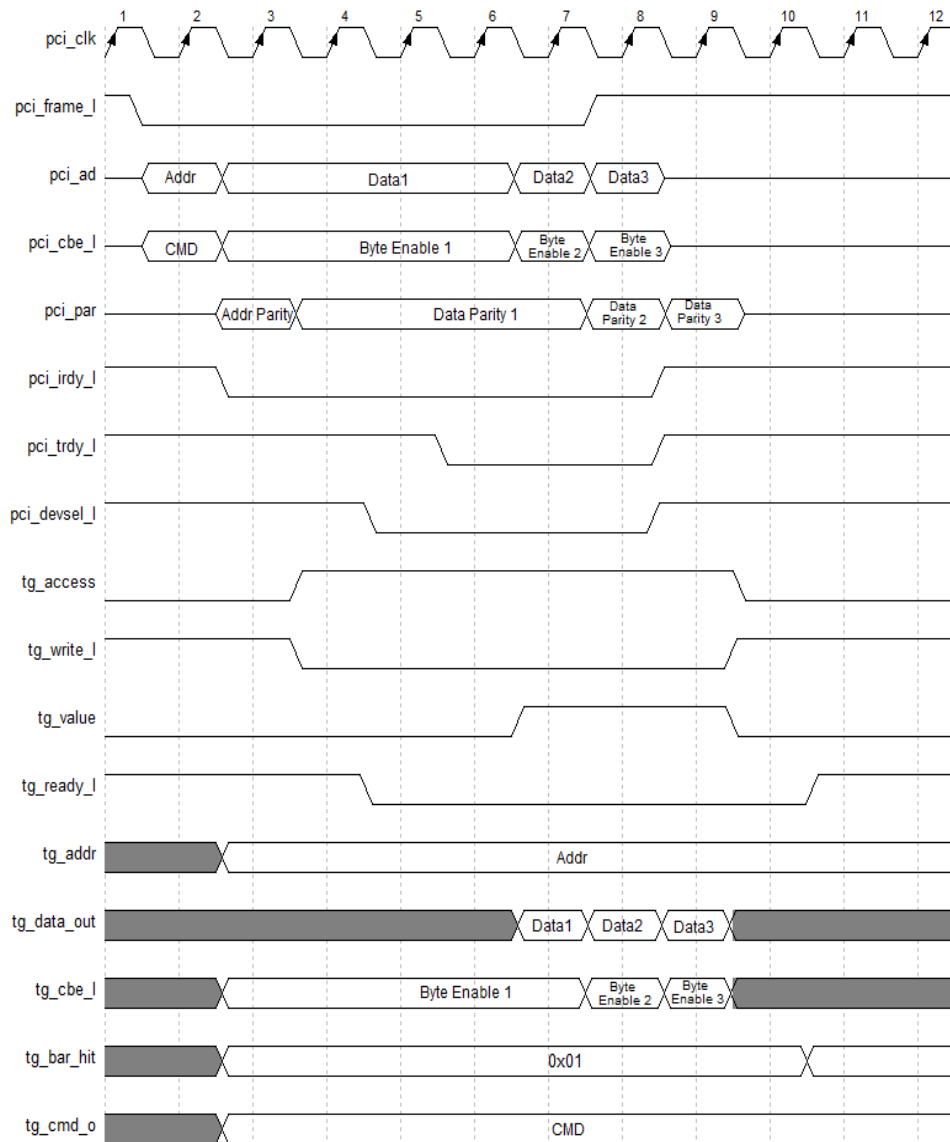


图 3-10 突发写传输



3.6.4 Target Termination

后端从设备可控制请求信息的 PCI 传输终止本地接口，PCI Target 应正确处理各个终止类型情况。在这要强调的是，如果从设备要想终止一次传输，那么从设备就应发出 **tg_stop_l** 信号，接着 PCI Target 便会发出 **pci_stop_l** 信号给主机，**pci_stop_l** 信号一旦有效就要保持到 **pci_frame_l** 信号撤销为止。

由从设备提出的终止操作分为多种，其中实现“retry”功能是协议的基本要求，其余的终止操作作为可选项，Gowin PCI Target IP 支持多种终止操作，具体如下所述。

图 3-11 和图 3-12 是 PCI Target Disconnect With Data 操作的时序，这里可以认为从设备要求终止当前数据的传输，但是保留最后一次的有效数据。

图 3-11 Disconnect With Data Read

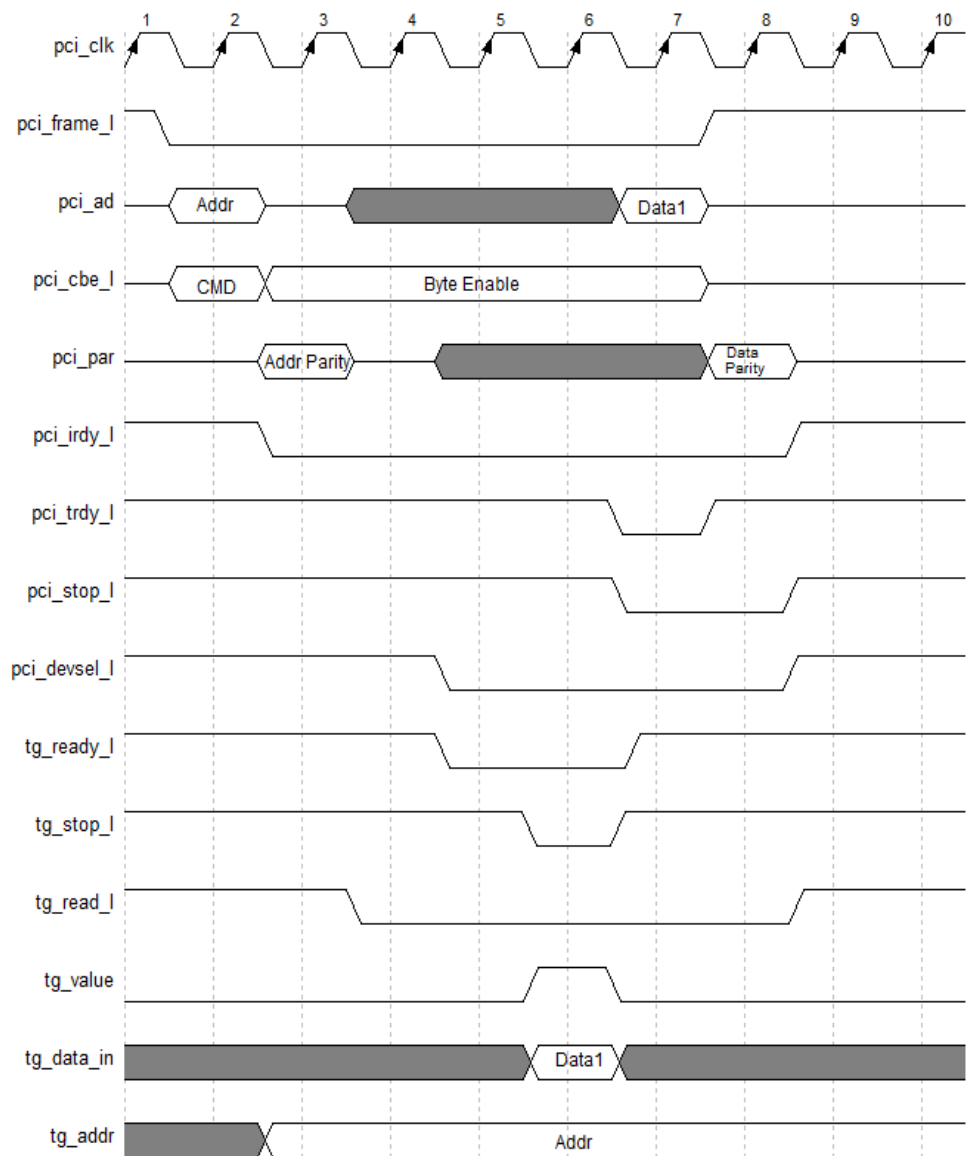
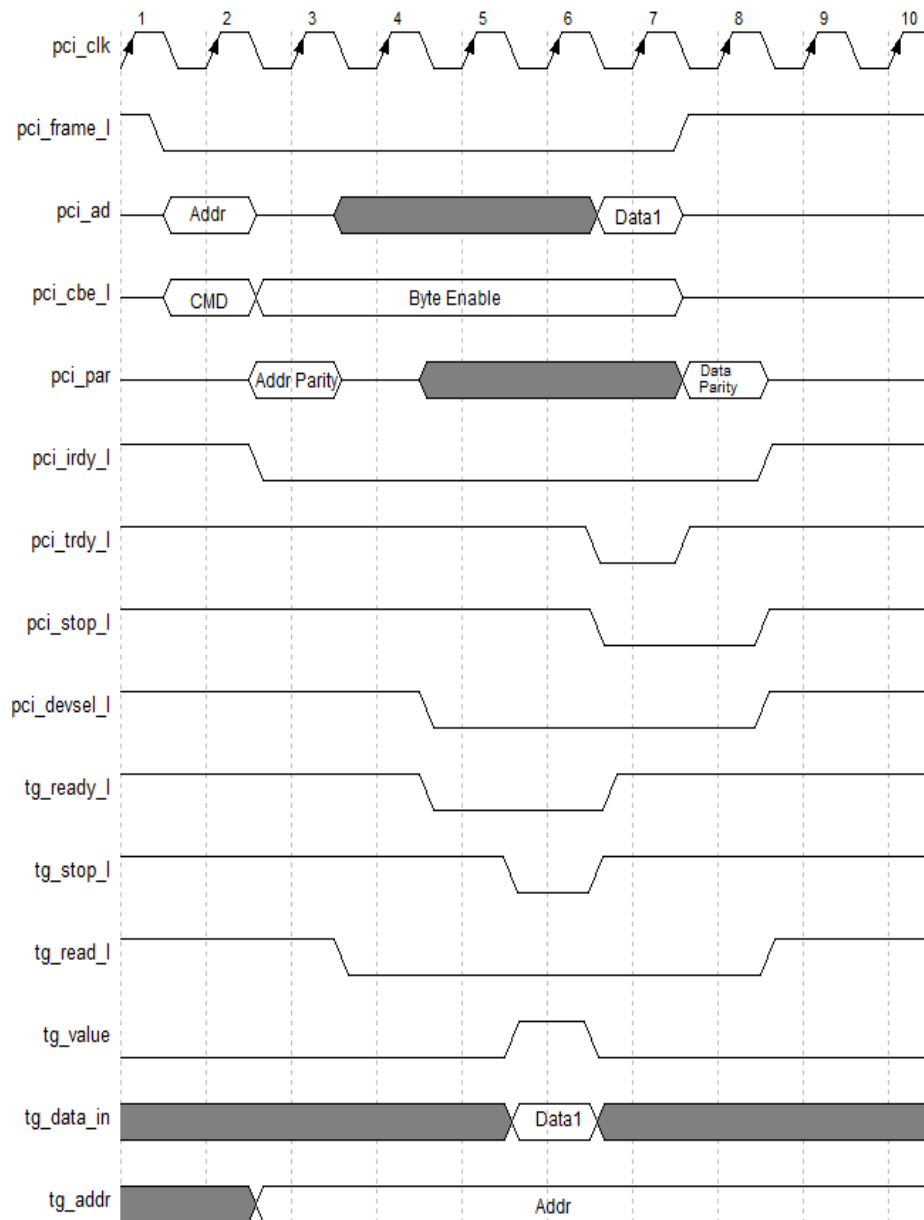


图 3-12 Disconnect With Data Write



如图 3-13 和图 3-14 所示，为 PCI Target Disconnect Without Data 的操作时序图，该操作可以理解为从设备要求终止当前进行的数据传输而且不保留任何数据。

图 3-13 Disconnect Without Data Read

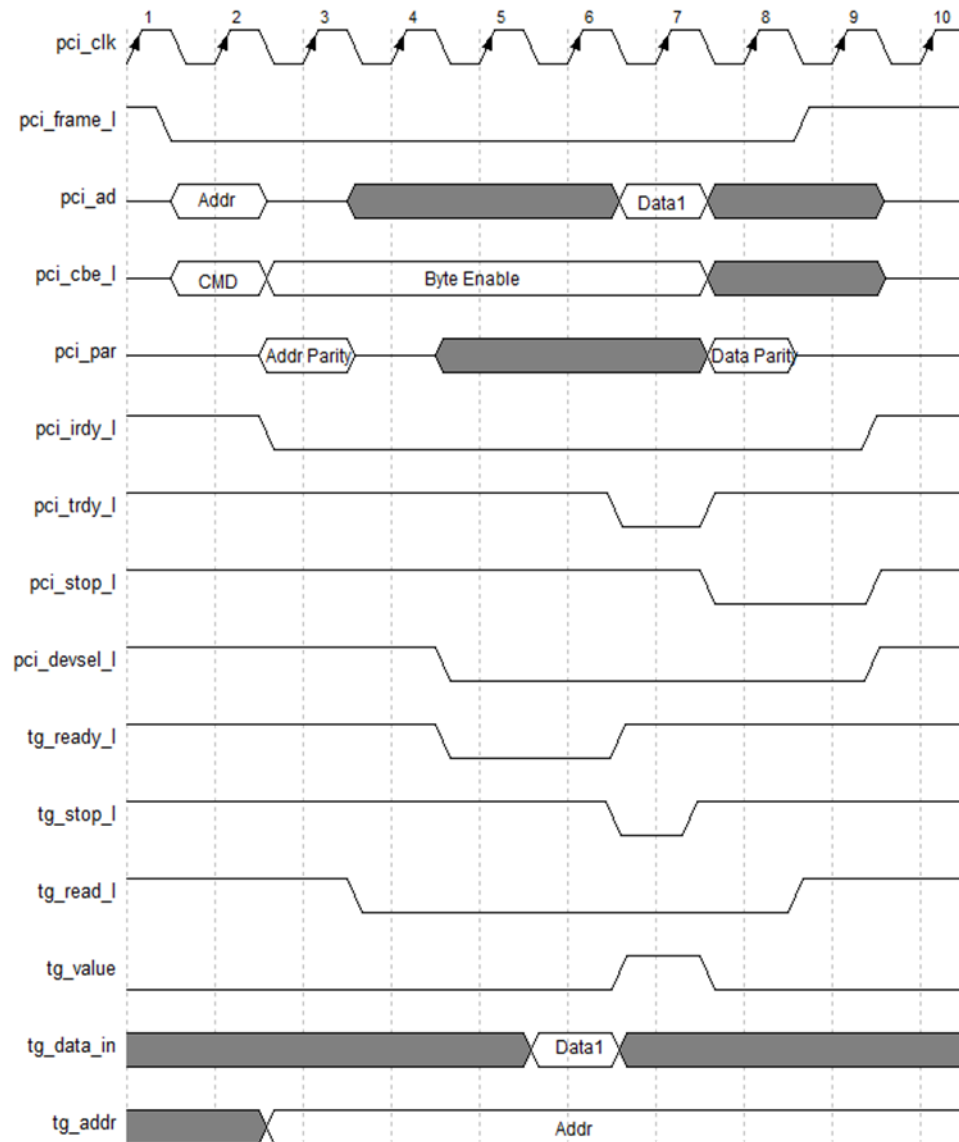
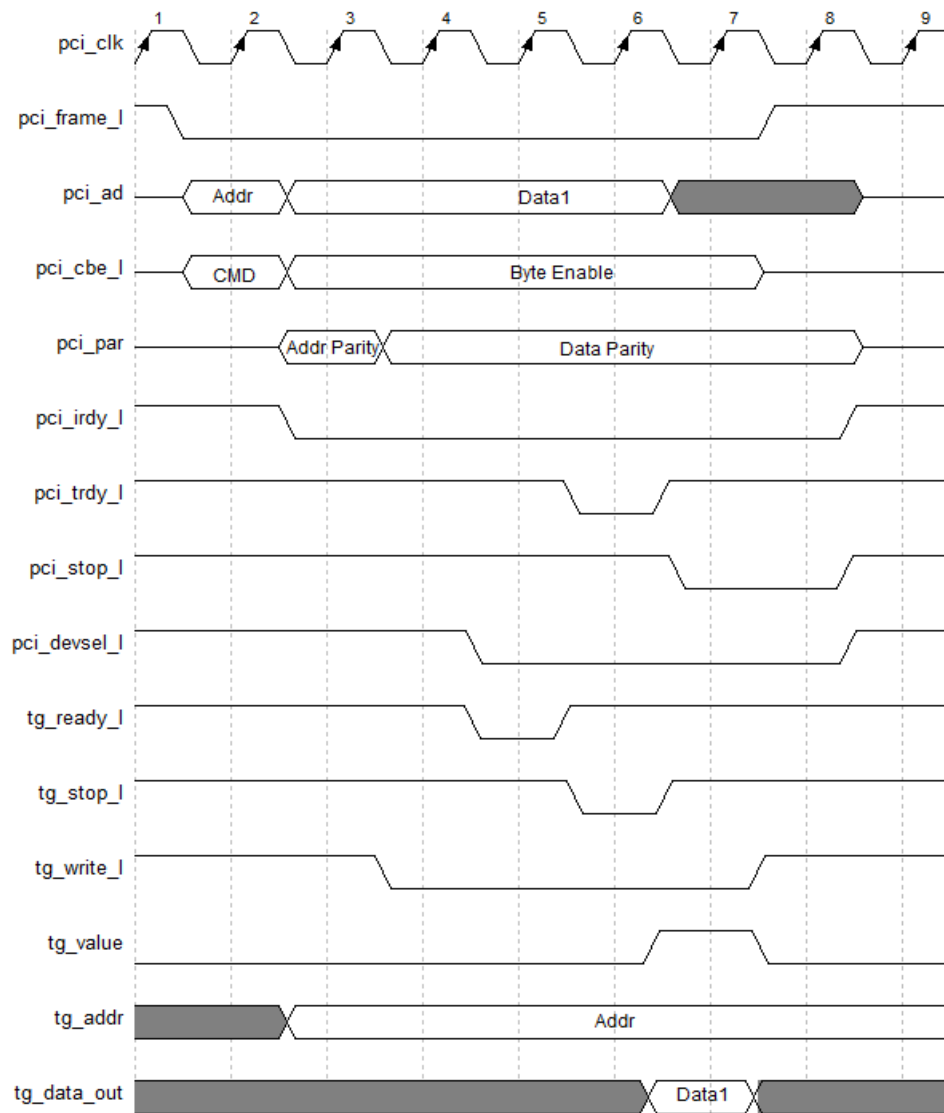


图 3-14 Disconnect Without Data Write



当 PCI Target 未接到有效的 **pci_trdy_l** 信号, 后端从设备发送 **tg_stop_l**, 就会进入 “Retry” 操作。发生该操作时的原因可能为由于死锁或某些非 PCI 资源处于非空闲状态及该设备处于互斥访问的锁定状态等原因, 使得当前从设备无法进行正常的传输, 也就是说, 从设备目前无数据传输。如图 3-15 和图 3-16 所示, 为 PCI Target Retry Read/Write 的时序图。

图 3-15 Retry Read

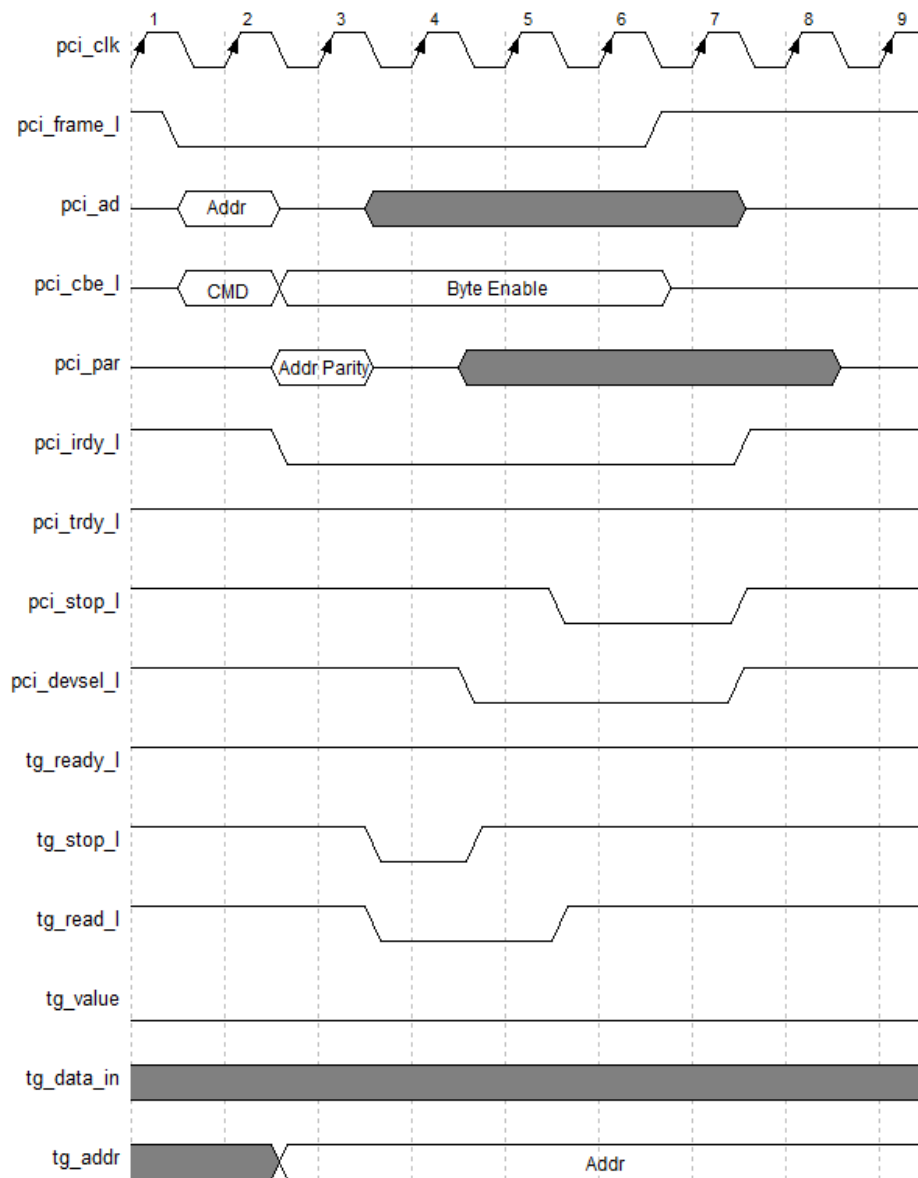
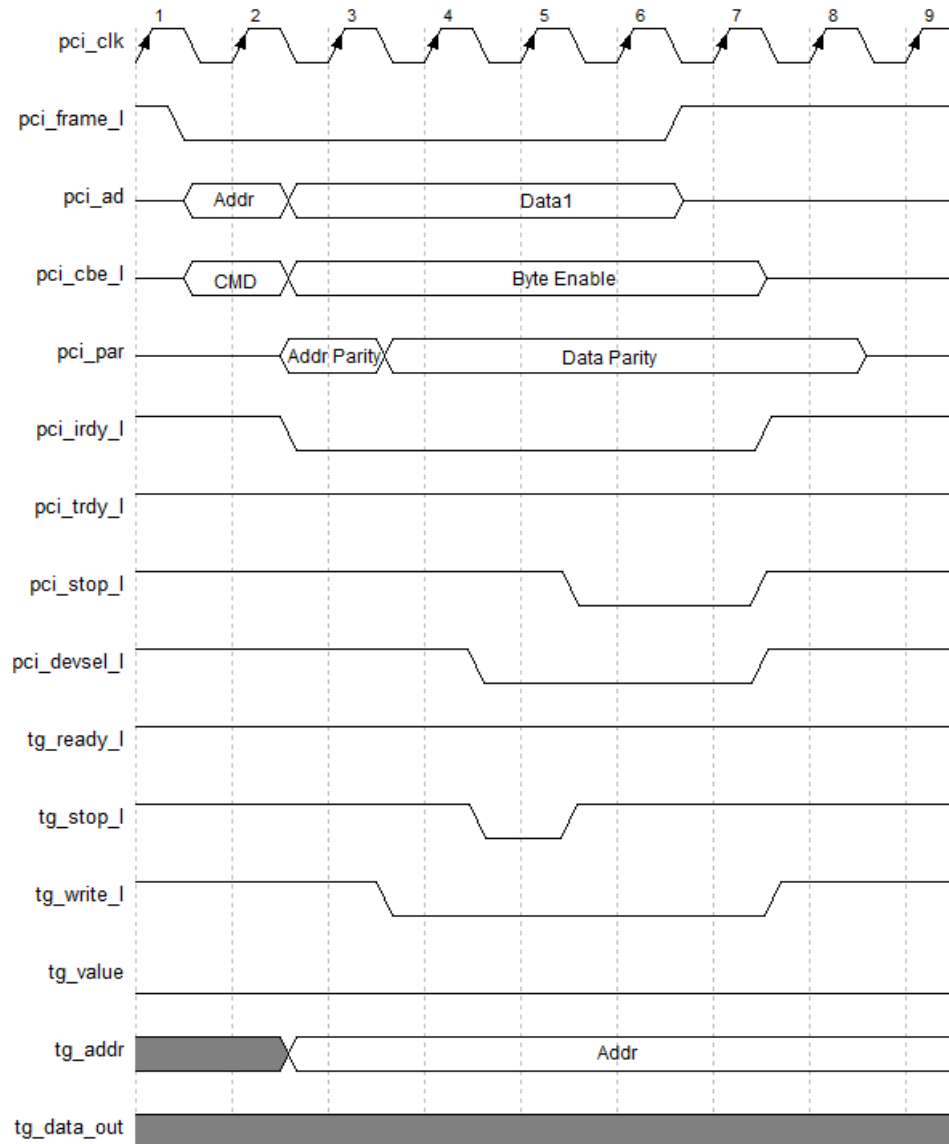


图 3-16 Retry Write



当发生 Target abort 传输时，pci_irdy_l 信号不会对传输有任何的影响，如图 3-17 和图 3-18 所示，为 PCI Target Abort Read/Write 时序图。

图 3-17 Abort Read

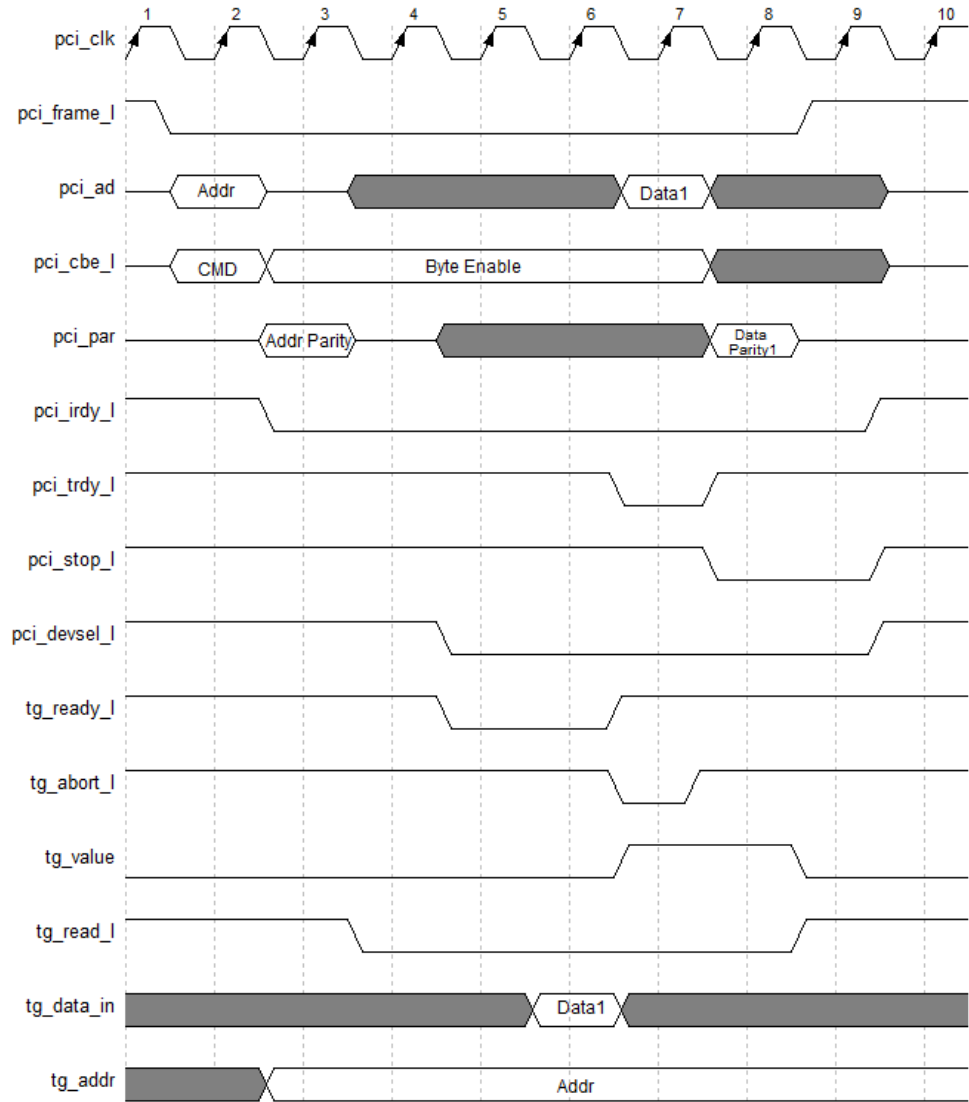
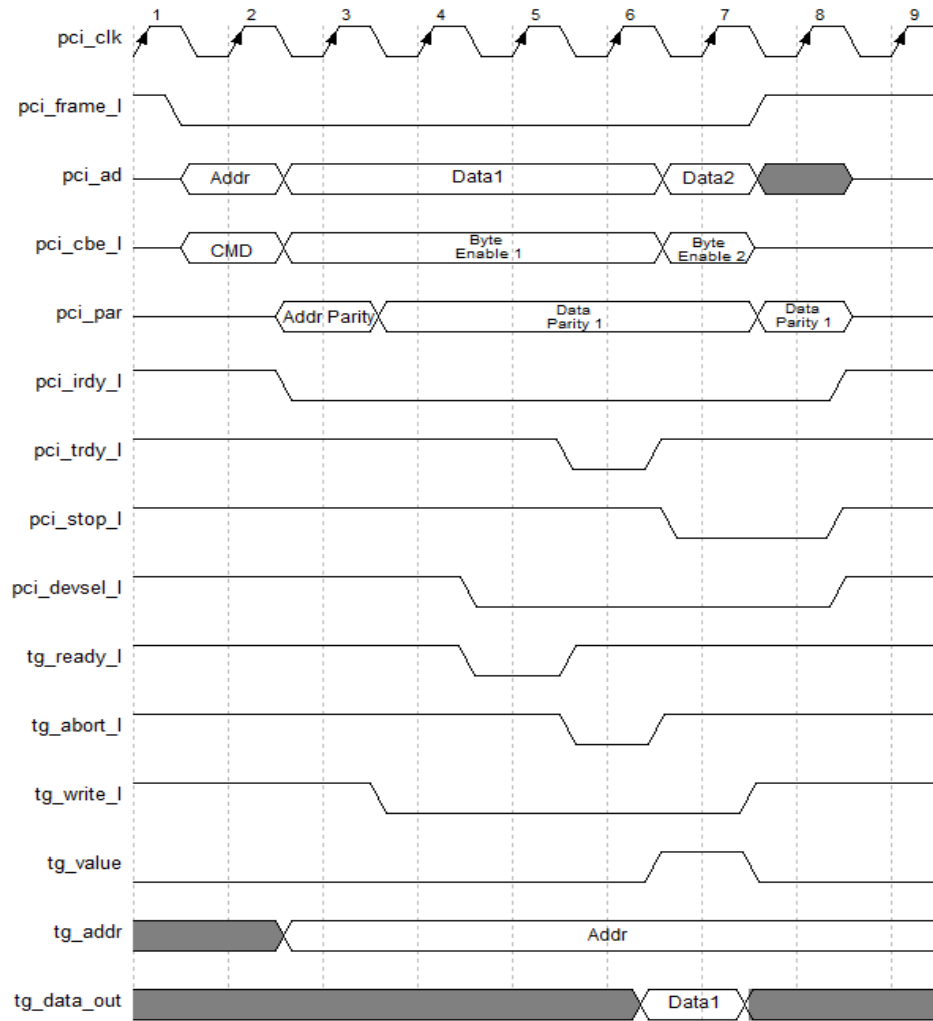


图 3-18 Abort Write



4 参数配置

本节主要结合 IDE 的 GUI 配置界面来讲解 PCI Target IP 的配置界面参数含义。

PCI Target IP 的配置界面如图 4-1 和图 4-2 所示。

图 4-1 PCI Target IP 配置界面

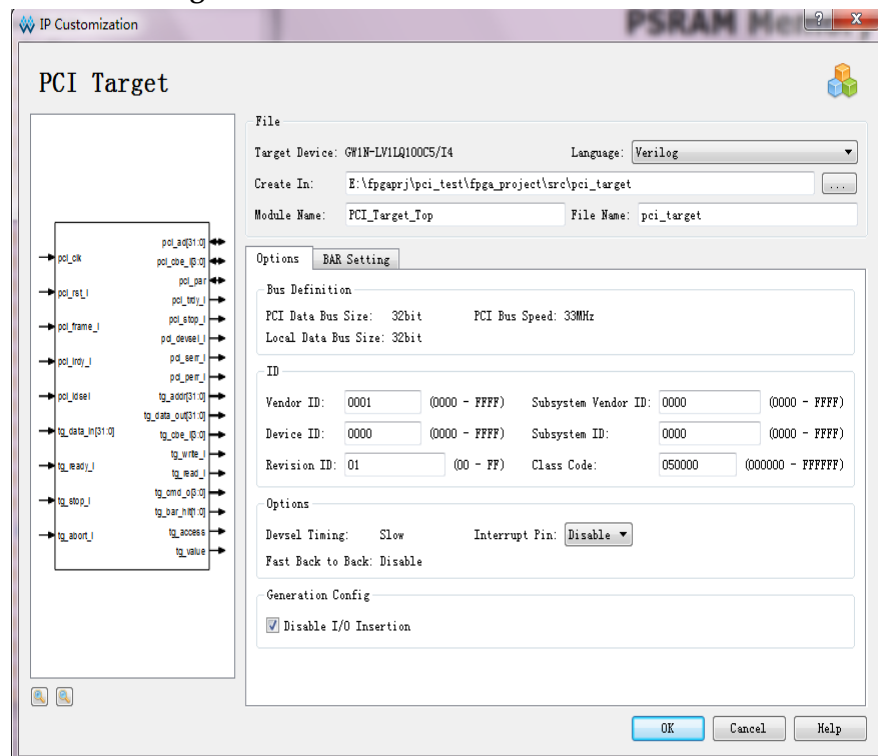
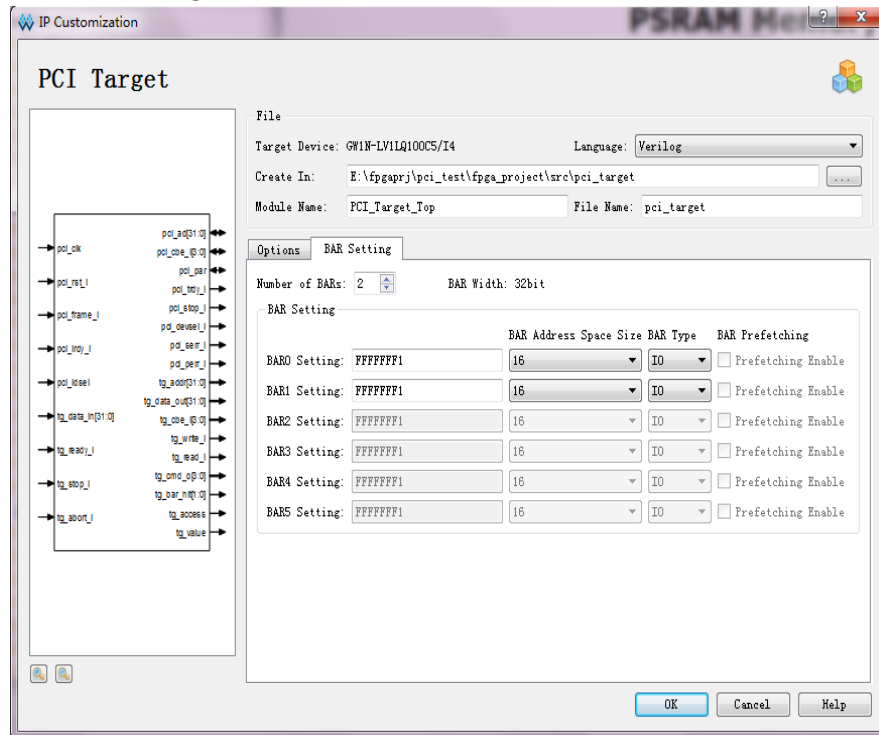


图 4-2 PCI Target 基区配置界面



GUI 界面中参数范围与默认值请参考表 4-1。

表 4-1 参数配置表

参数	中文含义	范围	默认值
ID			
Vendor ID[15:0]	供应商代码	0x0000-0xFFFF	0x0001
Device ID[15:0]	设备识别码	0x0000-0xFFFF	0x0000
Subsystem Vendor[15:0]	子系统供应商代码	0x0000-0xFFFF	0x0000
Subsystem ID[15:0]	子系统识别码	0x0000-0xFFFF	0x0000
Revision ID[7:0]	修改版本识别码	0x00-0xFF	0x01
Class Code	分类代码	0x000000-0xFFFFF F	0x050000
BARs			
Number of BARs	基区数量	0-6	2
BAR0	基区 0	0x00000000-0xFFFF FFFF	0xFFFFFFFF1
BAR1	基区 1	0x00000000-0xFFFF FFFF	0xFFFFFFFF1
BAR2	基区 2	0x00000000-0xFFFF FFFF	0xFFFFFFFF1
BAR3	基区 3	0x00000000-0xFFFF FFFF	0xFFFFFFFF1
BAR4	基区 4	0x00000000-0xFFFF FFFF	0xFFFFFFFF1
BAR5	基区 5	0x00000000-0xFFFF FFFF	0xFFFFFFFF1
BAR0 to BAR5 Configuration Option			

参数	中文含义	范围	默认值
BAR Type	基区类型	Memory,IO	IO
Address Space Size	地址空间大小	16bytes,32bytes,....,2 G	16bytes
Prefetching	预读取	Enable,disable	disable

注!

关于寄存器配置详细信息, 请参考 [3.4](#) 配置寄存器。

