



Gowin PDM2PCM

用户指南

IPUG906-1.3,2021-01-05

版权所有©2021 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2019/12/06	1.0	初始版本。
2020/01/03	1.1	移出 PLL。
2020/09/30	1.2	资源结构优化。
2021/01/05	1.3	资源结构优化。

目录

目录	i
图目录	ii
表目录	iii
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 概述	3
2.1 PDM2PCM IP 介绍	3
2.2 PDM2PCM 算法简介	3
3 特征与性能	6
3.1 主要特征	6
3.2 最大频率	6
3.3 延迟 Latency	6
3.4 资源利用	6
4 功能描述	8
5 端口描述	9
6 时序说明	10
6.1 PDM2PCM 单边沿时序	10
6.2 PDM2PCM 双边沿时序	10
7 PDM2PCM 调用及配置	12
8 参考设计	16

图目录

图 2-1 CIC Filter	3
图 2-2 Integrator Filter	4
图 2-3 Comb Filter	4
图 2-4 CIC Compensation Filter	5
图 4-1 PDM2PCM 实现框图	8
图 5-1 PDM2PCM IP 端口图	9
图 6-1 PDM2PCM(4 通道) Positive/Negative Edge Mode 状态时序图	10
图 6-2 PDM2PCM(4 通道) Double Edge Mode 状态时序图	11
图 7-1 IP Core Generator 界面	12
图 7-2 IP PDM2PCM 配置界面	13
图 7-3 IP PDM2PCM 基本信息配置界面	13
图 7-4 IP Options 配置界面	14
图 7-5 Help 文档	15
图 8-1 参考设计结构框图	16

表目录

表 1-1 术语、缩略语	1
表 2-1 PDM2PCM IP	3
表 3-1 PDM2PCM 占用资源	7
表 5-1 PDM2PCM 的 IO 端口列表	9

1 关于本手册

1.1 手册内容

Gowin PDM2PCM 用户指南主要内容包括功能特点、端口描述、时序说明、配置调用、参考设计等。主要用于帮助用户快速了解 Gowin PDM2PCM IP 的产品特性、特点及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. [DS100](#)，GW1N 系列 FPGA 产品数据手册
2. [DS117](#)，GW1NR 系列 FPGA 产品数据手册
3. [DS102](#)，GW2A 系列 FPGA 产品数据手册
4. [DS226](#)，GW2AR 系列 FPGA 产品数据手册
5. [SUG100](#)，Gowin 云源软件用户指南

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
DSP	Digital Signal Processing	数字信号处理
IP	Intellectual Property	知识产权
RAM	Random Access Memory	随机存取存储器
LUT	Look-up Tables	查找表
PDM	Pulse-density Modulation	脉冲密度调制
PCM	Pulse-code Modulation	脉冲编码调制
CIC Filter	Cascaded integrator comb Filter	积分-梳状级联滤波器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 PDM2PCM IP 介绍

Gowin PDM2PCM IP 主要是实现将 PDM 数据转为 PCM 数据。

表 2-1 PDM2PCM IP

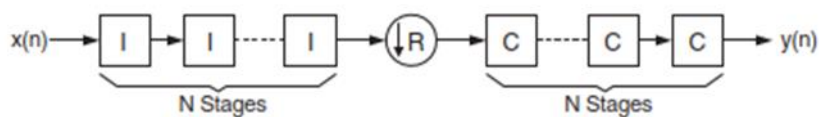
PDM2PCM	
IP 核应用	
逻辑资源	请参见表 3-1
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	Synplify Pro, Gowin Synthesis
应用软件	Gowin YunYuan

2.2 PDM2PCM 算法简介

PDM2PCM 的实现是由 CIC Filter 以及 CIC Compensation Filter 两部分组成。

CIC 滤波器是滑动平均滤波器的一种有效实现。

图 2-1 CIC Filter

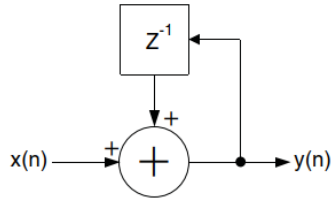


如图 2-1 所示, CIC Filter 是由多阶积分滤波器和梳状滤波器级联而成的滤波器。PDM2PCM 使用的抽取结构的 CIC filter, 输入信号先后经过积分器, 降采样, 以及梳状滤波器进行处理。

传递函数为:

$$H(z) = H_I^N(z^R)H_C^N = \frac{(1 - Z^{-RM})^N}{(1 - Z^{-1})^N}$$

图 2-2 Integrator Filter



积分器，如图 2-2 所示。积分器是单极点的 IIR 滤波器。状态方程为

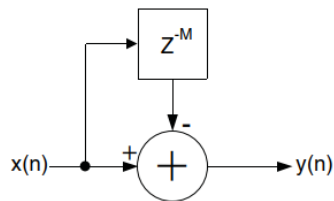
$$y[n] = y[n - 1] + x[n]$$

其中 $y[n]$ 为当前状态输出， $y[n - 1]$ 为上一次的输出， $x[n]$ 为当前输入。

传递函数为:

$$H_I(z) = \frac{1}{(1 - Z^{-1})}$$

图 2-3 Comb Filter



梳状滤波器，如图 2-3 所示。梳状滤波器是对称 FIR 滤波器。状态方程为:

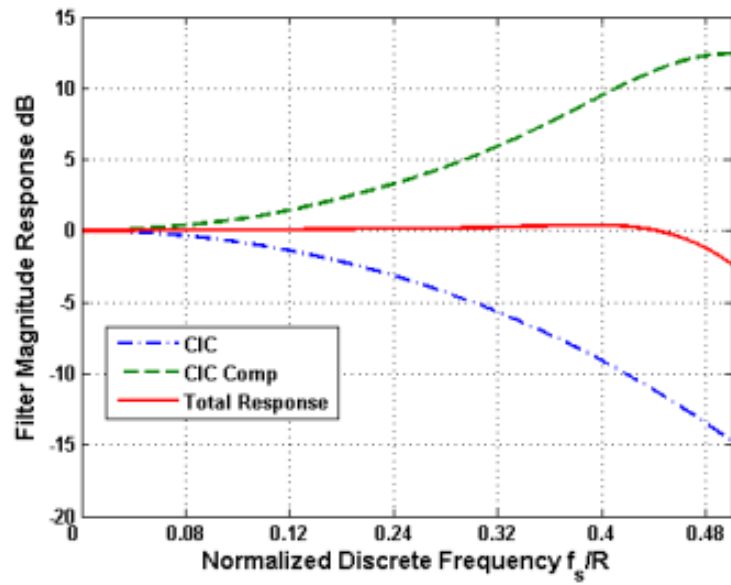
$$y[n] = x[n] - x[n - M]$$

其中 $y[n]$ 为当前状态输出， $x[n]$ 为当前输入， $x[n - M]$ 为 $n-M$ 时刻的 x 输入。

传递函数为:

$$H_C(z) = 1 - z^{-M}$$

图 2-4 CIC Compensation Filter



由于 CIC Filter 存在的问题是通带不够平坦,阻带不够可以通过多级 CIC Filter 级联满足要求, 所以通过 CIC Compensation Filter 对 CIC Filter 进行反向补偿, 实现 CIC Filter 满足较大的通带带宽和阻带的要求。

3 特征与性能

3.1 主要特征

- PDM 输入通道的数目可配置（1-8 个通道）；
- PDM 的边沿识别方式可配置（上升沿识别，下降沿识别，双边沿识别）；
- 可自定义加载 CIC Compensation Filter 的系数。

3.2 最大频率

PDM2PCM 的最大频率主要根据所用器件的速度等级（speed grade of the devices）确定，可达 80M。

3.3 延迟 Latency

PDM2PCM 的延迟主要由配置参数来确定。

3.4 资源利用

通过 Verilog 语言实现 PDM2PCM。因使用器件的密度、速度、等级不同以及 IP 配置模式不同，其性能和资源利用情况可能不同。

以高云 GW1N-9 系列 FPGA 为例，以 ITERATE 模式为例介绍 PDM2PCM 的资源利用情况，PDM2PCM 其资源利用情况如表 3-1 所示，有关在其他高云 FPGA 上的应用验证，请关注后期发布信息。

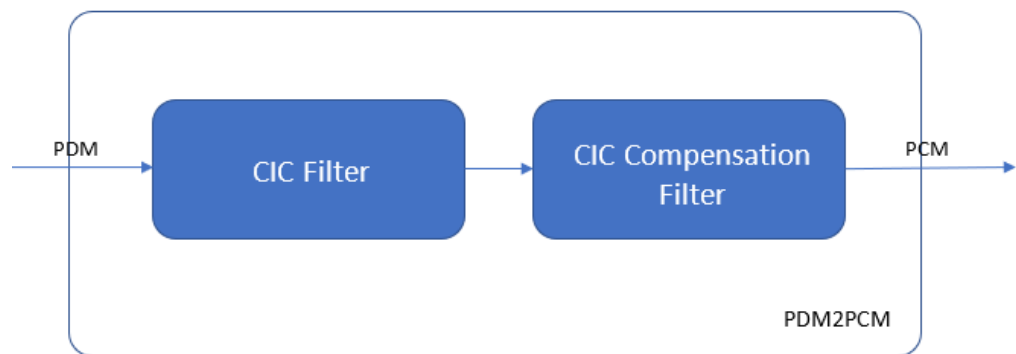
表 3-1 PDM2PCM 占用资源

器件系列	速度等级	器件名称	资源利用	备注
GW1N-9	-7	LUT	2600	<ul style="list-style-type: none">● 数据位宽为16;● 通道数为8;● 双边沿识别。
		REG	5026	
		BSRAM	2	
		DSP	2	

4 功能描述

在 FPGA 中通过 CIC Filter 和 CIC compensation Filter 处理，最终实现 PDM2PCM，实现框图如图 4-1 所示。

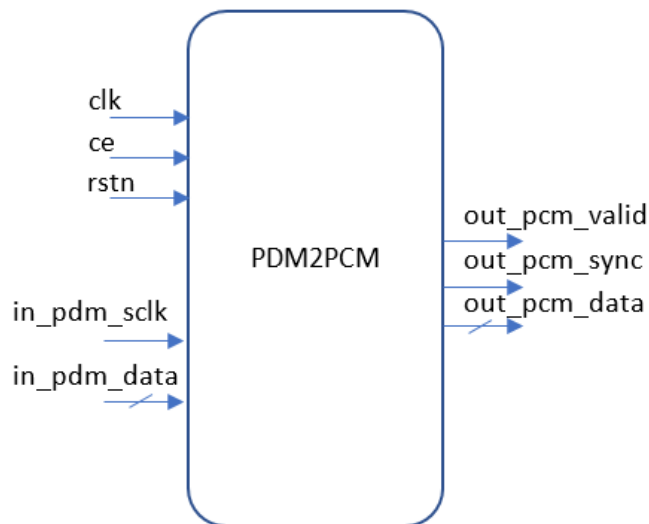
图 4-1 PDM2PCM 实现框图



5 端口描述

PDM2PCM IP 的 IO 端口如图 5-1 所示。

图 5-1 PDM2PCM IP 端口图



有关 PDM2PCM 的 IO 端口详情，如表 5-1 所示。

表 5-1 PDM2PCM 的 IO 端口列表

信号	方向	描述
clk	输入	时钟输入信号
ce	输入	使能信号
rstn	输入	复位信号（低电平有效）
in_pdm_data	输入	PDM数据输入信号（通道数为数据位数）
out_pdm_clk	输入	PDM时钟信号
out_pcm_valid	输出	PCM数据输出有效信号
out_pcm_sync	输出	PCM数据同步信号
out_pcm_data	输出	PCM数据输出信号

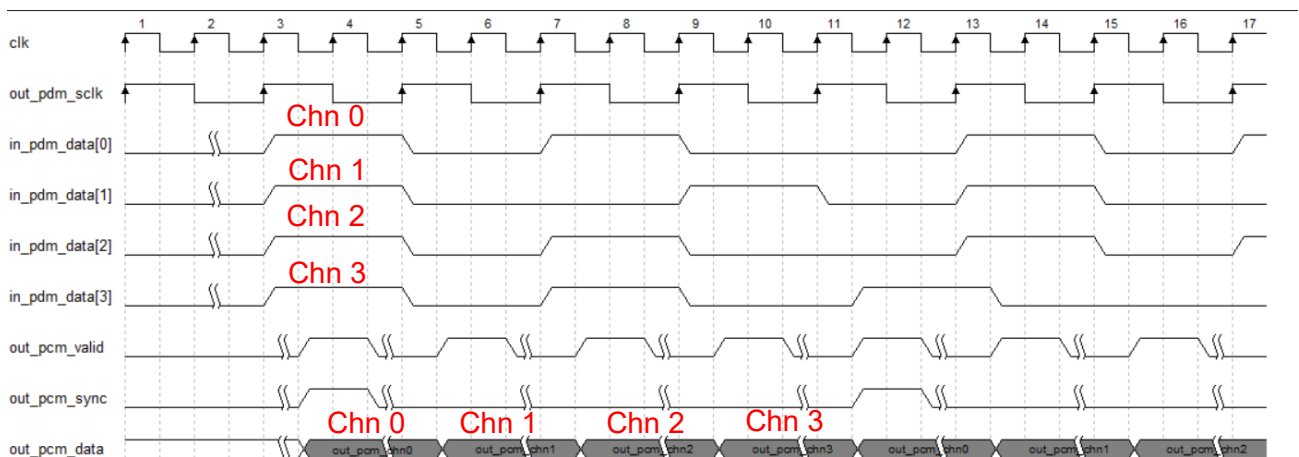
6 时序说明

本节旨在介绍 PDM2PCM 的时序情况。

6.1 PDM2PCM 单边沿时序

PDM2PCM (4 通道) Positive/Negative Edge Mode 状态的时序图如图 6-1 所示。

图 6-1 PDM2PCM(4 通道) Positive/Negative Edge Mode 状态时序图



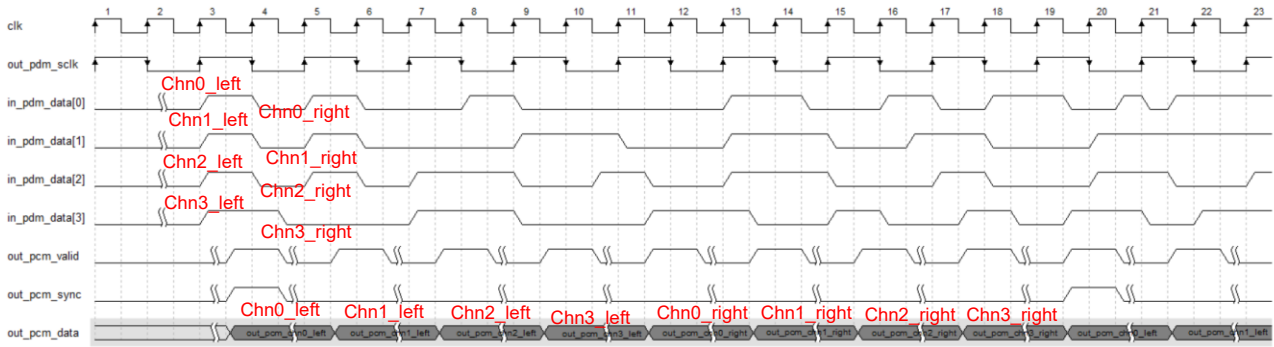
PDM2PCM IP，根据用户需要输出 PDM 时钟信号(out_pdm_sclk)。

通过获取多组通道的 PDM 输入有效数据(in_pdm_data[0-N])进行上/下边沿采样，IP 经过一段处理时间，输出多组通道的有效数据，每组 0 通道以同步信号(out_pcm_sync)进行区分。

6.2 PDM2PCM 双边沿时序

PDM2PCM (4 通道) Double Edge Mode 状态的时序图如图 6-2 所示。

图 6-2 PDM2PCM(4 通道) Double Edge Mode 状态时序图



PDM2PCM IP，根据用户需要输出 PDM 时钟信号(out_pdm_sclk)。

通过获取多组通道的 PDM 输入有效数据(in_pdm_data[0-N])进行双边沿采样，IP 经过一段处理时间，输出多组通道的有效数据，每组 0 通道以同步信号(out_pcm_sync)进行区分。

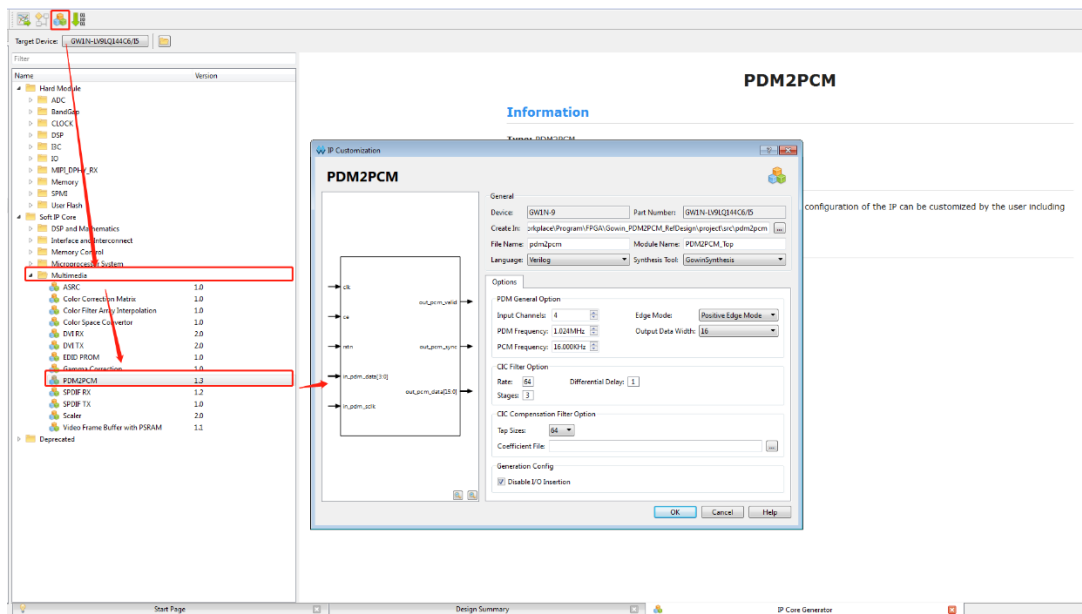
7 PDM2PCM 调用及配置

在高云云源软件界面菜单栏 Tools 下，可启动 IP Core Generator 工具，完成调用并配置 PDM2PCM。

1. 打开 IP Core Generator

用户建立工程后，点击“IP Core Generator”按钮，就可打开 Gowin 的 IP 核产生工具，如图 7-1 所示。

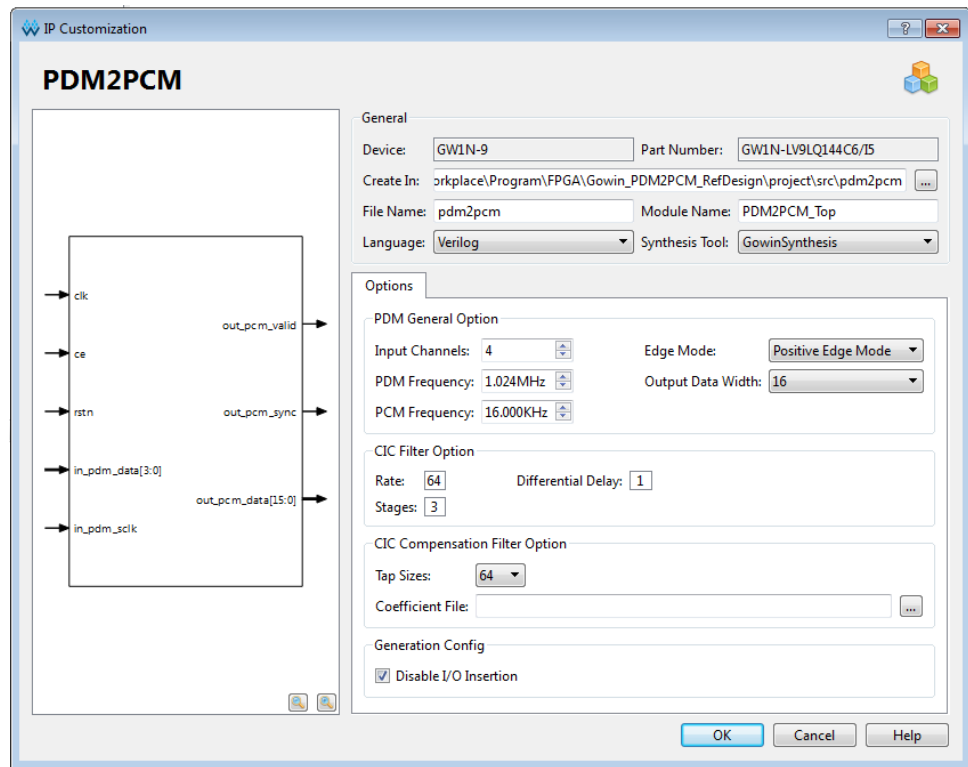
图 7-1 IP Core Generator 界面



2. 打开 PDM2PCM IP 核

单击“Multimedia”选项，双击“PDM2PCM”，打开 PDM2PCM IP 核的配置界面，如图 7-2 所示。

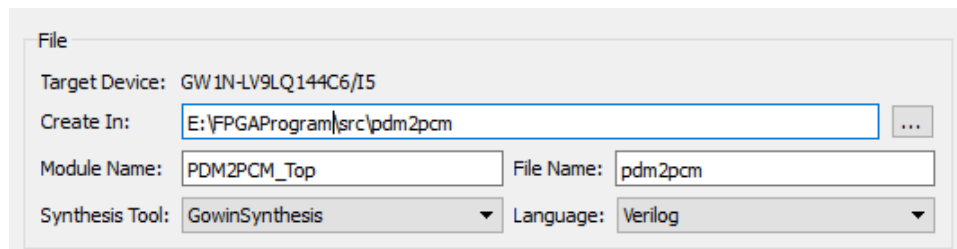
图 7-2 IP PDM2PCM 配置界面



3. 配置 PDM2PCM IP 核

如图 7-3 所示，以 GW1N-LV9LQ144C6/I5 为例，“Module Name”选项后面是工程产生后顶层文件的名称，默认为“PDM2PCM_Top”，用户可自行修改。“File Name”是 IP 核文件产生的文件夹，存放 PDM2PCM IP 核所需文件，默认为“pdm2pcm”，用户可自行修改。“Create In”选项是 IP 核文件夹产生路径，默认为“\工程路径\src\pdm2pcm”，用户可自行修改路径。

图 7-3 IP PDM2PCM 基本信息配置界面



如图 7-4 所示，IP 配置界面有三个设置项，分别为“PDM General Option”，“CIC Filter Option”，以及“CIC Compensation Filter Option”。用户可根据需要进行配置。

注！

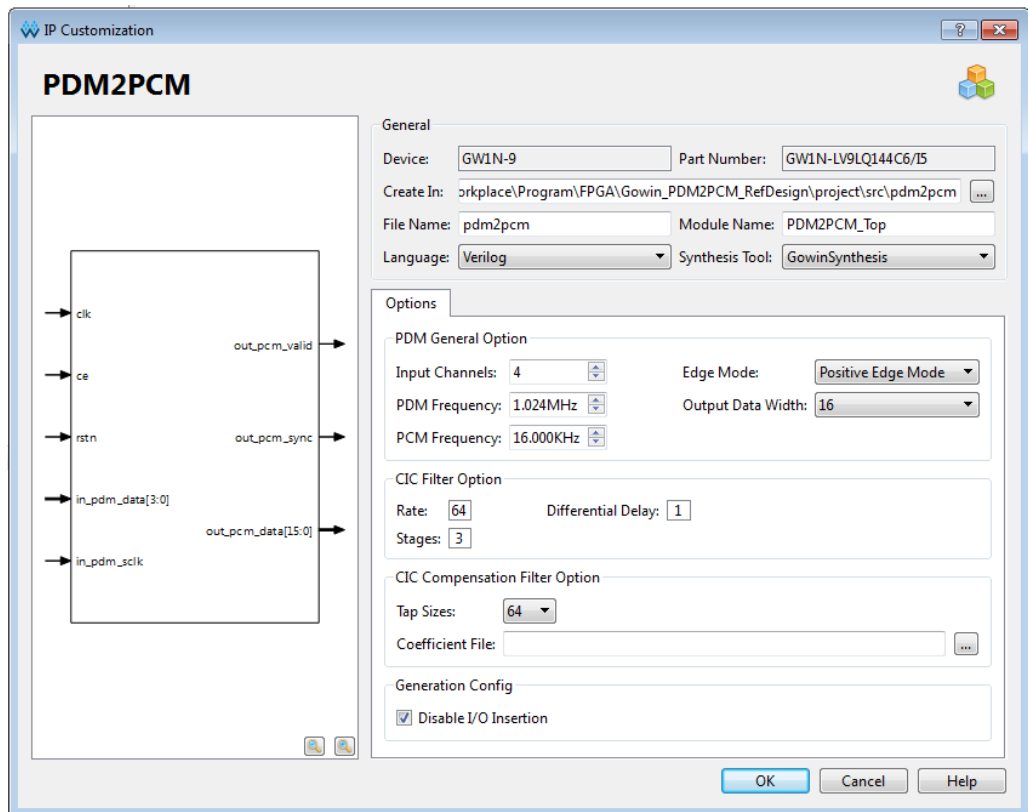
CIC Compensation Filter Option 加载系数文件时，系数为十进制数，每行一个数，系数的个数与 Taps Size 需保持一致。

系数文件中，数据的摆放位置应为：

h_0
 h_1
 h_2
 ...
 h_{N-1}

其中，数据都为十进制纯文本数据。

图 7-4 IP Options 配置界面



4. 打开 Help 文档

可以单击位于图 7-2 右下角的 Help 按钮可以查看配置界面中各个选项的简单英文介绍，方便用户快速完成对 IP 核的配置。Help 文档选项介绍顺序和界面顺序一致，如图 7-5 所示。

图 7-5 Help 文档

PDM2PCM

Information

Type: PDM2PCM

Vendor: GOWIN Semiconductor

Summary: Gowin PDM2PCM IP is designed to convert PDM data to PCM data. The IP supports configurable settings like input channel setting, PDM clock setting, and input signal edge detection setting. In addition, the CIC compensation filter coefficients can be customized to load, which is flexible and convenient to use.

The design has these features:

- Support multi-channel (1-8 channels)
- Support positive/negative edge detection and double edge detection
- Support customized cic compensation filter's coefficients reload

Options & Description

PDM General Option

Input Channels :

- Number of input channels.

PDM Frequency :

- Frequency of PDM.

PCM Frequency :

- Frequency of PCM.

Edge Mode :

- Three edge detection mode:
 - i. Positive edge detection mode.
 - ii. Negative edge detection mode.
 - iii. Double edge detection mode.

Output Data Width :

- Data width of output.

CIC Filter Option

Rate :

- Rate for decimator to down sample.

Stages :

- Number of integrator and comb stages.

Differential Delay :

- Number of unite delays employed in each comb filter.

CIC Compensation Filter Option

Tap Sizes :

- Size of CIC compensation filter's coefficient.

Coefficient File :

- File of CIC compensation filter's coefficient.

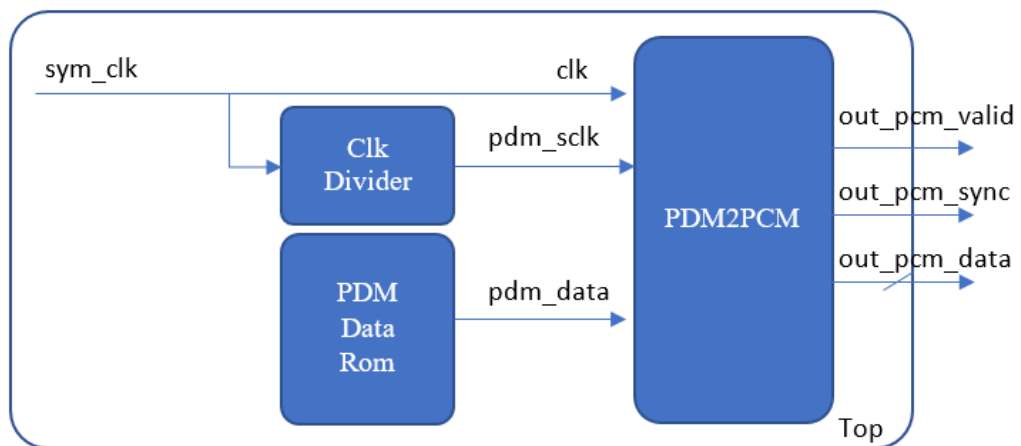
8 参考设计

本节主要介绍 PDM2PCM 的参考设计实例的搭建及其使用方法。PDM2PCM 的设计实例只有一个模块，详细信息见 PDM2PCM 的 reference design。

参考设计基本结构框图如图 8-1 所示。在设计实例中，其运行步骤如下所示：

1. 将 PDM 的数据存储到 PDM Data ROM 中。
2. 通过时钟分频模块产生 pdm_sclk。
3. 通过 PDM2PCM IP 计算后得到输出结果。

图 8-1 参考设计结构框图



利用该设计实例能够快速验证 PDM2PCM 的功能。当该参考设计应用于板级测试时，用户需为参考设计提供合适的激励，信号的观测可配合在线逻辑分析仪或示波器进行。

