

Gowin PicoRV32 硬件设计 参考手册

IPUG914-1.3,2021-07-16

版权所有 © 2021 广东高云半导体科技股份有限公司

GOWINEE, W, Gowin, 高云均为广东高云半导体科技股份有限公司注册商标, 本手册中提到的其他任何商标, 其所有权利属其拥有者所有。未经本公司书面许可, 任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部, 并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可,并未以明示或暗示,或以禁止发言或其它方式授予任 何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外,高云半导体 概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何 明示或暗示的担保,包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知 识产权的侵权责任等,均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准 确性和完整性不承担任何法律或非法律责任,高云半导体保留修改文档中任何内容的权利, 恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2020/01/06	1.0	初始版本。
		● MCU 支持 Wishbone 总线接口的外部设备 GPIO;
		● MCU 支持扩展 AHB 总线接口;
2020/03/12	1.1	● MCU 支持片外 SPI-Flash 下载及运行;
		● MCU 支持外部设备 SPI-Flash 读、写和擦除功能;
		● MCU 支持 Hardware Stack Protection 和 Trap Stack Overflow 功能。
		● 支持 MCU 软件在线调试功能;
2020/06/01	1.2	● 增强 MCU 内核中断处理功能;
		● 优化 MCU 内核指令。
2021/07/16	1.2	● 删除综合工具 SynplifyPro;
2021/07/16	1.3	● 更新 FPGA 软件版本。

目录

目录	i
图目录ii	ii
表目录i	v
1 硬件架构	1
1.1 系统架构	1
1.2 系统特征	2
1.2.1 PicoRV32 内核子系统	2
1.2.2 Wishbone Bus 子系统	2
1.3 系统端口定义	3
1.4 系统资源统计	5
2 硬件设计流程	6
2.1 硬件环境	6
2.2 软件环境	6
2.3 软核生成器	6
2.4 下载软件	6
2.5 设计流程	7
3 工程模板	8
3.1 工程创建	8
3.1.1 新建工程	8
3.1.2 设定工程名称和路径	8
3.1.3 选择器件	9
3.1.4 完成工程创建1	0
2.2 西伊沿斗	-
3.2	0
3.2.1 PicoRV32 内核子系统硬件设计1	0 1
3.2.1 PicoRV32 内核子系统硬件设计	0 1 5
3.2 硬件设计 1 3.2.1 PicoRV32 内核子系统硬件设计 1 3.2.2 Wishbone Bus 子系统硬件设计 1 3.3 用户设计 2	0 1 5 2
3.2 硬件设计 1 3.2.1 PicoRV32 内核子系统硬件设计 1 3.2.2 Wishbone Bus 子系统硬件设计 1 3.3 用户设计 2 3.4 约束 2	0 1 5 2 2
3.2 硬件设计 1 3.2.1 PicoRV32 内核子系统硬件设计 1 3.2.2 Wishbone Bus 子系统硬件设计 1 3.3 用户设计 2 3.4 约束 2 3.5 工程配置 2	0 1 5 2 2 2
3.2 硬件设计 1 3.2.1 PicoRV32 内核子系统硬件设计 1 3.2.2 Wishbone Bus 子系统硬件设计 1 3.3 用户设计 1 3.4 约束 2 3.5 工程配置 2 3.5.1 综合选项配置 2 2.5.2 Deet Place File 生式配置 2	0 1 5 2 2 2 2
3.2 硬件设计 1 3.2.1 PicoRV32 内核子系统硬件设计 1 3.2.2 Wishbone Bus 子系统硬件设计 1 3.3 用户设计 2 3.4 约束 2 3.5 工程配置 2 3.5.1 综合选项配置 2 3.5.2 Post-Place File 生成配置 2 2.5 2 Duel Durnees Die 配置 2	0 1 5 2 2 2 3

i

4	参考	设计	27
	3.8	下载	24
	3.7	布局布线	24
	3.6	综合	24

图目录

图 1-1 系统架构	1
图 3-1 新建 FPGA Design 工程	8
图 3-2 设定工程名称和路径	9
图 3-3 选择器件	9
图 3-4 完成工程创建	10
图 3-5 选择 Gowin_PicoRV32	10
图 3-6 Gowin_PicoRV32 配置选项	11
图 3-7 Gowin PicoRV32 CORE 配置选项	11
图 3-8 指令存储器 ITCM 配置选项	12
图 3-9 数据存储器 DTCM 配置选项	13
图 3-10 Simple UART 配置选项	14
图 3-11 OPEN AHB INTERFACE 配置选项	15
图 3-12 WB UART 配置选项	16
图 3-13 WB I2C Master 配置选项	16
图 3-14 WB SPI Master 配置	17
图 3-15 WB SPI Slave 配置	18
图 3-16 WB GPIO 配置	19
图 3-17 ADV SPI-Flash 配置	20
图 3-18 OPEN WB INTERFACE 配置	21
图 3-19 Top Module 配置	21
图 3-20 综合选项配置	22
图 3-21 Post-Place File 配置	23
图 3-22 Dual-Purpose Pin 配置	23
图 3-23 综合	24
图 3-24 Place & Route	24
图 3-25 GW1N 系列 Configure Device	25
图 3-26 GW2A 系列 Configure Device	26

表目录

3
5
12
15
17
18



1.1 系统架构

Gowin_PicoRV32 系统架构包括 Gowin PicoRV32 内核、指令存储器 ITCM 和数据存储器 DTCM、轻量化 UART、AHB 总线扩展接口和 Wishbone 总线及外部设备,如图 1-1 所示。





- Gowin PicoRV32 CORE 是 32 位 RISC-V 指令集架构微控制器单元内核;
- ITCM 是指令存储器;
- DTCM 是数据存储器;
- Simple UART 是一个可配置的轻量化 UART;
- OPEN AHB INTERFACE 是 AHB 总线扩展接口,供用户扩展 AHB 总线 接口的外部设备;

Wishbone Bus 连接 PicoRV32 Core 及 Wishbone Bus 接口外部设备,
 Wishbone Bus 接口外部设备包括 UART、I2C Master、SPI Master、SPI Slave、GPIO、ADV SPI-Flash 和 Wishbone 总线扩展接口。

1.2 系统特征

Gowin_PicoRV32 包括两个子系统:

- PicoRV32内核子系统,包括微控制器单元内核、指令存储器、数据存储器、一个可配置的轻量化UART和AHB总线扩展接口;
- Wishbone 总线,以及 Wishbone 总线接口的外部设备子系统。

1.2.1 PicoRV32 内核子系统

处理器内核

- RISC-V 32 位整型指令集架构;
- 可配置的 RISC-V32M 乘法/除法指令集扩展和可配置的 RISC-V32C 压 缩指令集扩展;
- 可配置的 SPI FLASH 接口,支持片外 SPI FLASH 下载启动方法;
- 内置中断处理器模块,采用自定义的中断管理指令,支持 32 个中断源管理,中断优先级可以通过软件控制;
- 内置 32 位计时器模块,采用自定义的计时器操作指令;
- 内置调试模块,支持软件在线调试功能;
- 大小端格式: RISC-V 标准仅支持小端格式;
- 支持 Trap Stack Overflow 功能。

Memory

- ITCM: 指令存储器,可配置 Size (8/16/32/64/128/256KB),数据和指 令小端模式;
- DTCM: 数据存储器,可配置 Size (8/16/32/64/128/256KB),数据和指 令小端模式,支持 Hardware Stack Protection 功能。

Simple UART

- 轻量化 UART 串行通信接口
- 使用极少逻辑资源

OPEN AHB INTERFACE

- AHB 总线扩展接口
- 用户可以扩展连接自定义的 AHB 总线接口的外部设备

1.2.2 Wishbone Bus 子系统

Wishbone Bus 子系统,包括 UART、I2C Master、SPI Master、SPI Slave、 GPIO、ADV SPI-Flash 和 Wishbone 总线扩展接口。

1.3 系统端口定义

Gowin_PicoRV32 系统端口定义,如表 1-1 所示。

表 1-1 系统端口定义	ζ
--------------	---

名称	I/O	位宽	描述	所属模块
clk_in	in	1	系统时钟信号	-
resetn_in	in	1	系统复位信号	-
irq_in	in	12	外部中断输入信号	OPEN WB INTERFACE和 OPEN AHB INTERFACE
jtag_TDI	in	1	JTAG数据输入信号	
jtag_TCK	in	1	JTAG时钟输入信号	Debug
jtag_TMS	in	1	JTAG模式选择信号	Debug
jtag_TDO	out	1	JTAG数据输出信号	
ser_tx	out	1	Simple UART的输出信号	Simple LIART
ser_rx	in	1	Simple UART的输入信号	
gpio_io	inout	32	Wishbone GPIO的输入输出 信号	WB GPIO
wbuart_tx	out	1	Wishbone UART的输出信号	
wbuart_rx	in	1	Wishbone UART的输入信号	WBUART
wbi2c_sda	inout	1	Wishbone I2C Master的数 据信号	WD IOC Mostor
wbi2c_scl	inout	1	Wishbone I2C Master的时 钟信号	WD IZC Master
wbspi_master_ miso	in	1	Wishbone SPI Master的 MISO信号	
wbspi_master_ mosi	out	1	Wishbone SPI Master的 MOSI信号	
wbspi_master_ ssn	out		Wishbone SPI Master的 SLAVE选定信号 每个SLAVE对应1位,最多支 持8位	WB SPI Master
wbspi_master_ sclk	out	1	Wishbone SPI Master的时 钟信号	
wbspi_slave_mi so	out	1	Wishbone SPI Slave的 MISO信号	
wbspi_slave_m osi	in	1	Wishbone SPI Slave的 MOSI信号	WB SPI Slave
wbspi_slave_ss n	in	1	Wishbone SPI Slave的 SLAVE选定信号	
wbspi_slave_sc lk	in	1	Wishbone SPI Slave的时钟	

名称	I/O	位宽	描述	所属模块
			信号	
io_spi_clk	inout	1	ADV SPI-Flash的时钟信号	
io_spi_csn	inout	1	ADV SPI-Flash的片选信号	ADV SPI-Flash
io_spi_mosi	inout	1	ADV SPI-Flash的MOSI信号	
io_spi_miso	inout	1	ADV SPI-Flash的MISO信号	
slv_ext_stb_o	out	1	Wishbone总线扩展接口的 strb信号	
slv_ext_we_o	out	1	Wishbone总线扩展接口的写 操作信号	
slv_ext_cyc_o	out	1	Wishbone总线扩展接口的 cyc信号	
slv_ext_ack_i	in	1	Wishbone总线扩展接口的 ack信号	OPEN WB
slv_ext_adr_o	out	32	Wishbone总线扩展接口的地 址信号	INTERFACE
slv_ext_wdata_ o	out	32	Wishbone总线扩展接口的写 数据信号	
o out 32 数据信号 slv_ext_rdata_i in 32 Wishbone总线扩展接口的读数据信号 Wishbone总线扩展接口的读数据信号 Wishbone总线扩展接口的字				
slv_ext_sel_o	out	4	Wishbone总线扩展接口的字 节选择信号	
hrdata	in	32	AHB总线扩展接口的读数据 信号	
hresp	in	2	AHB总线扩展接口的总线传 输状态信号	
hready	in	1	AHB总线扩展接口的准备好 信号	
haddr	out	32	AHB总线扩展接口的地址信 号	
hwrite	out	1	AHB总线扩展接口的读写方 向信号	OPEN AHB
hsize	out	3	AHB总线扩展接口的传输数 据大小信号	INTERFACE
hburst	out	3	AHB总线扩展接口的传输突 发信号	
hwdata	out	32	AHB总线扩展接口的写数据 信号	
hsel	out	1	AHB总线扩展接口的片选信 号	
htrans	out	2	AHB总线扩展接口的传输类 型信号	

1.4 系统资源统计

Gowin_PicoRV32 系统资源统计,如表 1-2 所示。

表 1-2 系统资源统计

Resources Configuration	LUTs	Registers	BSRAMs	DSP Macros
PicoRV32 CORE Minimum and No Peripherals	2764	1833	8	0
PicoRV32 CORE Maximum and No Peripherals	6210	3477	32	2
PicoRV32 CORE Default and No Peripherals	5321	3173	32	2
PicoRV32 CORE Default and Peripherals(UART/GPIO/I2C)	6804	4228	32	2
PicoRV32 CORE Default and All Peripherals Default	8330	5070	32	2
PicoRV32 CORE Maximum and All Peripherals Maximum	8594	5278	32	2

2硬件设计流程

2.1 硬件环境

- DK-START-GW2A18 V2.0
 GW2A-LV18PG256C8/I7
- DK-START-GW1N9 V1.1 GW1N-LV9LQ144C6/I5
- DK-START-GW2A55 V1.3
 GW2A-LV55PG484C8/I7
- DK-START-GW2AR18 V1.1 GW2AR-LV18ELQ144PC6/I5

2.2 软件环境

Gowin_V1.9.8Beta 及以上版本。

2.3 软核生成器

高云云源软件提供软核生成器 IP Core Generator,用于配置和产生 Gowin_PicoRV32 的硬件设计。

2.4 下载软件

Gowin_PicoRV32, 支持下载工具 Programmer 下载硬件设计码流文件。

下载工具 Programmer 的使用方法,请参考 <u>SUG502</u>, *Gowin Programmer 用户指南*。

2.5 设计流程

Gowin_PicoRV32 硬件设计流程:

1. 根据用户设计需求,在 IP Core Generator 软核生成器中配置 Gowin_PicoRV32;

注!

如需通过 Wishbone 总线扩展接口或 AHB 总线扩展接口支持自定义外部设备,则选择使能 OPEN WB INTERFACE 或 OPEN AHB INTERFACE,并且必须禁用"Use Gowin PicoRV32 as top module"选项。

- 2. 完成 Gowin_PicoRV32 功能配置后,产生 Gowin_PicoRV32 硬件设计;
- 3. 实例化 Gowin_PicoRV32 Top Module,导入用户设计,连接用户设计与 Gowin_PicoRV32 Top Module;
- 4. 物理约束和时序约束;
- 5. GowinSynthesis[®]综合,产生网表文件;
- 6. Place & Route 布局布线,产生硬件设计码流文件;
- Programmer 下载硬件设计码流文件到 GW1N-9/GW1N-9C/GW1NR-9/GW1NR-9C/GW2AN-9X/GW2A-18/G W2A-18C/GW2AR-18/GW2AR-18C/GW2ANR-18C/GW2AN-18X/GW2 A-55/GW2A-55C/GW2AN-55C。



3.1 工程创建

3.1.1 新建工程

双击打开高云云源软件,选择菜单栏 "File > New... > FPGA Design Project",如图 3-1 所示。



3.1.2 设定工程名称和路径

输入工程名称,选择工程路径,如图 3-2 所示。

图 3-2 设定工	程名称和路径	
W Project Wizard		×
📫 Project Name	Project Name	
Select Device Summary	Enter a name for your project, and specify a directory where the project will be stored. The directory will be created if it doesn't exist.	
	Name: qowin picorv32	7
	Create in: Fi\	
	Use as default project location	
	Next > Cano	cel

3.1.3 选择器件

选择 "Series"、"Device"、"Package"、"Speed" 和 "Part Number", 如图 3-3 所示。

以软件开发工具包参考设计为例,器件配置如下所示。

- Series: GW2A
- Device: GW2A-18C
- Package: PBGA256
- Speed: C8/I7
- Part Number: GW2A-LV18PG256C8/I7

图 3-3 选择器件

Project Name	Select	Device							
Select Device	Specify a Filter	target device for your pro	ject						
	Series:	GW2A	•	Device:	GW2A-180				•
				Package:	PBGA256				•
				Speed:	C8/I7				•
		Part Number	Device	Package	Speed	Voltage	ю	LUT	FF
	GW2A-LV	/18PG256C8/I7	GW2A-18C	PBGA256	C8/17	LV	207	20736	155
	٢				<	<u>B</u> ack	<u>N</u> ext >	Car	> ncel

3.1.4 完成工程创建

完成新建工程,如图 3-4 所示。

	Summary	
Project Name	Sammary	
Select Device	Project Name: gowin_picorv32 Directory: F:\	
	Source Directory: F:\gowin_picorv32\src Implementation Directory: F:\gowin_picorv32\impl	
	Device Part Number: GW2A-LV18PG256C8/I7 Series: GW2A Device: GW2A-18C Package: PBGA256 Speed: C8/I7	

3.2 硬件设计

使用 IP Core Generator 产生 Gowin_PicoRV32 硬件设计。

选择菜单栏 "Tools > IP Core Generator" 或工具栏 IP Core Generator

" 🍓 ", 打开 IP Core Generator。

选择"Soft IP Core > Microprocessor System > Soft-Core-MCU > Gowin_PicoRV32 1.2",如图 3-5 所示。



gowin_picorv32 - [F:\gowi	Filter											
CW2A-LV18FG256C8/17	Name CLOCK DSP IEC DSP IEC Name Name Share Share Depression Name Name Share Depression Share Depression Share Depression Share Depression Share Depression Share SchCore-MCU SchCore SchCore Share SchCore Main Rest AE292 Mainteela SchCore SchCore SchCore SchCore	1.6 1.0 1.2 1.1	~	Informal Type: Gowin, Yendor: GOW Summar Gowin, PicoRV RV32/C, RV32 bit time; Gow Flash, and can Visito noty tak 50 MHz, and to average CPI is Gowin, PicoRV miterface. The to able chem	Fion PicoRV3. /IN Semi 32 is into 32 is bas IM, RV3: in_PicoR run in in es 2K~4 he avera hrystone 4.10. 32 has t Wishbor	2 conducto rended for red on R 2IMC MC V32 can astructio K LUTS i ge cycle benchn wo stanie to bus is Thore o	Gowir or ISC-V Instru U, and optic either boot in memory on in GOWIN FF per instruct nark result is dard bus inth a small-size	pedded app action Set / nally conta from instru, r external 3 GA. The m ion is arour 0.516 DM erfaces, Wi high-perfi	oRV plications, Architectri ins a buil justion me SPI Flash laximum ind 6, deg IPS/MHz, shbone b ormance	32 , and integ ure, it can t-in interr mory or b . The MCU frequency ending or for the D ous interfa logic bus, a CPU may	rated into 0 be configur pit controlled oot from ex is highly op of system c the mix of hrystone be ce and AHB which can o	SOWIN FPGA ed as RV321, r and a 32- ternal SPI timized, lock is up to lock is up to instructions nchmark the bus pmmunicate
	9 Start Page		Desig	Summary	devices.	There c	ontains a ur	KI, an IZC	master,	a SPI mas	ster and a S	PI slave on
lesign Process Hierarchy	* Surraye	10.00			-6.3	00	IP Core o	enerator	Sec. 2			

? X

双击打开 Gowin_PicoRV32, Gowin_PicoRV32 配置选项如图 3-6 所示, 包括 Gowin PicoRV32 内核子系统和 Wishbone Bus 子系统。

如果模块配置使能,则该模块呈现绿色标示。

图 3-6 Gowin_PicoRV32 配置选项

-		Gowin_PicoRV32	
---	--	----------------	--

File			
Device:	GW2A-18C	Part Number	GW2A-LV18PG256C8/I7
Create In:	F:\gowin_picorv32\src\gowin_picorv32		
File Name:	gowin_picorv32	Module Name:	Gowin_PicoRV32_Top
Language:	Verilog 🗸	Synthesis Tool:	GowinSynthesis 👻
Use Gov	win PicoRV32 as top module		
	Gowin P	icoRV32 CORE	
	Gowin	CONV 32 CONE	
	$\wedge \wedge \wedge$		<u>Λ</u> Λ
		_	
			OPEN AHB
	ITCM DTCM	Simp	INTERFACE
	Wish	Bone Bus	
		小	
	WB I2C WB SPI		ADV SPI- OPEN WB
	WB UART Master WB	SPI Slave W	B GPIO Flash INTERFACE
L			Q
			OK Cancel Help

3.2.1 PicoRV32 内核子系统硬件设计

Gowin PicoRV32 CORE 配置

双击 Gowin PicoRV32 CORE,打开 Gowin PicoRV32 CORE 的配置页面,配置选项如图 3-7 所示。



Gowin PicoRV32 CORE 硬件设计配置选项,如表 3-1 所示。

表 3-1 Gowin	PicoRV32 COF	KE 配置选项
-------------	--------------	---------

配置选项	描述
Support RV32C Extends	选择是否支持 RISC-V 压缩指令集扩展,默认支持。
Support RV32M Extends	选择是否支持 RISC-V 乘法/除法指令集扩展,默认支持。
Enable Interrupts	选择是否支持中断控制,默认支持。
Enable Timer	选择是否支持计时器模块,默认支持。
Enable Counters	选择是否支持计数指令 RDCYCLE[H]/RDTIME[H]/RDINSTRET[H],默认支持。
Two Stage Shift	选择是否支持两段移位功能(如果支持,可以加速移位操作,但是会增加逻辑资源使用量),默认支持。
Two Cycle Compare	选择是否支持两周期比较功能(如果支持,可以缩短数据 路径长度、提高时序质量,但是会执行比较指令,从而增 加一个时钟周期),默认不支持。
Two Cycle ALU	选择是否支持两周期运算功能(如果支持,可以缩短数据 路径长度、提高时序质量,但是会执行运算指令,从而增 加一个时钟周期),默认不支持。
Barrel Shifter	选择是否支持桶形移位功能,默认不支持。
Catch Misalign	选择是否在存储器访问发生地址未对齐错误时进入 TRAP 并停止运行,默认支持。
Catch illegal Instruction	选择是否在执行非法指令时进入 TRAP 并停止运行,默认 支持。
Trap Stack Overflow	选择是否支持阻止栈溢出功能,默认不支持。
Enable Debug	选择是否支持软件在线调试功能,默认支持。

指令存储器 ITCM 配置

双击指令存储器 ITCM,打开指令存储器 ITCM 的配置页面,配置选项 如图 3-8 所示,可以配置 ITCM Size、Gowin_PicoRV32 的三种启动方式和 ITCM 初始值文件。

2 V

图 3-8 指令存储器 ITCM 配置选项

		1 7
ІТСМ		<u>&</u>
-> c8,in	Gowin_PicoRV32 is intend integrated into Gowin FPC ITCM is the instruction me If the MCU boot mode is initialized and the initialize	ed for deeply embedded applications that is SA, which is based on RISC-V 32Bit ISA RV32IMC. emory of this MCU. Its size is configurable. set as boot and run in ITCM, the ITCM should be ation file should be set.
	Options	
	Configuration	
> resetn_in	ITCM Size:	32КВ 👻
	Boot Mode:	O MCU boot from external Flash and run in ITCM
		O MCU boot and run in external Flash
		MCU boot and run in ITCM
	ITCM Initialization File:	
Gowin PicoRV32 🔍 🍭		
		OK Cancel

- ITCM Size
 - 可以配置 8KB 或 16KB 或 32KB 或 64KB 或 128KB 或 256KB;
 - GW1N-9/GW1NR-9/GW1N-9C/GW1NR-9C/GW2AN-9X ITCM Size 最大选择为 32KB,默认为 16KB;
 - GW2A-18/GW2A-18C/GW2AR-18/GW2AR-18C/GW2ANR-18C/G W2AN-18X ITCM Size 最大选择为 64KB,默认为 32KB;
 - GW2A-55/GW2A-55C/GW2AN-55C ITCM Size 最大选择为256KB, 默认为 64KB。
- Boot Mode
 - 片外 SPI FLASH 下载启动,指令存储器 ITCM 运行的方式(MCU boot from external Flash and run in ITCM);
 - 片外 SPI FLASH 下载启动, 片外 SPI FLASH 运行的方式(MCU boot and run in external Flash);
 - 指令存储器 ITCM 启动,指令存储器 ITCM 运行的方式(MCU boot and run in ITCM)

注!

- 如果选择 MCU boot and run in ITCM,则在 ITCM Initialization File 中导入 ITCM 初始 化文件(即 Gowin_PicoRV32 软件编程设计 ram32.hex)
- ITCM Initialization File 导入的路径,不能有以数字或\n、\t 等转义字符存在的文件夹路径!

数据存储器 DTCM 配置

双击数据存储器 DTCM, 打开数据存储器 DTCM 的配置页面, 配置选项 如图 3-9 所示, 可以配置 DTCM Size、硬件栈保护及栈保护范围。

图 3-9 数据存储器 DTCM 配置选项



- DTCM Size
 - 可以配置 8KB 或 16KB 或 32KB 或 64KB 或 128KB 或 256KB;

- GW1N-9/GW1NR-9/GW1N-9C/GW1NR-9C/GW2AN-9X DTCM
 Size 最大选择为 32KB,默认为 16KB;
- GW2A-18/GW2A-18C/GW2AR-18/GW2AR-18C/GW2ANR-18C/GW2AN-18X DTCM Size 最大选择为 64KB, 默认为 32KB;
- GW2A-55/GW2A-55C/GW2AN-55C DTCM Size 最大选择为256KB, 默认为64KB。
- Hardware Stack Protection
 - 如果使能 Enable Hardware Stack Protection,则 Gowin_PicoRV32
 支持 DTCM 硬件栈保护功能;
 - Hardware Stack Protection Value, 需要保护的栈大小, 取值范围小 于 DTCM Size。

ITCM 与 DTCM Size 配置限制

- GW1N-9/GW1NR-9/GW1N-9C/GW1NR-9C/GW2AN-9X, ITCM 或 DTCM 最大可配置为 32KB,如果 ITCM 或 DTCM 某个存储器已配置为 32KB,则另一个存储器最大只能配置为 16KB;
- GW2A-18/GW2A-18C/GW2AR-18/GW2AR-18C/GW2ANR-18C/GW2 AN-18X, ITCM 或 DTCM 最大可配置为 64KB, 如果 ITCM 或 DTCM 某 个存储器已配置为 64KB,则另一个存储器最大只能配置为 16KB;
- GW2A-55/GW2A-55C/GW2AN-55C, ITCM 或 DTCM 最大可配置为 256KB, 如果 ITCM 或 DTCM 某个存储器已配置为 256KB, 则另一个存 储器最大只能配置为 16KB。

Simple UART 配置选项

双击 Simple UART,打开 Simple UART 的配置页面,配置选项如图 3-10 所示,可以配置是否使能 Simple UART;

如果选择 Enable Simple UART,则 Gowin_PicoRV32 支持 Simple UART,默认为支持。

Single UART Configuration Configu

图 3-10 Simple UART 配置选项

OPEN AHB INTERFACE 配置选项

双击 OPEN AHB INTERFACE, 打开 OPEN AHB INTERFACE 的配置 页面, 配置选项如图 3-11 所示。

- 默认关闭。如果选择 Enable Open AHB Interface,则 Gowin_PicoRV32 支持 OPEN AHB INTERFACE,用户可以在此接口连接扩展 AHB 总线 接口的外部设备;
- 预留 12 个外部中断信号 irq_in[31:20],供用户扩展的 AHB 外部设备使用。



3.2.2 Wishbone Bus 子系统硬件设计

Wishbone Bus 子系统,可以配置支持的外部设备包括 WB UART、WB I2C Master、WB SPI Master、WB SPI Slave、WB GPIO、ADV SPI-Flash 和 OPEN WB INTERFACE。

Wishbone Bus 子系统配置选项,如表 3-2 所示。

表 3-2 Wishbone	Bus	子系统配置选项
----------------	-----	---------

配置选项	描述
Enable Wishbone UART	使能 WB UART,默认关闭
Enable Wishbone I2C Master	使能WBI2C Master,默认关闭
Enable Wishbone SPI Master	使能 WB SPI Master,默认关闭
Enable Wishbone SPI Slave	使能 WB SPI Slave,默认关闭
Enable Wishbone GPIO	使能 WB GPIO,默认关闭
Enable ADV SPI-Flash	使能 ADV SPI-Flash,默认关闭
Enable Open Wishbone Interface	使能 OPEN WB INTERFACE,默认关闭

WB UART 配置选项

双击 WB UART, 打开 Wishbone UART 的配置页面, 配置选项如图 3-12

所示。

默认关闭,如果选择 Enable Wishbone UART,则 Gowin PicoRV32 支 持 Wishbone UART。

Wishbone UART			
→ di_h		The Gowin_PicoRV32 wishbone UART is a UART peripheral which can implement UART communications. It is connect to Gowin_PicoRV32 COR through wishbone bus.	E
wbuart rx	wbuart_tx	Options Configuration Image: Enable Wishbone UART	
Gowin PicoRV32	<u>a</u> a		

WB I2C Master 配置选项

双击 WB I2C Master, 打开 Wishbone I2C Master 的配置页面, 配置选 项如图 3-13 所示:

默认关闭,如果选择 Enable Wishbone I2C Master,则 Gowin_PicoRV32 支持 Wishbone I2C Master。

图 3-13 WB I2C Master 配置选项

A Wichhone 12C Master

퉗 Wishbone I2C Master	? ×
Wishbone I2C Master	\$
→ ck_n wbi2c_sda ♣>	The Gowin_PicoRV32 wishbone I2C master is connected to Gowin_PicoRV32 core through wishbone bus. The I2C block is a fully verified block which can implement I2C communication. The I2C block implements I2C protocol.
Gowin Picop V32	Options Configuration Enable Wishbone I2C Master
Gowin Prokv52 📉 📉	OK Cancel

WB SPI Master 配置选项

双击 WB SPI Master, 打开 Wishbone SPI Master 的配置页面, 配置选 项如图 3-14 所示。



- 默认关闭,如果选择 Enable Wishbone SPI Master,则 Gowin_PicoRV32 支持 Wishbone SPI Master;
- 如果选择使能 Wishbone SPI Master,则可以配置 Wishbone SPI Master 的参数,如表 3-3 所示。

表 3-3 WB SPI Master 参数配置选项

参数选项	描述
Shift direction	指定数据传输格式: 值为0时,首先传输数据的最高位(MSB)
	值为1时,首先传输数据的最低位(LSB)
	指定WB SPI Master时钟相位:
Clock phase	值为0时,数据在SCLK的第一个边沿有效
	值为1时,数据在SCLK的第二个边沿有效
	指定WB SPI Master时钟极性:
Clock polarity	值为0时,空闲状态时SCLK为低电平
	值为1时,空闲状态时SCLK为高电平
Clock count width	指定clock计数器范围
	必须有足够的位宽来满足SCLK的数据宽度
	指定由CLK_I分频产生SCLK所需的分频系数
Clock sel	SCLK频率计算公式: SCLK=CLK_I/(2*(CLOCK_SEL)+1)
	取值范围: 0~2^(clock count width) - 1
Data longth	指定传输数据的位宽
Data length	取值范围: 8/16/32/64
Slove number	指定可支持的从机Slave数量
Slave number	取值范围: 1~32
Delay time	指定在SS_N信号有效后,在进行第一位数据传输前需等待的延迟时间:

? ×

参数选项	描述
	延迟时间计算公式: Delay = Delay Time * (SCLK period / 2)
	取值范围: 0~63
Interval length	指定当SPI传输请求后,SS_N信号需等待的SCLK周期数
Intervarierigti	取值范围: 0~63

WB SPI Slave 配置选项

双击 WB SPI Slave, 打开 Wishbone SPI Slave 的配置页面, 配置选项 如图 3-15 所示。

图 3-15 WB SPI Slave 配置

錄 Wishbone SPI Slave

Wishbone S	PI Slave		👶
		The Gowin PicoRV32 wishbone SPI slave through wishbone bus. The SPI slave bloc implement SPI communication as a slave protocol.	is connected to Gowin PicoRV32 core ck is a fully verified block which can device. The SPI block implements SPI
→ clk_h	wbspi_slave_mosi		
	wbspi_slave_ssn 📥	Options	
		Configurations	
wbspi_slave_miso	wbspi_slave_sclk	Shift direction: 0 -	Clock sel: 1 (0~31)
		Clock phase: 0 -	Data length: 32 🔻
		Clock polarity: 0 •	Delay Timer: 2 📮 (0~63)
Gowin Pic	:oRV32 🔍 🔍	Clock count width: 5 🗘 (1~32)	Interval length: 2 🗘 (0~63)
			OK Cancel

- 默认关闭,如果选择 Enable Wishbone SPI Slave,则 Gowin_PicoRV32
 支持 Wishbone SPI Slave;
- 如果选择使能 Wishbone SPI Slave,则可以配置 Wishbone SPI Slave 的参数,如表 3-4 所示。

表 3-4 WB SPI Slave 参数配置选项

参数选项	描述
Shift direction	指定数据传输格式: 值为0时,首先传输数据的最高位(MSB); 值为1时,首先传输数据的最低位(LSB)。
Clock phase	指定WB SPI Slave的时钟相位: 值为0时,数据在SCLK的第一个边沿有效; 值为1时,数据在SCLK的第二个边沿有效。
Clock polarity	指定WB SPI Slave的时钟极性: 值为0时,空闲状态时SCLK为低电平; 值为1时,空闲状态时SCLK为高电平。
Clock count width	指定clock计数器范围: 必须有足够的位宽来满足SCLK的数据宽度。

参数选项	描述
Clock sel	指定由CLK_I分频产生SCLK所需的分频系数: SCLK频率计算公式: SCLK=CLK_I/(2*(CLOCK_SEL)+1)
	取值范围: 0~2^(CIOCK Count Width) - 1 指定在输粉据的位置。
Data length	取值范围: 8/16/32/64
Deleváime	指定在SS_N信号有效后,在进行第一位数据传输前需等待的延迟时间:
Delay time	延迟时间计算公式: Delay = Delay Time * (SCLK period / 2)
	取值范围: 0~63
Interval length	指定当SPI传输请求后,SS_N信号需等待的SCLK周期数;
	取值范围: 0~63

WB GPIO 配置选项

双击 WB GPIO, 打开 Wishbone GPIO 的配置页面, 配置选项如图 3-16 所示。

- 默认关闭,如果选择 Enable Wishbone GPIO,则 Gowin_PicoRV32 支持 Wishbone GPIO;
- 如果使能 Wishbone GPIO,则可以配置 Wishbone GPIO 的数据宽度参数 GPIO Data Width,取值范围为 1~32。

图 3-16 WB GPIO 配置



ADV SPI-Flash 配置选项

双击 ADV SPI-Flash,打开 ADV SPI-Flash 的配置页面,配置选项如图 3-17 所示。



- 默认关闭,如果选择 Enable ADV SPI-Flash,则 Gowin_PicoRV32 支持 ADV SPI-Flash;
- ADV SPI-Flash 支持 MCU 软件编程设计下载启动和运行功能;
- ADV SPI-Flash 支持 Memory 读、写和擦除功能;
- Memory 读、写功能的模式配置,如表 3-5 所示。

表 3-5 ADV SPI-Flash R/W 模式配置选项

参数选项	描述
Enable Register Mode	使能Register Mode,默认使能。
Enable Memory Map Mode	使能Memory Map Mode,默认使能。

OPEN WB INTERFACE 配置

双击打开 OPEN WB INTERFACE,可以选择配置 Open Wishbone Interface,如图 3-18 所示。

- 默认关闭,如果选择 Enable Open Wishbone Interface,则
 Gowin_PicoRV32 支持 OPEN WB INTERFACE,用户可以在此接口连接扩展 Wishbone 总线接口的外部设备;
- 预留 12 个外部中断信号 irq_in[31:20],供用户扩展的 Wishbone 外部设备使用。

pen Wish	bone Interfa	ce 🦂
restn_in	slv_ext_sb_0	The Open Wishbone Interface is a wishbone interface which is opened for users to connect customized peripherals. The address for the open wishbon interface is ranged from 0x2000_0000 up to 0x4000_0000. It could be branched by users themselves. If the Open Wishbone Interface is enabled, the interrupt input interface No. 1 to No. 31 will be opened as well, which could be used for customized peripheralsû?interrupt request. The interrupt input port is active high, so th unused interrupt input interface should be connected to zero.
▶ sk_ext_ack_i	slv_ext_ccyc_o	Options
■ slv_ext_rdata_i(31:0)	siv_ext_wdata_o(31:0)	Configuration

Top Module 配置

- 如果以Gowin PicoRV32为总体设计的Top Module,则使能"Use Gowin PicoRV32 as top module"选项,设置Gowin PicoRV32为Top Module;
- 如果选择配置 OPEN WB INTERFACE 或 OPEN AHB INTERFACE, 扩 • 展用户 Wishbone 总线接口或 AHB 总线接口的外部设备,则禁用"Use Gowin PicoRV32 as top module"选项,如图 3-19 所示。

图 3-19 Top Module 配置



3.3 用户设计

完成 IP Core 配置后,产生 Gowin_PicoRV32 硬件设计;

实例化 Gowin_PicoRV32 Top Module,设置为 Top Module 或连接用户 设计;

导入用户设计,连接 Gowin_PicoRV32 Top Module,形成完整的 RTL 设计。

3.4 约束

完成用户 RTL 设计后,根据使用的开发板和需要输出的 IO,产生物理 约束文件。

根据时序要求,产生时序约束文件。

物理约束的产生方法,请参考 SUG101, Gowin 设计约束指南。

3.5 工程配置

3.5.1 综合选项配置

综合选项配置,如图 3-20 所示。

- 根据工程设计中的实际顶层模块名称,配置顶层模块名称;
- 根据工程设计中的实际文件路径,配置文件引用路径;
- 配置 Verilog Language,如 System Verilog 2017。

图 3-20 综合选项配置

🐳 Configuration	>
 Configuration General Synthesize General Place & Route General 	Synthesize General Synthesis Tool: GowinSynthesis Top Module/Entity: Gowin_PicoRV32_template Include Path:
Unused Pin Dual-Purpose Pin BitStream	GowinSynthesis Verilog Language: System Verilog 2017 ▼ VHDL Language: VHDL 2008 ▼ Looplimit: 2000 € Disable Insert Pad ✓ Ram R/W Check DSP Balance Show All Warnings
	OK Cancel Apply

3.5.2 Post-Place File 生成配置

如果使用 Gowin_PicoRV32 软件编程设计和硬件设计自动化合并的下载方法,则配置 Place & Route 产生 Post-Place File,如图 3-21 所示,否则不需要配置产生 Post-Place File。



Category: All	Reset all to	o defau
	17.1	
Label	value	
Generate SDF File	False	
Generate Constraint File of Ports	False	
Generate IBIS File	False	
Generate Post-Place File	True	
Generate Post-PNR Simulation Model File	False	
Initialize Primitives	False	
Show All Warnings	False	
Generate Plain Text Timing Report	False	
Run Timing Driven	True	
Use SCF	False	
Promote Physical Constraint Warning to Error	False	
Report Auto-Placed IO Information	False	
	Generate SDF File Generate Constraint File of Ports Generate IBIS File Generate Post-Place File Generate Post-PNR Simulation Model File Initialize Primitives Show All Warnings Generate Plain Text Timing Report Run Timing Driven Use SCF Promote Physical Constraint Warning to Error Report Auto-Placed IO Information	Generate SDF File False Generate Constraint File of Ports False Generate IBIS File False Generate Post-Place File True Generate Post-Place File False Initialize Primitives False Show All Warnings False Generate Plain Text Timing Report False Run Timing Driven True Use SCF False Promote Physical Constraint Warning to Error False Report Auto-Placed IO Information False

3.5.3 Dual-Purpose Pin 配置

如果 Gowin_PicoRV32 配置为 MCU boot from external Flash and run in ITCM 或 MCU boot and run in external Flash 方式,则复用 MSPI 端口为 通用端口,如图 3-22 所示,否则不需要配置端口复用。

图 3-22 Dual-Purpose Pin 配置

W Configuration	X
	Dual-Purpose Pin
General Synthesize General Place & Route General Unused Pin Dual-Purpose Pin BitStream	 □ Use JTAG as regular IO □ Use MSPI as regular IO □ Use READY as regular IO □ Use DONE as regular IO □ Use RECONFIG_N as regular IO □ Use MODE as regular IO □ Use I2C as regular IO
	OK Cancel Apply

3.6 综合

运行高云云源软件的综合工具 GowinSynthesis, 完成 RTL 设计的综合, 产生网表文件, 如图 3-23 所示。

图 3-23 综合 © COMIN PEGA Designer - PHIME publismbedderbjecomik © Efer Leit grojent Joch Window Belp	Zu12.Turef_designt/pga_ref_designt/DK_START_GW2A18_V2.01gr	owin_picorv22(impl\gwsyrthesis/gov	n giservil ges platel) – Ø	×
Construction	Synthesis Messages Synthesis Messages Synthesis Details Resource Usage Summary Resource Ulization Summary	Report Title Design File	Synthesis Messages Control Con	32.4
Bending Mayort Mention Report Prese R Roade Terring Analysis Report Terring Analysis Report Prese Analysis Report Prese Analysis Report Prese Analysis Report Prese Analysis Report	Timing Cock Summary Hax frequency Hummary Detail Timing Paths Informations	GowinGynthesis Constraints File GowinGynthesis Version Part Number Device Created Time Legal Announcement	Frielling Jonatomissississippion (2011) 1 Vinz ² Imagination, Vinz Statisfield, 1 Vinz ² Imagination, Vinz Statisfield, 2 Vinz ² Vinz	
Parine Bursey Marsels	9 Stat Base	Top Level Module	Synthesis Details	
Uning Torial Interestly Constitution of Completed (ST) Informing Pass 0 Completed (ST) Informing Pass 1 completed (ST) Informing Pass 1 completed Interning Pass 1 completed Interning Pass 1 completed (ST) Informing Pass 1 completed (ST) Informing Pass 1 completed (ST) Information Pass 1	 skertinge Biodigizon-22/st.2.1/vef_design/tyge_vef_design Biodigizon-22/v1.2.1/vef_design/tyge_vef_design 	UK START (ADA15 V2. Ørgen) VDK START (ADA15 V2. Ørgen)	unanny C 2 Programmer (geogrammer) Unann 2014 (geogrammer) Unann 2014 (geogrammer) Unann 2014 (geogrammer) Unann 2014 (geogrammer)	

综合工具的使用方法,请参考 SUG100, Gowin 云源软件用户指南。

3.7 布局布线

图 3-24 Place & Route

运行高云云源软件的布局布线工具 Place & Route,完成布局布线,产 生硬件设计码流文件,如图 3-24 所示。

Process Ø	X DI CO VA		
 User Constraints 	 PnR Messages PnR Details 		PnR Messages
10 moorvanier	- Resource	Report Title	Gewin Pris Réport
Contracting Contracting Contra	- Resource Usage Summary	Design File	F:@H8_pub/anbedded/picorv32/w1.2.1/vef_design/pga_ref_design/pK_START_GW2A18_V2.0/gowin_picorv32/impligwsynthesis/gowin_picorv32.v
• O Symmetize	 I/O Bank Usage Summary 	Physical Constraints File	F/EM8_pub/embedded/picerv32/sr1.2.1/yef_design/lpga_ref_design/DK_START_GW2A18_v2.0/gowin_picerv32/sr1/picerv32.cst
Synthesis Report	- Global Clock Usage Summary	Timing Constraints File	
Netist He	 Global Clock Signals 	GOWIN Version	v1.9.88eta
V O Place & Route	- Bloost by Bort Name	Part Number	GW2A-LV18PG256C8/17
Place & Route Report	- All Darkage Sing	Device	GW2A-18C
Timing Analysis Report Rorts & Pins Report	- Por Pockage Para	Created Time	Tue Aun 29 13:59:14 2021
		Legal Announcement	Copyright (C)2034-2021 Gowin Semiconductor Corporation. All rights reserved.
		Mace & Route Process	Research Phase (E. O'Urine ~ 0). In Sta (Based from ~ 0). In St Research Phase (E. O'Urine ~ 0). In Sta (Based from ~ 0). In St Research Phase 3. O'Urine ~ 0). In Sta (Based from ~ 0). In St Research Phase 3. O'Urine ~ 0). In Sta (Based from ~ 0). In St Research Phase 3. O'Urine ~ 0). In Sta (Based from ~ 0). In St Research Phase 3. O'Urine ~ 0). In Stable (Based from ~ 0). In St Research Phase 3. O'Urine ~ 0). In Stable (Based from ~ 0). In St Research Phase 3. O'Urine ~ 0). In Stable (Based from ~ 0). In St Research Phase 3. O'Urine ~ 0). In Stable (Based from ~ 0). In St Research Phase 3. O'Urine ~ 0). In Stable (Based from ~ 0). In St Research Phase 3. O'Urine ~ 0). In Stable (Based from ~ 0). In St Research Phase 3. O'Urine ~ 0). In Stable (Based from ~ 0). In St Research Phase 3. O'Urine ~ 0). In Stable (Based from ~ 0). In St Research Phase 3. O'Urine ~ 0). In Stable (Based from ~ 0). In St Research Phase 3. O'Urine ~ 0). In Stable (Based from ~ 0). In St Research Phase 3. O'Urine ~ 0). In Stable (Based from ~ 0). In St Research Phase 3. O'Urine ~ 0). In Stable (Based from ~ 0). In St Research Phased from 7. In Stable (Based from ~ 0). In St Research Phased from 7. In Stable (Based from ~ 0). In St Research Phased from 7. In
	2	Decion Summary	🖸 🗋 govin picov 32 spurpt.html 🔯 🗋 govin picov 32 rpt.html 🔯
Design Process Herarchy	💡 Start Rege 🔲		

布局布线工具的使用方法,请参考 SUG100, Gowin 云源软件用户指南。

3.8 下载

运行高云云源软件的下载工具 Programmer,完成硬件设计码流文件的下载。

单击 Programmer 菜单栏 "Edit > Configure Device" 或工具栏

"Configure Device"	(📙),	打开 Device	configuration.
--------------------	--------	-----------	----------------

如果板载器件是 GW1N-9/GW1NR-9/GW1N-9C/GW1NR-9C,则下载选 项配置,如图 3-25 所示。

- "Access Mode"下拉列表,选择"Embedded Flash Mode"选项。
- "Operation"下拉列表,选择"embFlash Erase, Program"或"embFlash Erase, Program, Verify"选项。
- "Programming Options > File name"选项,导入需要下载的硬件设计 码流文件。
- 単击 "Save"。

图 3-25 GW1N 系列 Configure Device

🖗 Device configuratio	on	7	? X
- Device Operation			
Access Mode:	Embedded Flash Mode		•
Operation:	embFlash Erase, Program		•
Erase and program must be less than 3	the embedded flash.Make sure the 25Mhz.	config freque	ency
-Programming Options			
File name: E:/deski	top/mcu_test/picorv32/gowin_picorv3	32. fs	
🗌 User Flash Initi	alization		

如果板载器件是

GW2AN-9X/GW2A-18/GW2A-18C/GW2AR-18/GW2AR-18C/ GW2ANR-18C/GW2AN-18X/GW2A-55/GW2A-55C/GW2AN-55C,则下载 选项配置,如图 3-26 所示。

- "Access Mode"下拉列表,选择"External Flash Mode"选项。
- "Operation"下拉列表,选择"exFlash Erase, Program thru GAO-Bridge"
 或 "exFlash Erase, Program, Verify thru GAO-Bridge"选项。
- "Programming Options > File name"选项,导入需要下载的硬件设计 码流文件。
- "External Flash Options > Device"选项,根据开发板板载 Flash 芯片 类型选择,如高云 DK-START-GW2A18 V2.0 开发板板载 Winbond W25Q64BV。
- "External Flash Options > Start Address"选项,设置为"0x000000"。
- 単击 "Save"。

Device configura	ation ?	
Device Operation		
Access Mode:	External Flash Mode	•
)peration:	exFlash Erase, Program thru GAO-Bridge	
exFlash Erase, P	rogram thru GAD-Bridge	
Programming Optic	ons	
Programming Optic	ons A18 V2.0/gowin picorv32/impl/pnr/gowin picorv32.fs	
Programming Optio	ons A18_V2.0/gowin_picorv32/impl/pnr/gowin_picorv32.fs	
Programming Optic Vile name: T_GW23 User Flash Ini	ons A18_V2.0/gowin_picorv32/impl/pnr/gowin_picorv32.fs tialization	
Programming Optic Vile name: T_GW24 User Flash Ini External Flash Op	ons A18_V2.0/gowin_picorv32/impl/pnr/gowin_picorv32.fs tialization otions	
Programming Optic Pile name: T_GW2 User Flash Ini External Flash Op Device:	ons A18_V2.0/gowin_picorv32/impl/pnr/gowin_picorv32.fs tialization ptions Winbond W25Q64BV	
Programming Optic Vile name: T_GW24 User Flash Ini External Flash Op Device: Start Address:	ons A18_V2.0/gowin_picorv32/impl/pnr/gowin_picorv32.fs tialization otions Winbond W25Q64BV Ox000000	
Programming Optic Pile name: T_GW2 User Flash Ini External Flash Op Device: Start Address:	ons A18_V2.0/gowin_picorv32/impl/pnr/gowin_picorv32.fs tialization otions Winbond W25Q64BV Ox000000	•

完成 Device configuration 后,单击 Programmer 工具栏 "Program/Configure" (),完成硬件设计码流文件下载。

下载工具 Programmer 的使用方法,请参考 <u>SUG502</u>, *Gowin Programmer 用户指南*。



Gowin_PicoRV32 提供高云云源软件(V1.9.8Beta 及以上版本)硬件设计参考设计,通过链接获取如下<u>参考设计</u>:

 $Gowin_PicoRV32\ref_design\FPGA_RefDesign\DK_START_GW2A18_V2.0\gowin_picorv32_{\circ}$

