





































信号	方向	位宽	描述
out_valid	输出	1	数据输出有效信号
out_data0, ... out_data3	输出	24	输出数据

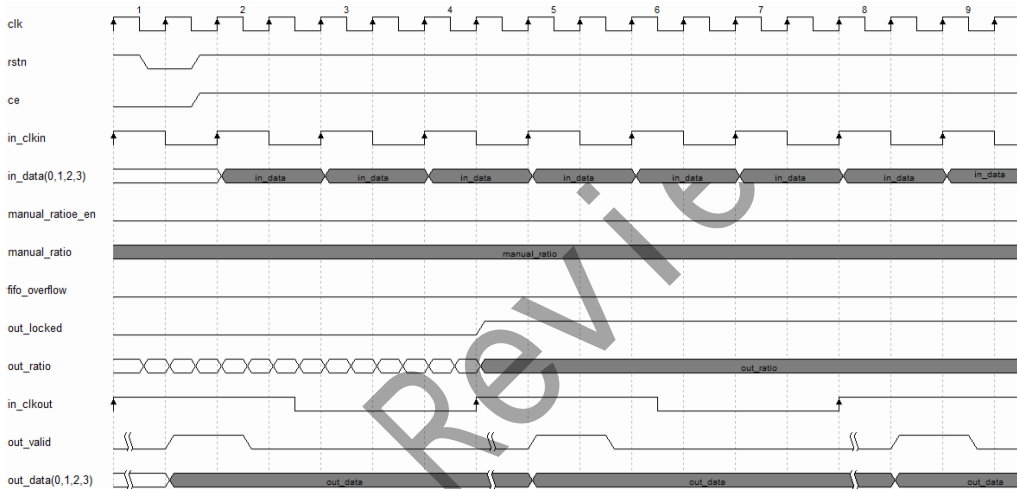
## 4.3 时序说明

本节旨在介绍 ASRC 的时序情况。

### 4.3.1 ASRC 自动检测采样率时序

ASRC 自动检测采样率模式的时序图如图 4-3 所示。

图 4-3 ASRC 自动检测采样率模式时序图



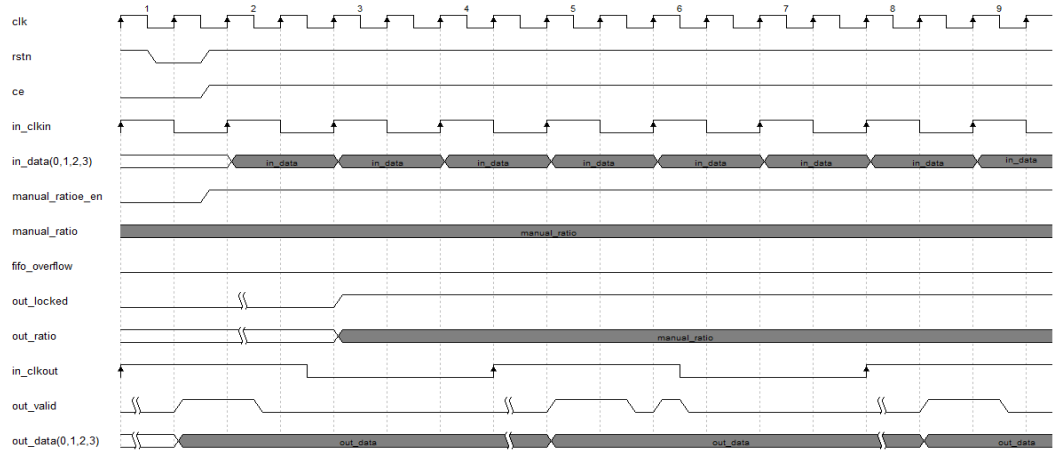
自动检测采样，是通过输入采样时钟(in\_clkln)和输出采样时钟(in\_clkout)进行采样率计算，处理后输出采样率(out\_ratio)。当锁信号为高电平(out\_locked)，输出采样率稳定。

采样输入数据(in\_data)，可以通过四个通道输入，经一段时间处理后，分别各通道的输出采样数据(out\_data)。

### 4.3.2 ASRC 自设测采样率时序

ASRC 自设采样率模式的时序图如图 4-4 所示。

图 4-4 ASRC 自设采样率模式时序图



当 `manual_ratio_en = 1`，为自设采样率。通过固定的采样率进行转化，输出固定的采样率，而此时的锁信号将无意义。

采样输入数据(`in_data`)，可以通过四个通道输入，经一段时间处理后，分别各通道的输出采样数据(`out_data`)。

### 4.3.3 不同转换所需时钟频率

表 4-2 不同转换所需时钟频率 (Mhz)

输入时钟频率	输出时钟频率			
	32 KHz	44.1KHz	48KHz	96KHz
32 KHz	45	60	65	130
44.1 KHz	55	60	65	130
48 KHz	60	65	65	130
96 KHz	110	115	115	130

对于升频来说，最小需要的系统处理频率为：

$$f_{clk} = f_{s_{out}} \times 1350$$

对于降频来说，最小需要的系统处理频率为：

$$f_{clk} = f_{s_{in}} \times 1030 + f_{s_{out}} \times 295$$

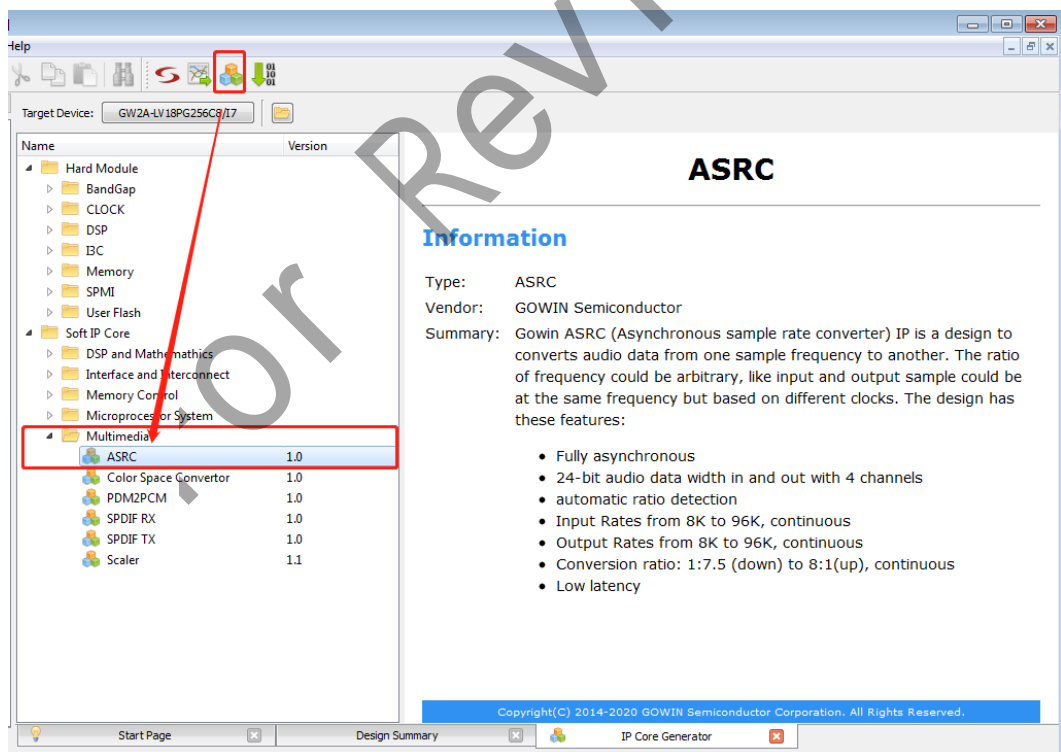
# 5 ASRC 界面配置

在高云云源软件界面菜单栏 Tools 下，可启动 IP Core Generator 工具，完成调用并配置 ASRC。

## 1. 打开 IP Core Generator

用户建立工程后，点击“IP Core Generator”按钮，就可打开 Gowin 的 IP 核产生工具，如图 5-1 所示。

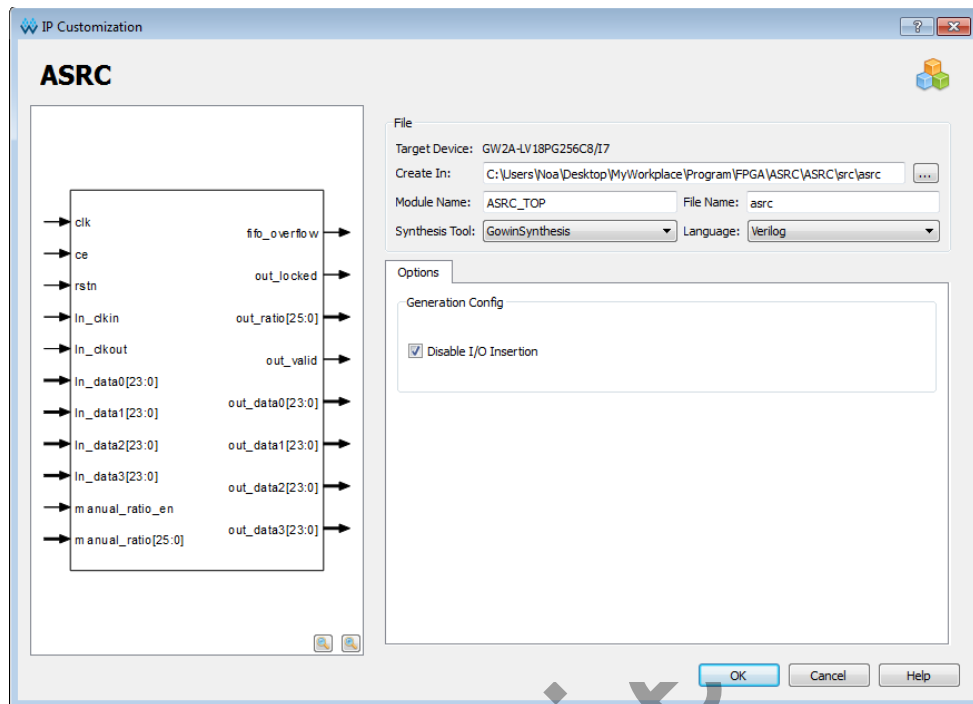
图 5-1 IP Core Generator 界面



## 2. 打开 IP 核 ASRC

单击“Multimedia”选项，双击“ASRC”，打开 ASRC IP 核的界面，如图 5-2 所示。

图 5-2 IP ASRC 界面



### 3. 打开 Help 文档

可以单击位于图 5-2 右下角的“Help”按钮可以查看配置界面中各个选项的简单英文介绍，方便用户快速完成对 IP 核的配置。Help 文档选项介绍顺序和界面顺序一致，如图 5-3 所示。

图 5-3 Help 文档

ASRC	
<b>Information</b>	
Type:	ASRC
Vendor:	GOWIN Semiconductor
Summary:	<p>Gowin ASRC (Asynchronous sample rate converter) IP is a design to converts audio data from one sample frequency to another. The ratio of frequency could be arbitrary, like input and output sample could be at the same frequency but based on different clocks. The design has these features:</p> <ul style="list-style-type: none"> <li>Fully asynchronous</li> <li>24-bit audio data width in and out with 4 channels</li> <li>automatic ratio detection</li> <li>Input Rates from 8K to 96K, continuous</li> <li>Output Rates from 8K to 96K, continuous</li> <li>Conversion ratio: 1:7.5 (down) to 8:1(up), continuous</li> <li>Low latency</li> </ul>

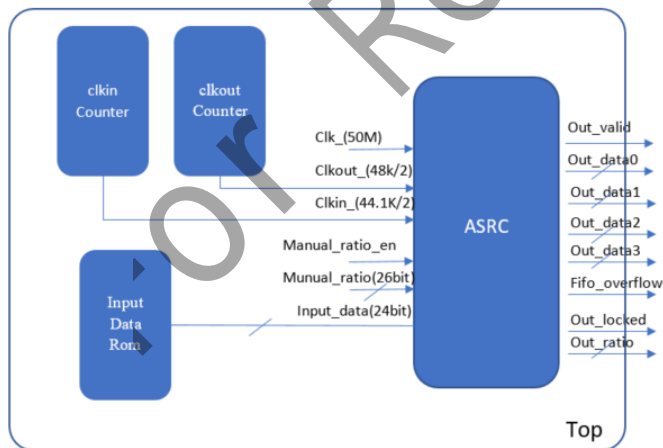
# 6 参考设计

本节主要介绍 ASRC 的参考设计实例的搭建及其使用方法。ASRC 的设计实例只有一个模块，详细信息见 ASRC 的 [reference design](#)。

参考设计基本结构框图如图 6-1 所示。在设计实例中，其步骤如下所示：

1. 通过 `clkin_counter` 产生(48/2)KHz 的输入时钟频率。。
2. 通过 `clkout_counter` 产生(44.1/2)KHz 的输出时钟频率。
3. 输入数据通过 ROM 存储，然后输入给 ASRC 模块。
4. 经过 ASRC 模块处理后，得到输出结果。

图 6-1 参考设计结构框图



利用该设计实例能够快速验证 ASRC 的功能。当该参考设计应用于板级测试时，用户需为参考设计提供合适的激励，信号的观测可配合在线逻辑分析仪或示波器进行。

For Review