



Gowin DDS IP

用户指南

IPUG941-1.1,2021-02-01

版权所有©2021 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2020/06/30	1.0	初始版本。
2021/02/01	1.1	更新第 4 章功能描述部分内容。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	2
1.4 技术支持与反馈	2
2 概述	3
2.1 DDS IP 介绍	3
3 特征与性能	4
3.1 主要特征	4
3.2 系统时钟频率	4
3.3 延迟 Latency	4
3.4 资源利用	4
4 功能描述	6
4.1 DDS IP 结构与功能	6
4.2 DDS IP 控制寄存器描述	7
5 端口描述	8
5.1 DDS IP 端口	8
6 时序说明	10
6.1 DDS IP 时序	10
7 DDS IP 调用及配置	12
7.1 DDS IP 配置	12

8 参考设计 14

 8.1 设计实例应用 14

图目录

图 4-1 DDS IP 实现框图	6
图 5-1 DDS IP 端口图	8
图 6-1 DDS IP 数据写入时序图（单通道）	10
图 6-2 DDS IP 数据写入时序图（多通道）	11
图 7-1 工具栏图标打开 IP 配置界面	12
图 7-2 DDS IP 配置界面	13

表目录

表 1-1 术语、缩略语	2
表 2-1 DDS IP	3
表 3-1 DDS IP 占用资源	5
表 4-1 DDS IP 控制寄存器	7
表 5-1 DDS IP 的 IO 端口列表	9
表 7-1 DDS IP 配置选项	13

1 关于本手册

1.1 手册内容

高云 DDS 用户指南主要内容包括功能特点、端口描述、时序说明、配置调用、参考设计等。主要用于帮助用户快速了解 DDS IP 的产品特性、特点及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

1. [DS100](#)，GW1N 系列 FPGA 产品数据手册
2. [DS117](#)，GW1NR 系列 FPGA 产品数据手册
3. [DS102](#)，GW2A 系列 FPGA 产品数据手册
4. [DS226](#)，GW2AR 系列 FPGA 产品数据手册
5. [SUG100](#)，Gowin 云源软件用户指南

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
DSP	Digital Signal Processing	数字信号处理
DDS	Direct Digital Synthesizer	直接数字式频率合成器
IP	Intellectual Property	知识产权
RAM	Random Access Memory	随机存取存储器
LUT	Look-up Tables	查找表

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 DDS IP 介绍

高云 DDS IP 是直接数字式频率合成器，可实现从相位概念出发直接合成所需正弦波形。该 IP 可配置多个独立的分时复用通道、输出数据位宽、频率及相位偏移，使用灵活方便。

表 2-1 DDS IP

DDS IP	
IP 核应用	
芯片支持	GW1N 系列 FPGA 产品：GW1N-9 GW1NR 系列 FPGA 产品：GW1NR-9 GW2A 系列 FPGA 产品 GW2AR 系列 FPGA 产品 GW2ANR 系列 FPGA 产品
逻辑资源	请参见表 3-1
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	Synplify Pro
应用软件	Gowin Software

3 特征与性能

3.1 主要特征

- 可配置输出通道的数目（1-16 个通道）
- 可配置输出相位偏移量
- 可配置输出波形相位增量
- 可配置寄存器深度（ 2^4 - 2^{16} ）
- 可动态设置输出相位及频率

3.2 系统时钟频率

DDS IP 的最大系统时钟频率主要根据所用器件及其速度等级（speed grade of the devices）确定，以高云 GW2A-LV18 系列 FPGA 为例，系统时钟频率最高可达 150M。

3.3 延迟 Latency

DDS IP 的延迟主要由配置参数来确定。

$$T_D = T_{clk} * (6 + Channel_Num)$$

3.4 资源利用

通过 Verilog 语言实现 DDS IP。因使用器件的密度、速度、等级不同以及 IP 配置模式不同，其性能和资源利用情况可能不同。

以高云 GW1N-9 系列 FPGA 为例，介绍 DDS IP 单通道模式下的资源利用情况，其资源利用情况如表 3-1 所示，有关在其他高云 FPGA 上的应用验证，请关注后期发布信息。

表 3-1 DDS IP 占用资源

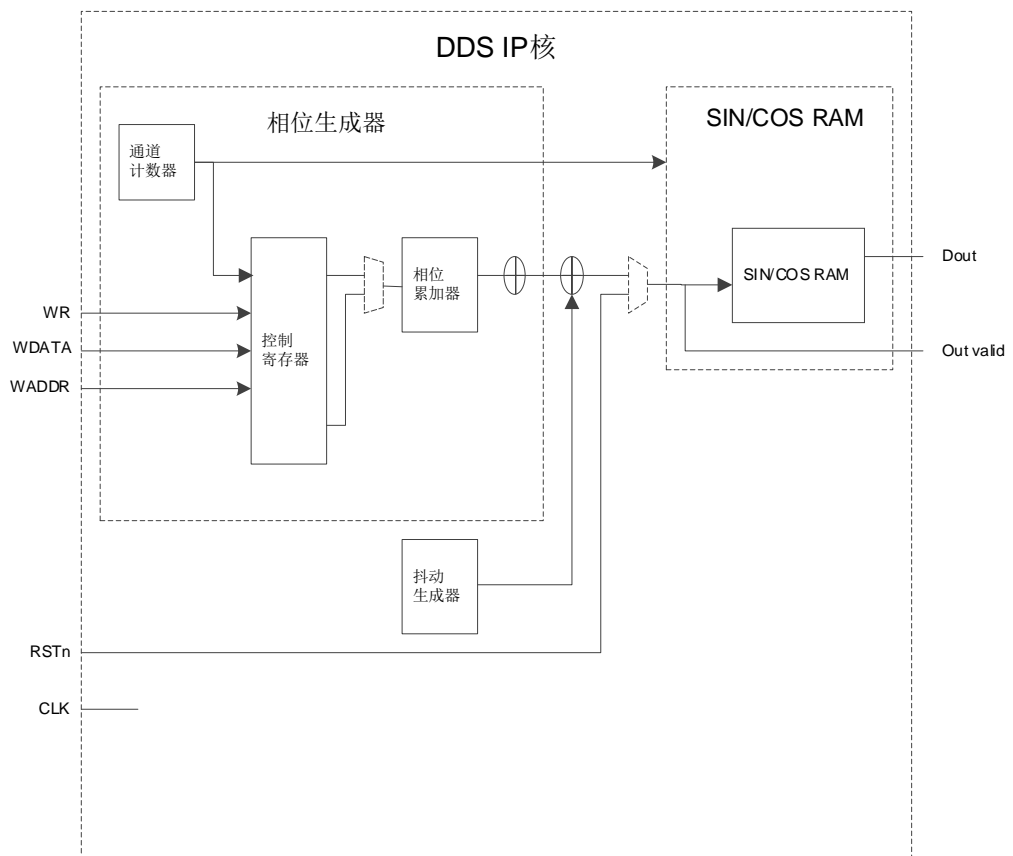
器件系列	速度等级	器件名称	资源利用	备注
GW1N9	-7	LUT	217	-
		ALU	99	
		REG	213	
		BSRAM	16	
		DSP	1	
		PLL	0	

4 功能描述

4.1 DDS IP 结构与功能

DDS IP 主要由相位生成器和 SIN/COS RAM 两部分组成，实现框图如图 4-1 所示。

图 4-1 DDS IP 实现框图



DDS IP 基本原理是：在系统时钟控制下，根据选择的相位增量，由内部的相位生成器产生连续的均匀相位，再根据产生的相位读取 SIN/COS RAM，输出相位对应的正弦值/余弦值，从而得到固定频率的正弦或余弦波形。

用户通过提供 CLK 时钟信号并配置相应参数，可使 DDS IP 输出一定频率的正弦波信号。

$$f_{out} = \frac{f_{clk} \times PINC}{2^{Pw}}$$

其中， f_{out} 为输出正弦波频率， f_{clk} 为系统时钟频率，PINC 为相位增量，Pw 为寄存器深度 RAM_Depth+3。PINC 及 Pw 可通过配置选项 Phase Increment 及 RAM_Depth 自由调整。

RAM_Depth 决定了最小相位分辨率，该值越大，则系统能够达到的相位分辨率越高，所得到的波形质量越好。PINC 决定了实际相位增量，该值表示每个输出值跨越最小相位增量的倍数，调大该值则使得输出的弦波频率越大，同时质量也会有所降低。

当DDS的配置为： $f_{clk} = 100\text{MHz}$ ， $Pw = 12$ ， $PINC = 16$ 时，则可得到：

$$\begin{aligned} f_{out} &= \frac{f_{clk} \times PINC}{2^{Pw}} \\ &= \frac{100 \times 10^6 \times 16}{2^{12}} \\ &= 0.390625\text{MHz} \end{aligned}$$

多通道配置时，输出信号频率减小为原来的 $1/C$ 倍。（C 为通道数）

$$f_{out} = \frac{f_{clk} \times PINC}{2^{Pw} C}$$

4.2 DDS IP 控制寄存器描述

DDS IP 可通过控制字写入的方式进行相位偏移量及相位增量的重新配置，也可以进行通道的打开和关闭。

表 4-1 DDS IP 控制寄存器

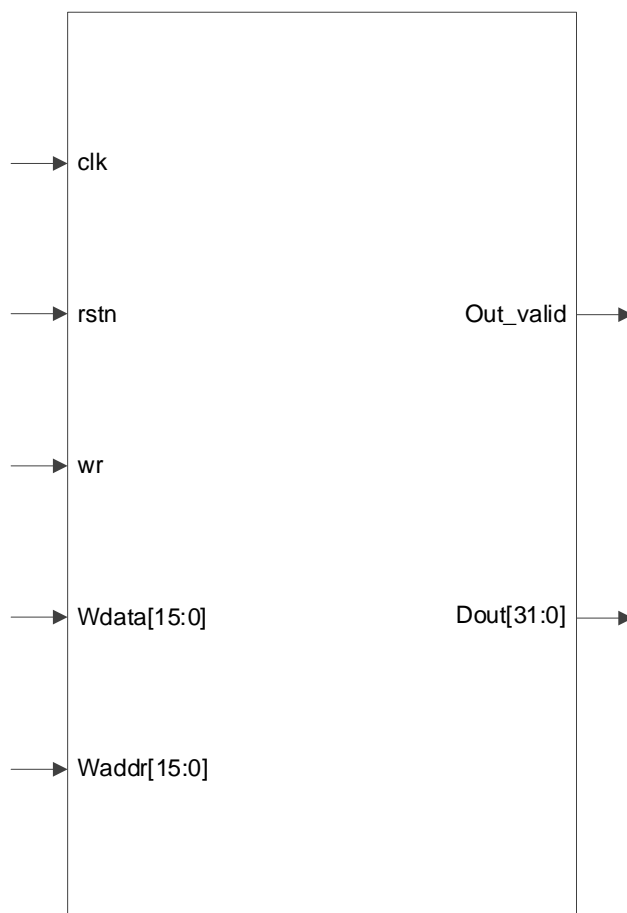
地址	名称	描述
0x0010	POFF	相位偏移寄存器。用于相位偏移量的写入。
0x0020	PINC	相位增量寄存器。用于相位增量的写入。
0x0030	CHN	通道控制器。0 关闭，1 开启。用于通道控制。例如，在 4 通道模式下向 0x0030 写入 0x0003，则通道 0、通道 1 开启，其余通道关闭。

5 端口描述

5.1 DDS IP 端口

DDS IP 的 IO 端口如图 5-1 所示。

图 5-1 DDS IP 端口图



选择的模式不同，DDS IP 的接口可能会略有不同。

有关 DDS IP 的 IO 端口详情，如表 5-1 所示。

表 5-1 DDS IP 的 IO 端口列表

信号	方向	描述
clk	I	时钟信号
rstn	I	复位信号（低电平有效）
wr	I	写使能信号
wdata	I	输入数据
waddr	I	输入地址
out_valid	O	数据输出有效信号
dout	O	输出数据

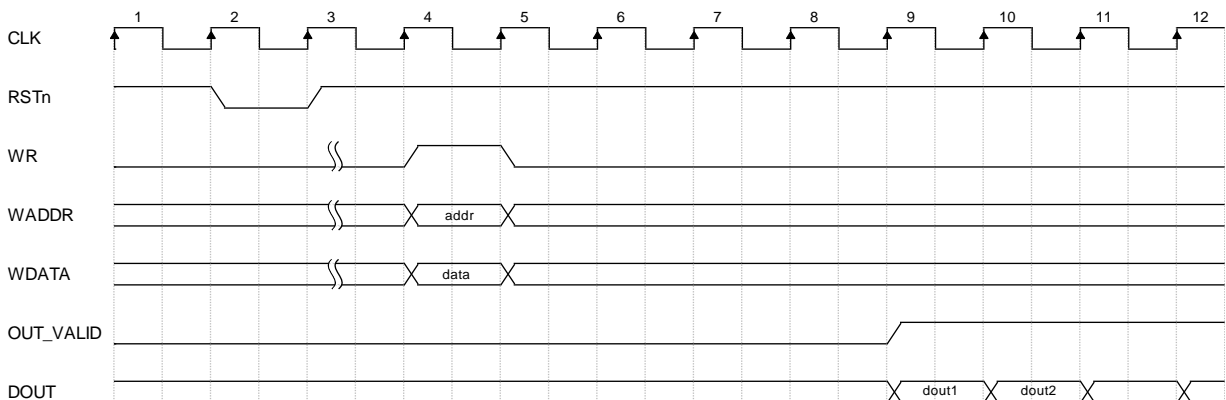
6 时序说明

本节旨在介绍 DDS IP 的时序情况。

6.1 DDS IP 时序

DDS IP 数据写入的时序图如图 6-1 所示。

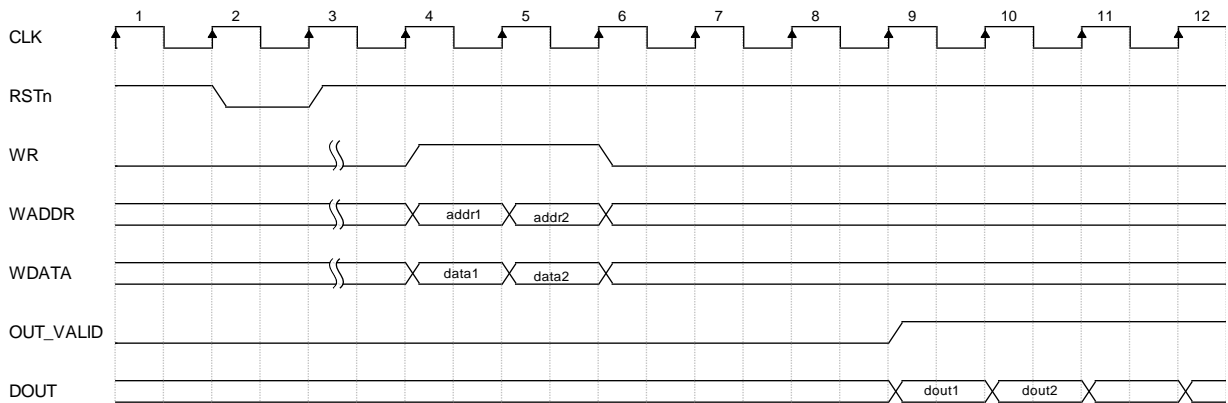
图 6-1 DDS IP 数据写入时序图（单通道）



单通道模式下，数据可以通过 IP 配置直接输出，无需写入控制字；也可以通过寄存器接口（WR、WADDR、WDATA）写入数据从而改变相位增量及相位偏移量。

数据写入时需要将 WR 信号拉高，写入完成后需将 WR 信号拉低。

图 6-2 DDS IP 数据写入时序图（多通道）



多通道模式下，必须通过寄存器接口（WR、WADDR、WDATA）写入数据从而改变相位增量及相位偏移量。

1. 数据写入时需要将 WR 信号拉高，写入完成后需将 WR 信号拉低。
2. 上电复位后需要先向地址 0x30 写入数据，开启通道，再进行各通道的相位配置。例如需将通道 2 的相位增量设为 0xff 时：应先向地址 0x30 写入 0x0040，再向地址 0x20 写入 0x00ff。
3. 数据输出采用分时复用的方式，依次输出通道 0 的数据 1，通道 1 的数据 1，通道 2 的数据 1…通道 0 的数据 n，通道 1 的数据 n，通道 2 的数据 n……

7 DDS IP 调用及配置

在高云云源软件界面菜单栏 Tools 下，可启动 IP Core Generator 工具，完成调用并配置 DDS IP。

7.1 DDS IP 配置

图 7-1 工具栏图标打开 IP 配置界面

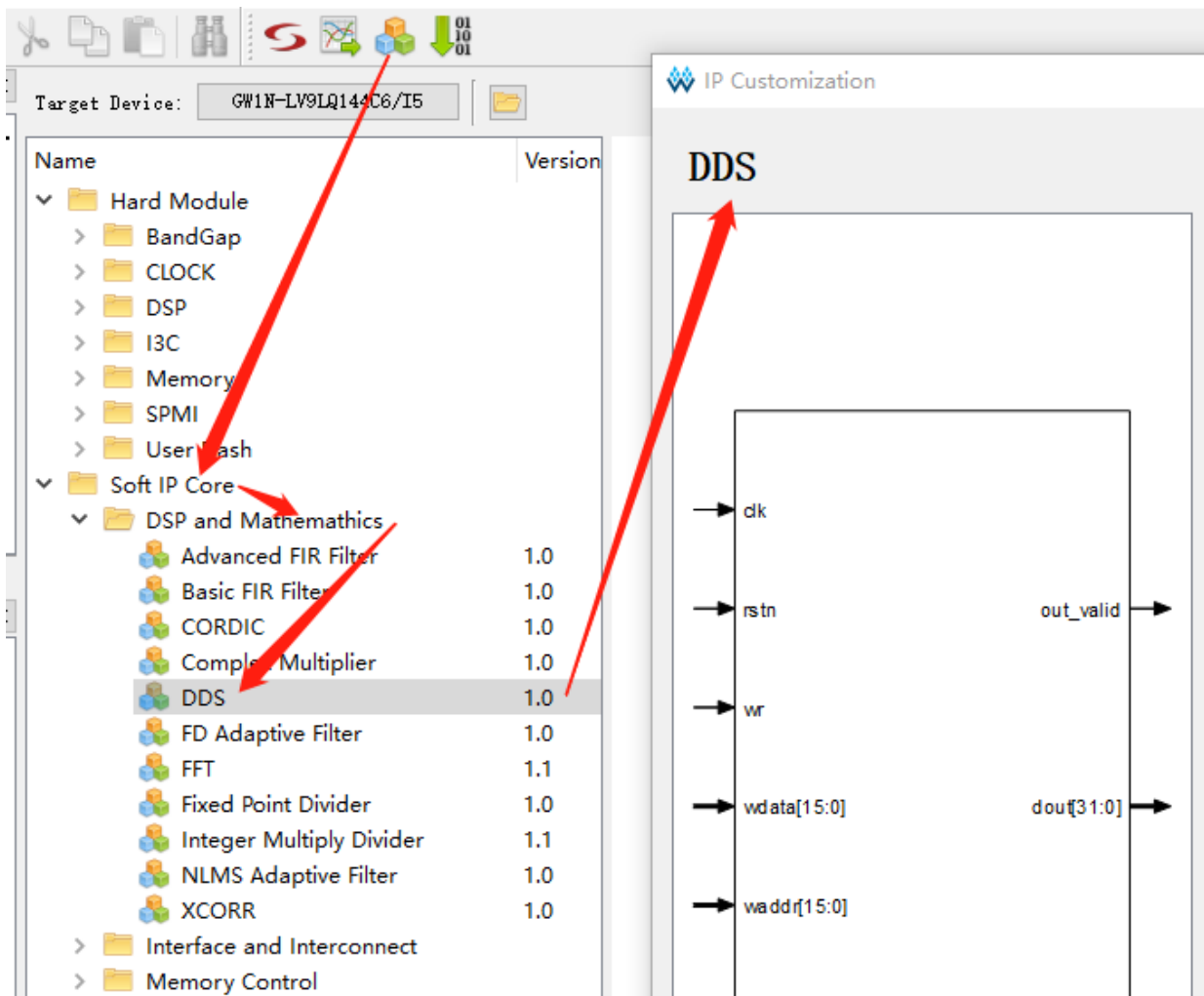
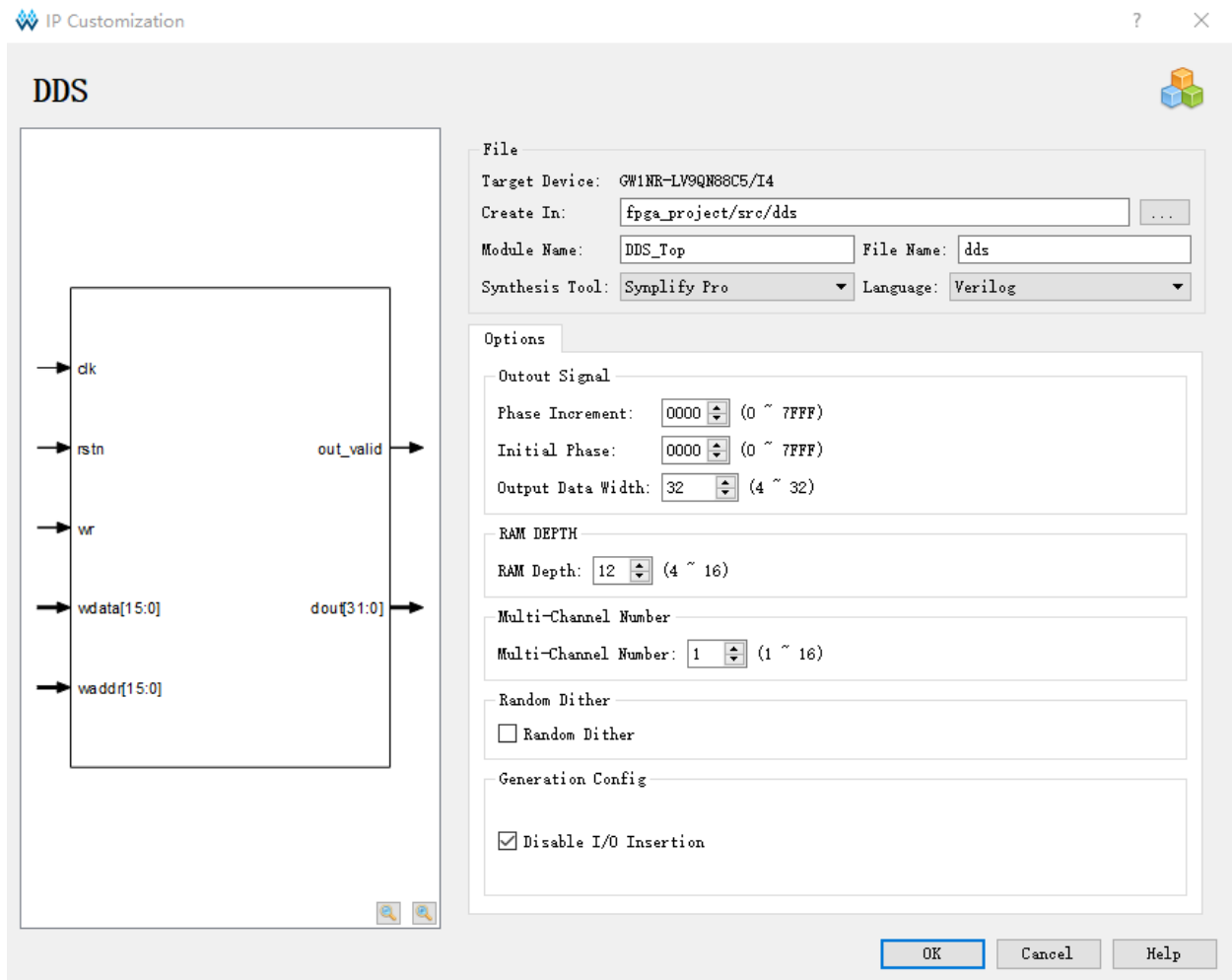


图 7-2 DDS IP 配置界面



1. 可通过修改File Name，配置产生IP文件名称；
2. 可通过修改Module Name，配置产生的IP模块名称；
3. 可通过配置Options选项，配置IP工作模式及其他配置。

Gowin DDS IP配置选项如下表7-1所示。

表 7-1 DDS IP 配置选项

选项	描述
Phase Increment	相位增量，最大可配置范围由寄存器深度决定
Initial Phase	初始相位，最大可配置范围由寄存器深度决定
Output Data Width	输出数据位宽，4~32位可配置
RAM Depth	寄存器深度，4~16位可配置
Multi-Channel Number	可支持的通道数，1~16可配置
Random Dither	随机抖动

8 参考设计

本节主要介绍 DDS IP 的参考设计实例的搭建及其使用方法。DDS 的设计实例只有一个模块，详细信息见 DDS IP 的 Reference design。

在设计实例中，其运行步骤如下所示：

1. 选择恰当的配置选项后生成 DDS IP；
2. 通过 DDS IP 计算后得到输出，再与仿真数据进行比较。

8.1 设计实例应用

利用该设计实例能够快速验证 DDS IP 的功能。当该参考设计应用于板级测试时，用户需为参考设计提供合适的激励，信号的观测可配合在线逻辑分析仪或示波器进行。

