Gowin PCI to CAN IP

用户指南

IPUG949-1.0, 09/22/2020

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和／或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2020/09/22	1.0	初始版本。

目录

图目录

表目录

1 关于本手册

1.1 目的

Gowin PCI to CAN IP 用户指南旨在帮助用户快速掌握 Gowin PCI to CAN 的功能，了解 Gowin PCI to CAN IP 的产品特性、特点及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- DS100, GW1N 系列 FPGA 产品数据手册
- DS102, GW2A 系列 FPGA 产品数据手册
- SUG100, Gowin 云源软件用户指南

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
IP	Intellectual Property	知识产权
LUT	Look-up Table	查找表
PCI	Peripheral Component Interconnect	外设器件互连标准
CAN	Controller Area Network	控制器局域网络
REG	Register	寄存器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网站: www.gowinsemi.com.cn

E-mail: support@gowinsemi.com

+Tel: +86 755 8262 0391

2 概述

Gowin PCI to CAN IP 让用户可以通过 PCI 总线对 CAN 进行配置，实现了 Gowin PCI Target IP 和 Gowin CAN Controller IP 之间的通信。

表 2-1 Gowin PCI to CAN IP 概述

Gowin PCI to CAN IP	
支持设备	GW1N 系列、GW2A 系列
逻辑资源	见表 2-2
交付文件	
设计文件	Verilog (加密)
参考设计	Verilog
测试平台	Verilog
测试设计流程	
综合软件	Synplify Pro
应用软件	Gowin Software

2.1 主要功能

Gowin PCI to CAN IP 主要功能是支持一个 PCI 设备与一个 REG 接口的 CAN 设备进行通信，CAN 设备作为后端设计，挂载在 PCI 的一个基区上。

2.2 工作频率

Gowin PCI to CAN IP 和 Gowin PCI Target IP、Gowin CAN Controller IP 共同工作在同一时钟 pci_clk 下，频率为 33MHz。

2.3 资源利用

Gowin PCI to CAN IP 采用 Verilog 语言进行设计，表 2-2 给出了基于 GW2A55 器件的资源利用概述，关于其它器件的资源利用请关注后期发布信息。

表 2-2 资源利用情况

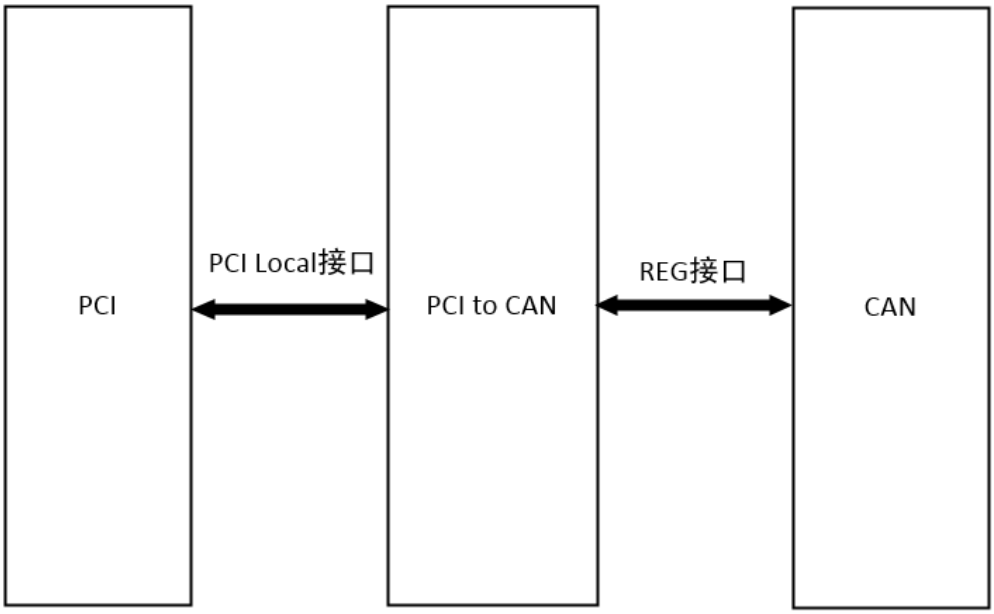
LUTs	REGs	Device Series	Speed Level
86	85	GW2A55	-8

3 功能描述

3.1 系统框图

如图 3-1 所示，PCI to CAN 主要介于 PCI Target 的 Local 端与 CAN 的 REG 之间，实现 PCI 到 CAN 的接口转换，进而实现通信。

图 3-1 PCI to CAN 系统框图

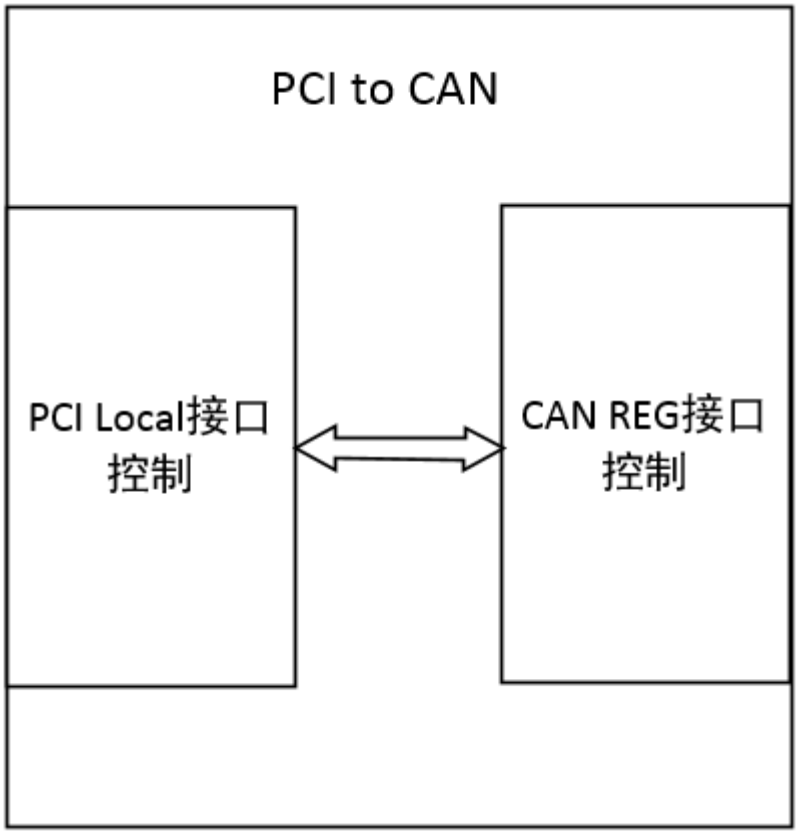


3.2 功能框图说明

本 IP 有两个模块构成，PCI local 接口控制模块与 CAN REG 接口控制模块，功能如下：

- PCI Local 接口控制模块实现与 PCI Target 的 Local 接口的通信，并完成 CAN REG 接口信号的转换；
- CAN REG 接口控制模块实现与 CAN REG 接口的通信，并完成 PCI Local 接口信号的转换。

图 3-2 PCI to CAN 功能框图



3.3 操作步骤

用户首先要确定 CAN 是挂载在 PCI 的哪一基区，需要注意的是，PCI Target 的 tg_bar_hit 信号可以是 1 至 6 位宽，而 PCI to CAN 的 tg_bar_hit 信号是 1 位宽，所以使用时需要将 PCI Target 的 tg_bar_hit 中的某一位连接在 PCI to CAN 的 tg_bar_hit 上，这样可以满足 PCI Target 对不同基区的操作。

CAN 的 cpu_addr 地址信号是由 PCI Target 的 tg_addr 地址信号一一映射而来，其中低 12 位代表着寄存器地址，所以 PCI Target 的基区大小至少要设置到 8KB。然后利用 PCI 对 CAN 进行初始化，详细步骤如下：

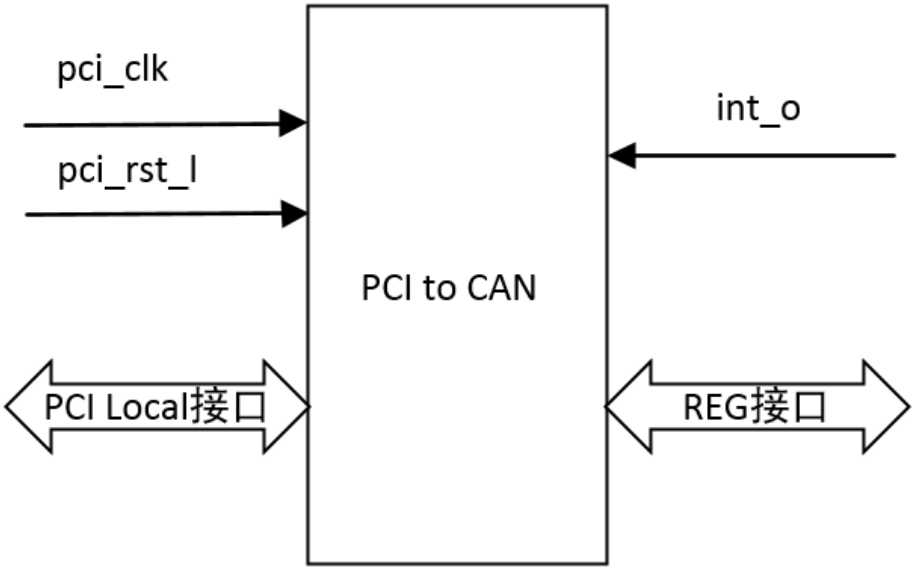
- 配置偏移地址 0x8 上的 BRP 寄存器，完成预分频值的设置；
- 配置偏移地址 0xC 与 0x10 上的帧相关寄存器 BTN 与 BTD；
- 配置偏移地址 0x40、0x44、0x48 上的 RXBCFG、TXBCFG、TXHBCFG，初始化 CAN 的接收、发送缓冲区；
- 配置偏移地址 0x24 上的中断使能寄存器 IE；
- 配置偏移地址 0x100 至 0x13C 上的若干 AF 寄存器，接着再配置 0x140 至 0x17C 上的若干 AFM 寄存器，完成接收滤波的设置；
- 向偏移地址 0x4 上写入 1，使 CAN 进入操作模式。

关于 Gowin PCI Target IP 与 Gowin CAN Controller IP 的使用指南、相关时序、寄存器配置等信息，可参考 IPUG904，Gowin PCI Target IP 用户指南和 IPUG527，Gowin CAN Controller IP 用户指南。

4 接口列表

4.1 PIN 引脚图

图 4-1 PCI to CAN 引脚图



4.2 引脚说明

表 4-1 引脚说明表

引脚	方向	描述
系统接口		
pci_clk	输入	PCI输入时钟。PCI Target和CAN Controller可以工作在同一时钟频率，所以直接将pci_clk~~做为~~作为PCI to CAN的系统时钟，频率为33MHz。
pci_rst_l	输入	异步复位信号，低电平有效。
PCI Local接口		
tg_addr[31:0]	输入	PCI Target的地址信号。
tg_data_out[31:0]	输入	PCI Target写操作时的数据输出信号。
tg_data_in[31:0]	输出	PCI Target读操作时的数据输入信号。
tg_cbe_l[3:0]	输入	PCI Target字节使能信号，低电平有效。
tg_ready_l	输出	该信号有效时，代表PCI to CAN做好了接

引脚	方向	描述
		收或发送数据的准备，低电平有效。
tg_write_l	输入	PCI Target写传输指示信号，低电平有效。
tg_read_l	输入	PCI Target读传输指示信号，低电平有效。
tg_stop_l	输出	数据传输停止信号，低电平有效。
tg_abort_l	输出	数据传输放弃信号，低电平有效。
tg_cmd_o[3:0]	输入	PCI Target传输命令信号。
tg_bar_hit	输入	单比特基区选择信号。该信号来自PCI Target中tg_bar_hit[5:0]信号中的某一位，用户可自定义的选择，可以让CAN挂载在所需要的基区上。
tg_access	输入	该信号有效时，表示PCI Target正在对Local接口进行访问。
tg_value	输入	PCI Target在进行写传输时，该信号有效，表示tg_data_out[31:0]上的数据有效；进行读传输时，该信号有效表明tg_data_in[31:0]上的数据有效。
tg_int_l	输出	中断信号，低电平有效。
REG接口		
cpu_cs	输出	片选信号
cpu_read	输出	读使能
cpu_write	输出	写使能
cpu_addr[13:0]	输出	地址信号
cpu_wdat[31:0]	输出	写数据
cpu_rdat[31:0]	输入	读数据
cpu_ack	输入	传输完成响应
cpu_err	输入	传输错误指示
CPU中断信号		
int_o	输入	中断信号

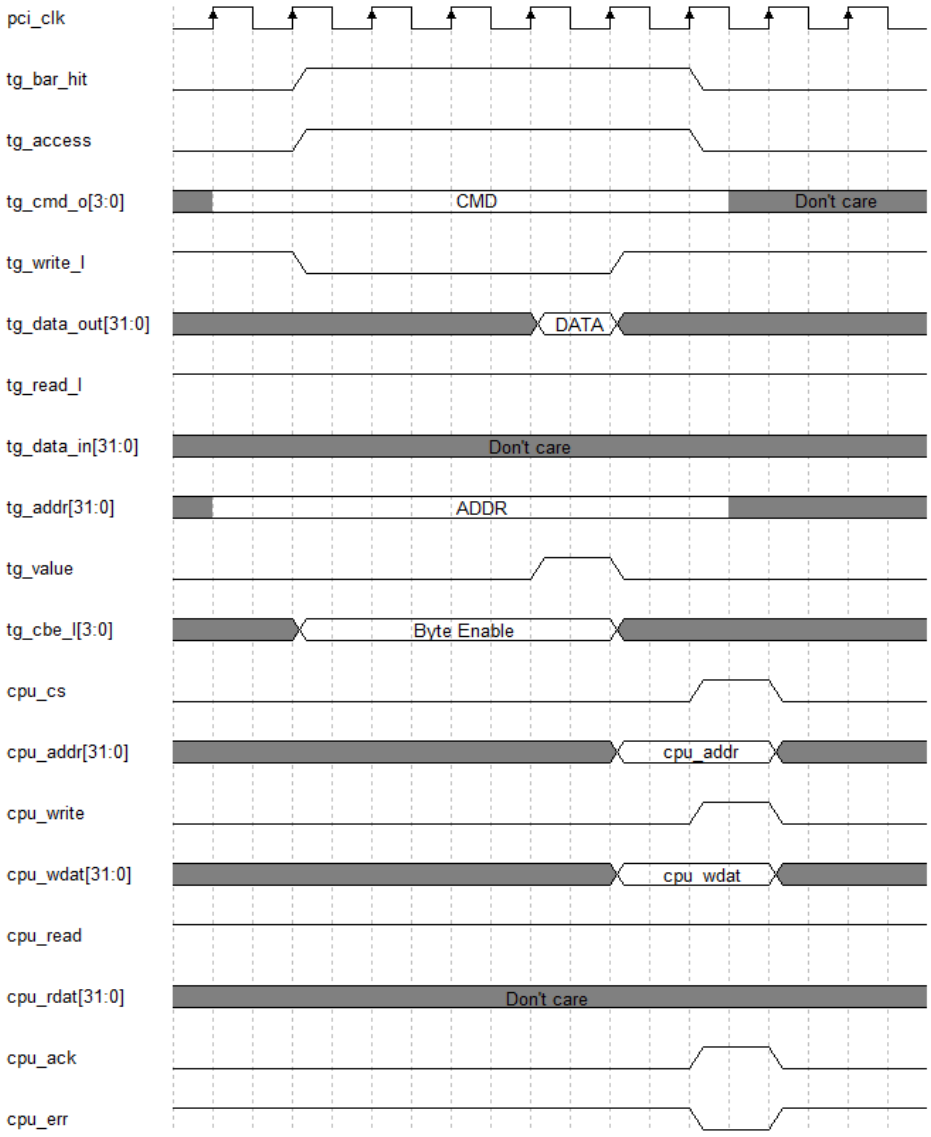
注！

所有信号方向皆以 PCI to CAN IP 为参考点。

5 时序

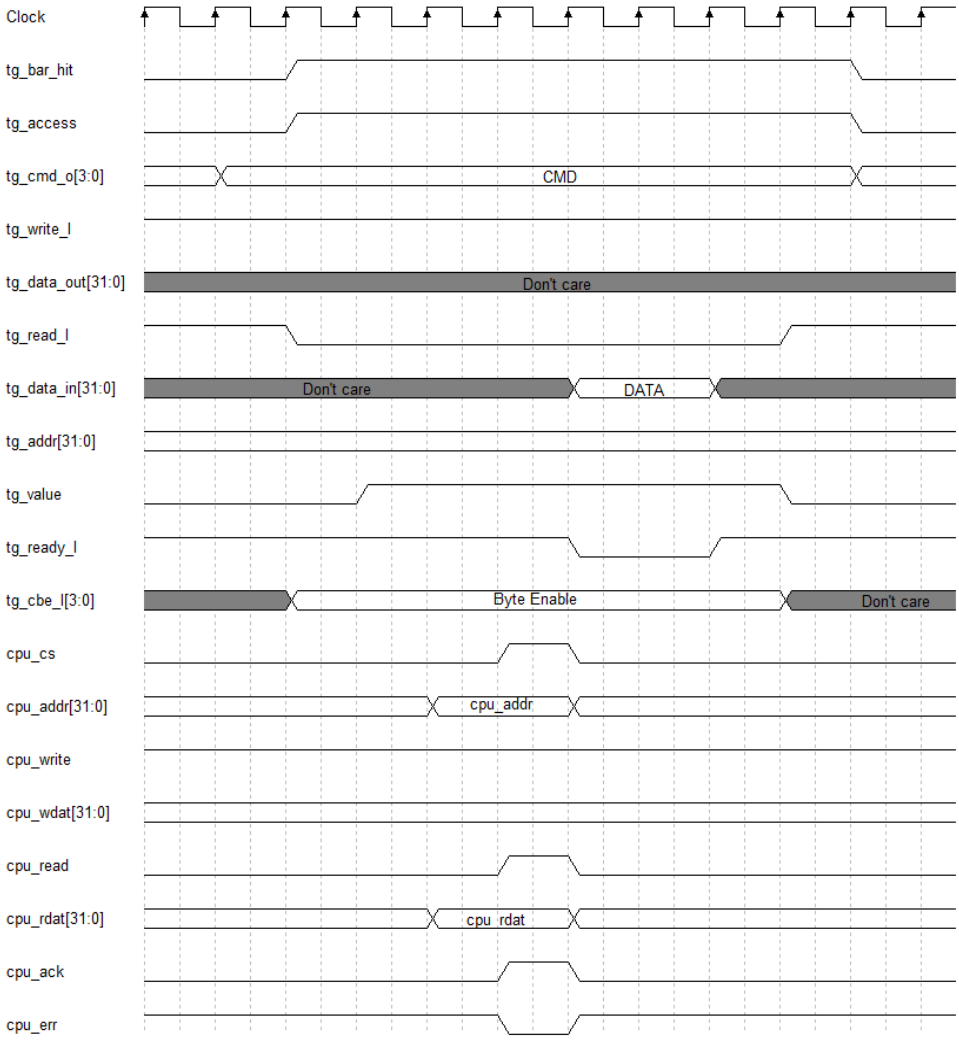
5.1 写传输时序

图 5-1 PCI to CAN 写传输时序图



5.2 读传输时序

图 5-2 PCI to CAN 读传输时序图



6 IP 生成

用户可以使用 IDE 中的 IP 内核生成器工具调用和配置 Gowin PCI to CAN IP。

Gowin PCI to CAN IP 生成方式与配置界面如图 6-1 与图 6-2 所示，例化方式如图 6-3 所示。

图 6-1 生成方式

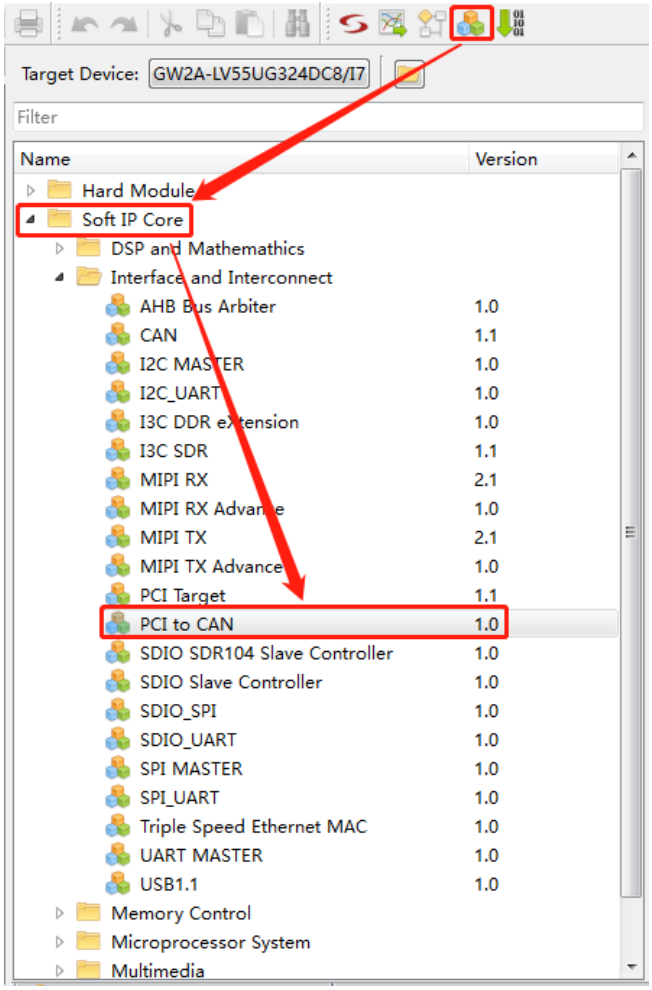


图 6-2 配置界面

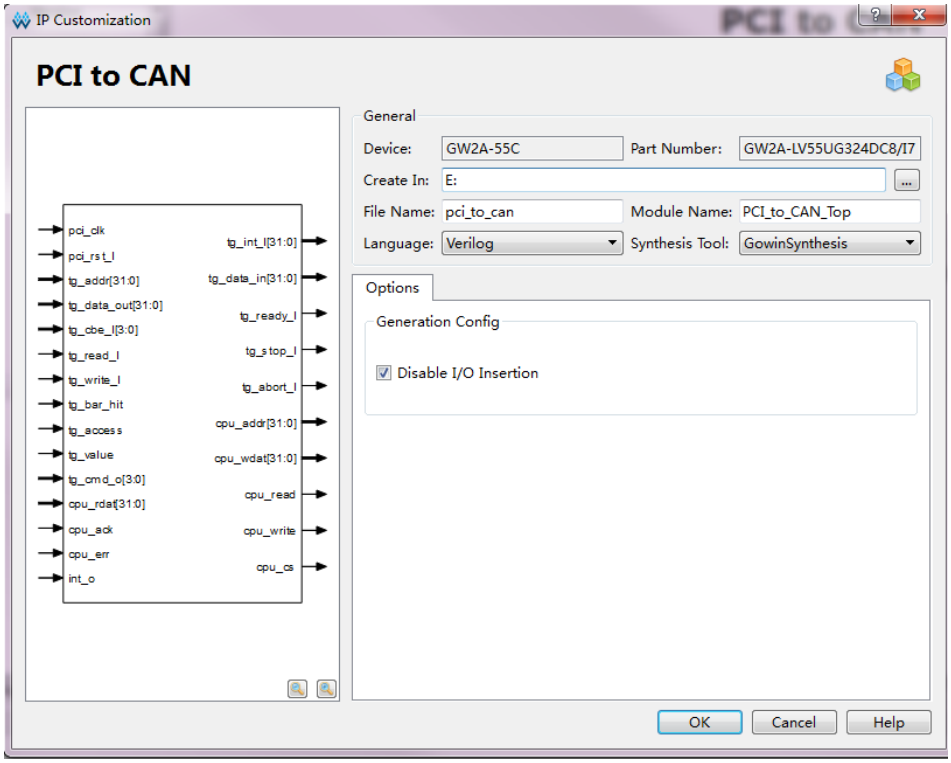


图 6-3 例化方式

```
//Copyright (C)2014-2020 Gowin Semiconductor Corporation.
//All rights reserved.
//File Title: Template file for instantiation
//GOWIN Version: GowinSynthesis V1.9.7Beta
//Part Number: GW2A-LV55UG324DC8/I7
//Device: GW2A-55C
//Created Time: Fri Sep 25 16:46:18 2020

//Change the instance name and port connections to the signal names
//--------Copy here to design--------

    PCI_to_CAN_Top your_instance_name(
        .pci_clk(pci_clk_i), //input pci_clk
        .pci_rst_l(pci_rst_l_i), //input pci_rst_l
        .cpu_read(cpu_read_o), //output cpu_read
        .cpu_write(cpu_write_o), //output cpu_write
        .cpu_cs(cpu_cs_o), //output cpu_cs
        .cpu_addr(cpu_addr_o), //output [31:0] cpu_addr
        .cpu_wdat(cpu_wdat_o), //output [31:0] cpu_wdat
        .cpu_rdat(cpu_rdat_i), //input [31:0] cpu_rdat
        .cpu_ack(cpu_ack_i), //input cpu_ack
        .cpu_err(cpu_err_i), //input cpu_err
        .int_o(int_o_i), //input int_o
        .tg_addr(tg_addr_i), //input [31:0] tg_addr
        .tg_data_out(tg_data_out_i), //input [31:0] tg_data_out
        .tg_cbe_l(tg_cbe_l_i), //input [3:0] tg_cbe_l
        .tg_read_l(tg_read_l_i), //input tg_read_l
        .tg_write_l(tg_write_l_i), //input tg_write_l
        .tg_bar_hit(tg_bar_hit_i), //input tg_bar_hit
        .tg_access(tg_access_i), //input tg_access
        .tg_value(tg_value_i), //input tg_value
        .tg_cmd_o(tg_cmd_o_i), //input [3:0] tg_cmd_o
        .tg_int_l(tg_int_l_o), //output tg_int_l
        .tg_data_in(tg_data_in_o), //output [31:0] tg_data_in
        .tg_ready_l(tg_ready_l_o), //output tg_ready_l
        .tg_stop_l(tg_stop_l_o), //output tg_stop_l
        .tg_abort_l(tg_abort_l_o) //output tg_abort_l
    );
```


GOWIN高云
智慧逻辑 定制未来