

# **PocketLab-F0开发板 用户手册**

**2019-06-12**

**版权所有©2019 武汉易思达科技有限公司**

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除易思达科技在其产品的销售条款和条件中声明的责任之外，易思达科技概不承担任何法律或非法律责任。易思达科技对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，易思达科技保留修改档中任何内容的权利，恕不另行通知。易思达科技不承诺对这些档进行适时的更新。

## 目 录

1、关于本手册 .....	1
1.1 手册内容.....	1
1.2 适用产品.....	错误!未定义书签。
1.3 相关文档.....	1
1.4 术语、缩略语.....	2
1.5 技术支持与反馈 .....	2
2、开发板介绍 .....	3
2.1 概述.....	3
2.2 开发板套件 .....	4
2.3 PCB组件.....	4
2.4 系统框架.....	5
2.5 特性.....	6
2.6 指标.....	6
2.7 机械尺寸图 .....	7
3、开发板详细介绍 .....	9
3.1、FPGA模块.....	9
3.3.1概述.....	9
3.1.2 I/O BANK 说明.....	10
3.2 下载.....	12
3.2.1 概述.....	12
3.2.2 USB 下载电路.....	12
3.2.3 下载流程.....	13
3.2.4 管脚分配.....	13
3.3 电源.....	13
3.3.1 概述.....	14
3.3.2 电源系统分配.....	14
3.3.3 电源管脚分配.....	14
3.4 时钟、复位 .....	15
3.4.1 概述.....	15
3.4.2 时钟、复位电路 .....	15
3.4.3 管脚分配.....	16
3.5 LED .....	16
3.5.1 概述.....	16
3.5.2 LED 电路 .....	17

3.5.3 管脚分配.....	17
3.6 拨码开关.....	17
3.6.1 概述.....	18
3.6.2 拨码开关电路.....	18
3.6.3 管脚分配.....	18
3.7 按键.....	19
3.7.1 概述.....	19
3.7.2 按键电路.....	19
3.7.3 管脚分配.....	20
3.8 数码管.....	20
3.8.1 概述.....	20
3.8.2 数码管电路.....	20
3.8.3 管脚分配.....	21
3.9 WIFI模块.....	21
3.9.1 概述.....	21
3.9.2 WIFI模块电路.....	22
3.9.3 管脚分配.....	22
3.10 蓝牙模块.....	22
3.10.1 概述.....	22
3.10.2 蓝牙模块电路.....	23
3.10.3 管脚分配.....	23
3.11 PMOD接口.....	24
3.11.1 概述.....	24
3.11.2 PMOD接口电路.....	24
3.11.3 管脚分配.....	25
3.12 VGA接口.....	25
3.12.1 概述.....	25
3.12.2 VGA接口电路.....	26
3.12.3 管脚分配.....	26
4、开发板使用.....	27

# 1、关于本手册

## 1.1 手册内容

Pocket Lab-F0开发套件用户手册分为四个部分：

1. 简述开发板的功能特点和硬件资源；
2. 介绍开发板上的各部分硬件电路的功能、电路及管脚分配；
3. 开发板使用注意事项。

本手册中所述信息可适用于以下GW1N 系列FPGA产品：

- GW1N-9

## 1.3 相关文档

通过登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

1. GW1N 系列 FPGA 产品数据手册
2. GW1N 系列 FPGA 产品封装与管脚手册
3. GW1N9 器件 Pinout 手册
4. GW1N 系列 FPGA 产品编程配置手册
5. Gowin 云源软件用户手册

## 1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
LED	Light Emitting Diode	发光二极管
LDO	Low Dropout Regulator	低压差线性稳压器
GPIO	General Purpose Input Output	通用输入/输出
LUT4	4-input Look-up Table	4 输入查找表
S-SRAM	Shadow SRAM	分布式静态随机存储器
B-SRAM	Block SRAM	块状静态随机存储器
PLL	Phase-locked Loop	锁相环
DLL	Delay-locked Loop	延迟锁相环
DSP	Digital Signal Processing	数字信号处理
LQ144	LQFP144	LQFP144 封装

## 1.5 技术支持与反馈

武汉易思达科技有限公司全方位提供技术支持, 在使用过程中如有任何疑问或建议, 可直接与公司联系:

网 址: <http://www.wheasystart.com>

E-mail: [support@wheasystart.com](mailto:support@wheasystart.com)

Tel : [027-59234258-807](tel:027-59234258-807)

# 2、开发板介绍

## 2.1 概述

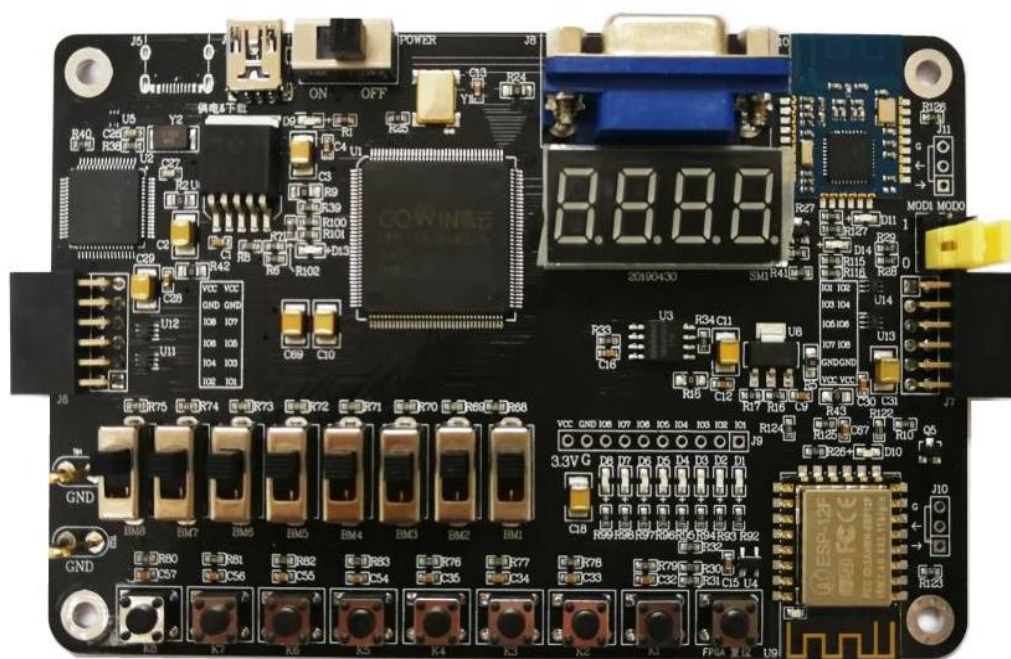


图 2-1 Pocket Lab-F0开发板

Pocket Lab-F0开发套件是以国产高云FPGA为核心，外扩基础模块和接口，套件具有功耗低，超小型，易便携式的特点，自带下载器电路，只需要一根USB电缆线即可进行开发，开发板自带蓝牙、WIFI模块，使得开发板能方便的与手机、电脑进行无线通信。

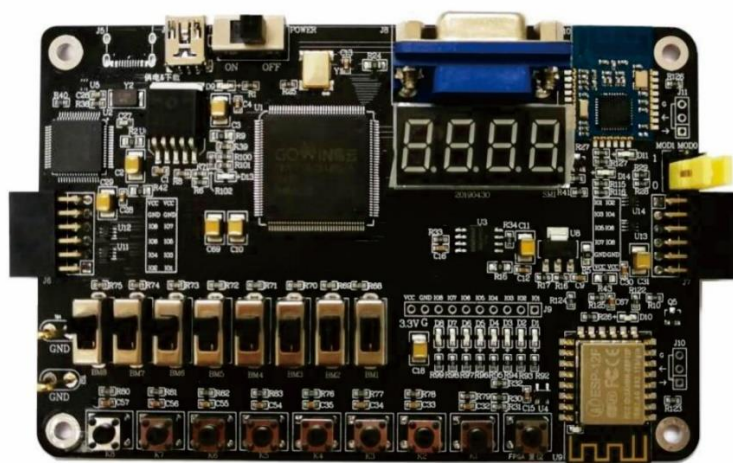
Pocket Lab-F0开发套件提供面向市场自主研发的新一代 FPGA 硬件

开发环境, 支持 GW1N 系列 FPGA 产品, 能够完成 FPGA 综合、布局、布线、产生数据流 文件及下载等一站式工作。

## 2.2 开发板套件

开发板套件包括:

- 开发板
- 5V 电源适配器
- USB 数据线
- 快速应用手册



①

- ① 开发板
- ② 5V电源适配器
- ③ USB数据线



②



③

图2-2 Pocket Lab-F0开发板套件

## 2.3 PCB组件



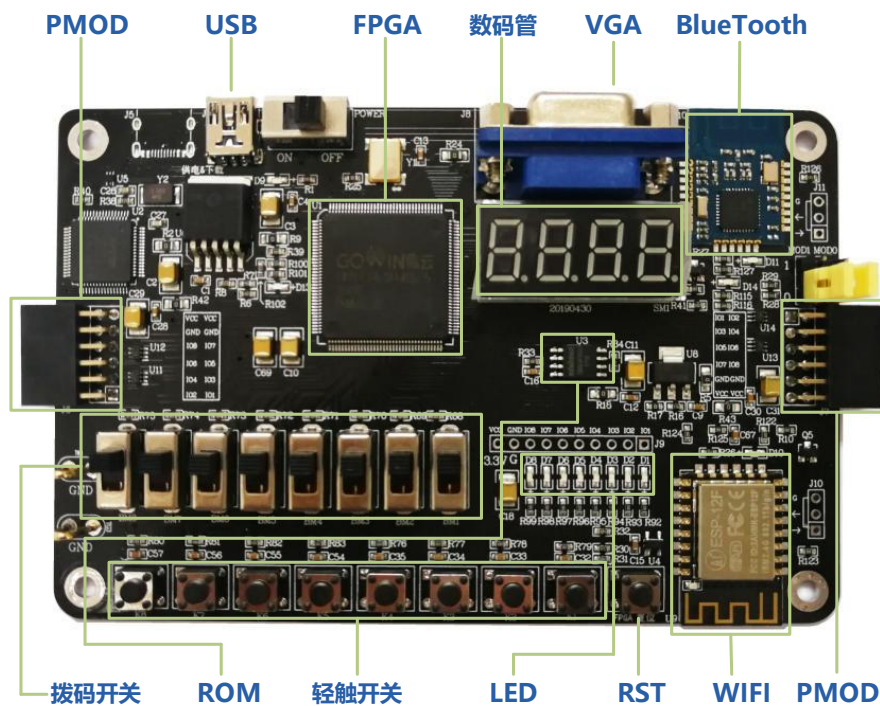


图2-3 Pocket Lab-F0开发板PCB组件说明

## 2.4 系统框架



图2-4 Pocket Lab-F0开发板系统框架

## 2.5 特性

开发板组成结构及特性如下：

### 1. FPGA

- 采用 LQFP144 封装
- 内嵌 Flash, 掉电不易丢失
- 丰富的 LUT4 资源
- 多种模式、容量丰富的 B-SRAM
- 支持 LV 版本

### 2. FPGA 配置模式

- JTAG、AUTO BOOT、MSPI

### 3. 时钟资源

- 50MHz 时钟晶振

### 4. 按键和滑动开关

- 1 个复位按键
- 8 个按键开关
- 8 个滑动开关

### 5. LED

- 1 个电源指示灯 (绿) D9
- 1 个 DONE 指示灯 (绿) D13
- 8 个 LED (绿) D1~D8

### 6. 存储

- 64Mbit SPI Flash

### 7. LDO 电源

- 具有电压反向保护、过流保护功能；
- 提供 3.3V、1.2V 电源。

## 2.6 指标

表 2-1 Pocket Lab-F0开发板参数指标列表

序号	项目	参数	功能描述
1	USB供电和下载	Mini USB接口	可使用USB进行供电。支持 USB

			接口; 支持 JTAG、AUTOBOOT、MSPI
2	PMOD	2 路标准PMOD接口	提供FPGA扩展功能
3	拨码开关	8位拨码开关	用于用户测试时控制输入 (拨上为高电平, 拨下为低电平)
4	轻触按键	8路轻触按键	可作为测试控制输入使用。(按下为低电平)
5	指示灯	8路LED指示灯	当 FPGA 对应管脚输出信号为逻辑低电平时, LED 被点亮;
6	时钟	1 路50MHZ时钟	为 FPGA 提供 50MHz 时钟
7	数码管	4位8段数码管	段选低电平段有效 位选高电平数码管被选中
8	存储器	板载64Mbit存储器	外部程序存储器
9	显示接口	1路VGA接口	提供与显示屏连接的接口
10	蓝牙	1路蓝牙模块	实现蓝牙的无线通信功能
11	WIFI	1路WIFI模块	实现WIFI的无线通信功能
12	工作温度	0~+ 70°C商业级	---
13	环境湿度	20%~90%, 非冷凝	---
14	机械尺寸	124mm x 81mm	---
15	PCB 规格	2层, 黑底白字	---
16	电源供电	5V/0.5A, mini USB接口供电	---
17	安装孔距离	114mm×71mm	---
18	系统功耗	<1.5W	---

## 2.7 机械尺寸图

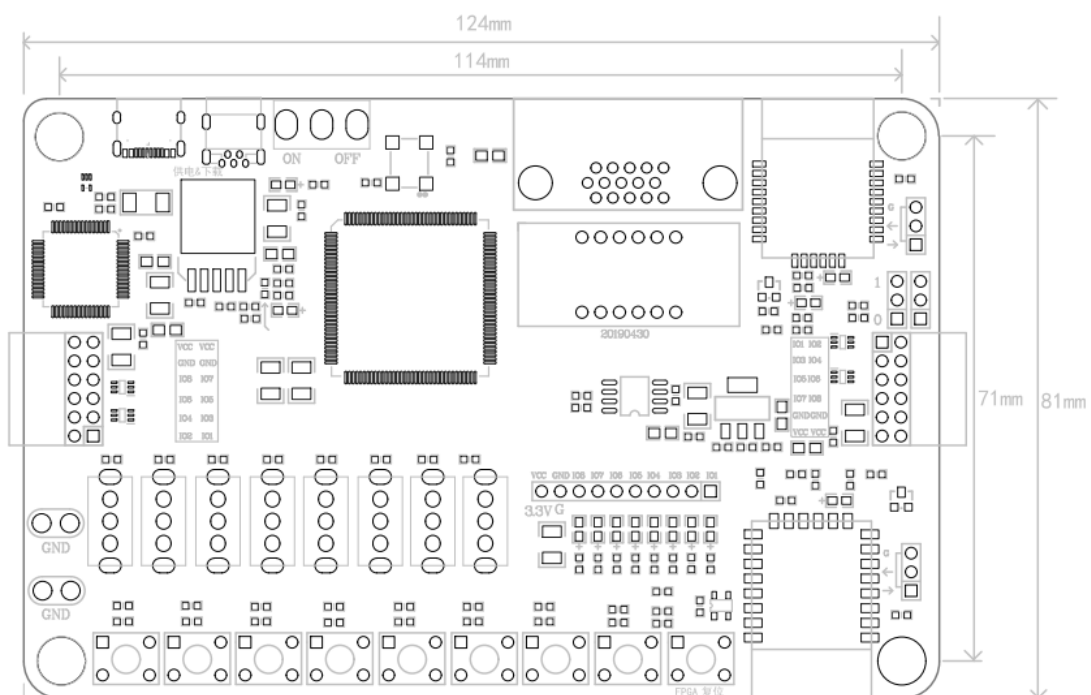


图2-5 Pocket Lab-F0开发板尺寸图

# 3、开发板详细介绍

## 3.1、FPGA模块

### 3.3.1概述

GW1N 系列 FPGA 产品资源信息如表 3-1 所示。

表 3-1 GW1N 系列 FPGA 产品信息列表

器件	GW1N-1	GW1N-2/ GW1N-2B	GW1N-4/ GW1N-4B	GW1N-6	GW1N-9
逻辑单元(LUT4)	1,152	2,304	4,608	6,912	8,640
寄存器(FF)	864	1,728	3,456	5,184	6,480
分布式静态存储器 S-SRAM(bit)	0	0	0	13,824	17,280
块状静态随机存储器 Block SRAM(bit)	72K	180K	180K	468K	468K
块状静态随机存储器数目 Block SRAM(个)	4	10	10	26	26
用户闪存 bit	96K	256K	256K	608K	608K
乘法器(18 x 18 multiplier)	0	16	16	20	20
PLL+DLL	0	2+2	2+2	2+3	2+3
I/O Bank 总数	4	4	4	4	4
核电压 (LV 版本)	1.2V	1.2V	1.2V	1.2V	1.2V

### 3.1.2 I/O BANK 说明

GW1N 系列 FPGA 产品分为四个 I/O BANK 区,图 3-1 为 GW1N 系列 FPGA产品的I/O BANK整体示意图。图3-2为LQ144封装管脚分布示意图。

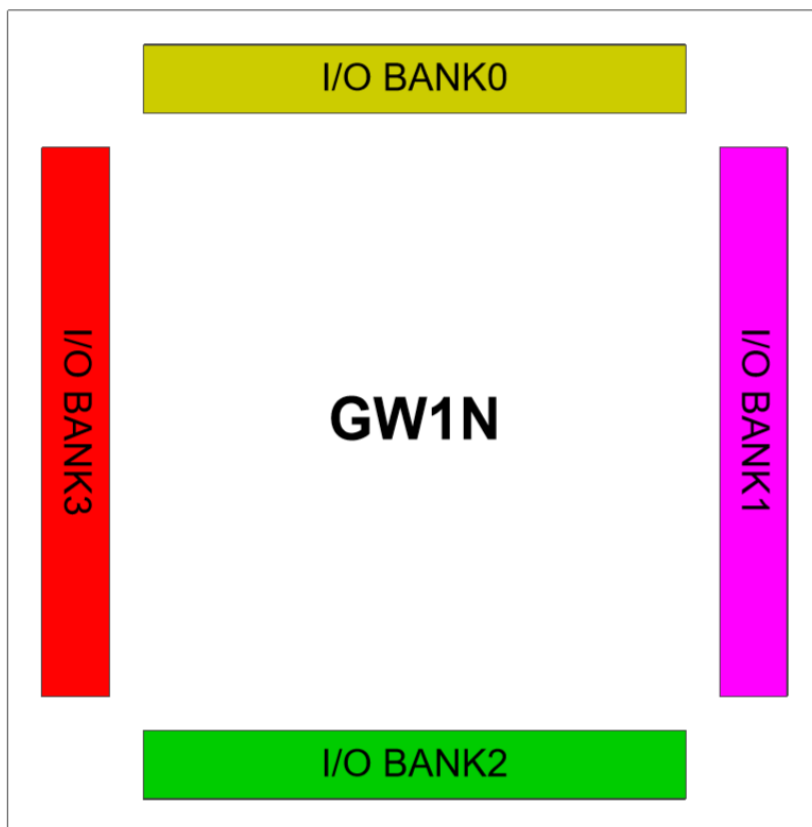


图 3-1 GW1N 系列 FPGA 产品 I/O BANK 整体示意图

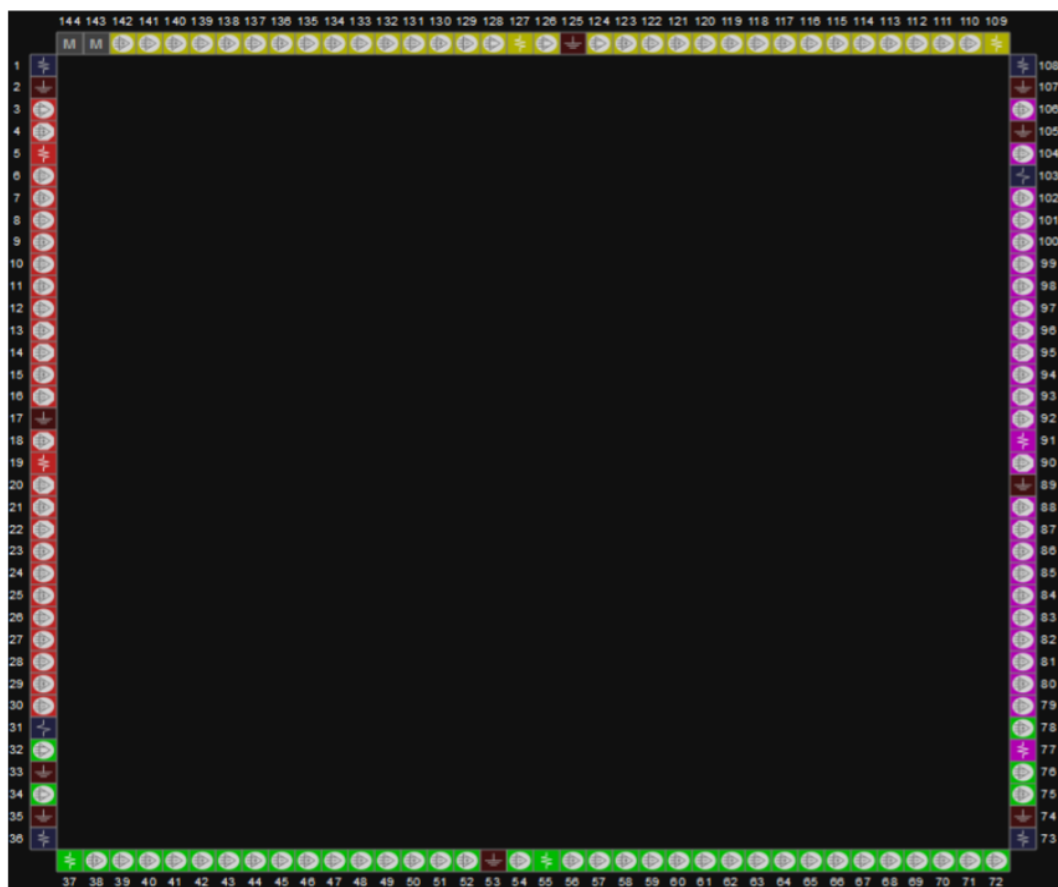


图 3-2 GW1N 系列器件 LQ144 封装管脚分布示意图 (顶视图)

表 3-2 FPGA I/O 管脚分布

I/O BANK序号	连接的模块
I/O BANK 0	VGA 蓝牙模块 数码管
I/O BANK 1	PMOD2 数码管 复位
I/O BANK 2	WIFI模块 按键 拨码开关 LED
I/O BANK 3	下载电路 时钟电路 PMOD1

## 3.2 下载

### 3.2.1 概述

开发板提供 USB 下载接口。下载时可根据需要下载至片内 SRAM、内部 Flash 或外部 Flash 中。

**注!**

- 下载至 SRAM 时，当器件掉电后数据流文件会丢失，重新上电需再次下载数据流文件；
- 下载至 Flash 后，掉电后数据流文件不会丢失。

### 3.2.2 USB下载电路

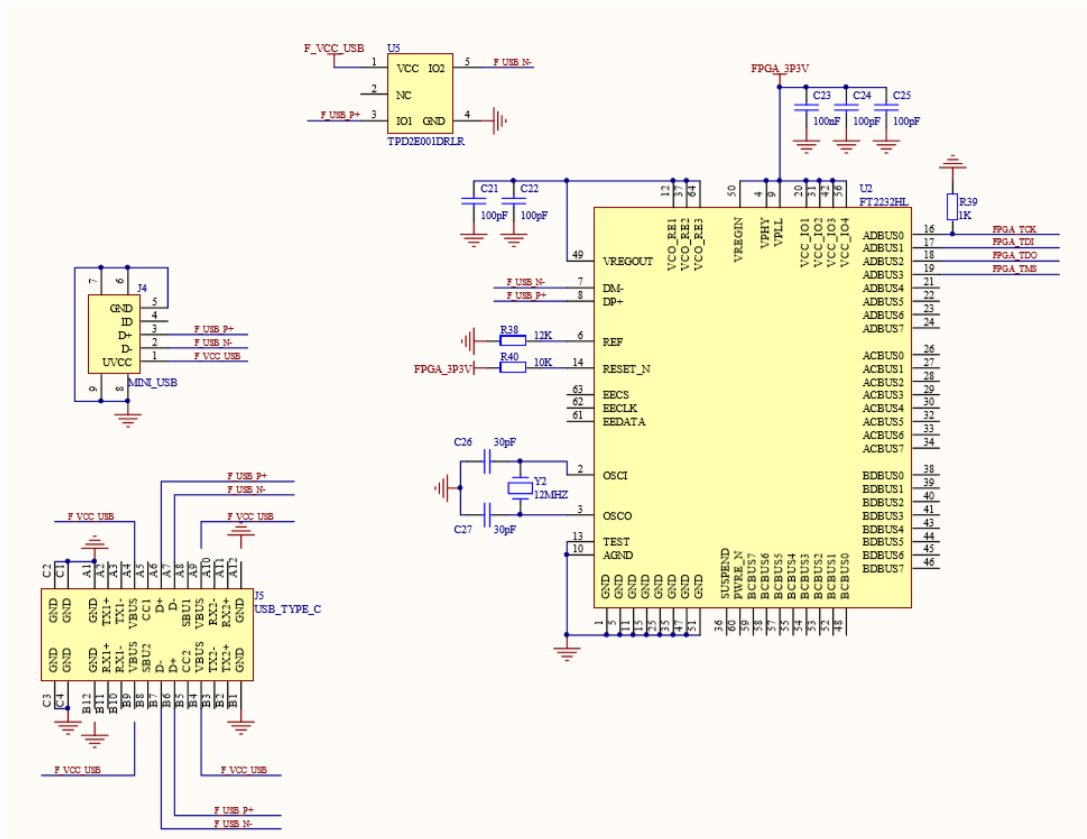


图 3-3 FPGA下载与配置连接电路原理图



### 3.2.3 下载流程

可通过以下方式下载流程：

#### 1. SRAM 方式：

上电后扫描器件，并进行 bit 文件下载，当 Done 灯指示亮时代表下载成功，重启板子后程序将会保存

#### 注！

- 该模式无需关心 MODE0 和 MODE1 设置值。

#### 2. 内部 Flash 方式：

上电，进行下载，下载成功后，可断电重启，从内部 Flash 加载 bit 文件，当 Done 灯指示亮时代表加载成功。

#### 注！

- 下载和内部 FLASH 启动时，需将 MODE0 和 MODE1 设置为“00”。

#### 3. 外部 Flash 方式：

上电，进行下载，下载成功后，可断电重启，从外部 Flash 加载 bit 文件，当 Done 灯指示亮时代表加载成功。

#### 注！

- 下载和外部 Flash 启动时，需将 MODE0 和 MODE1 设置为“01”。

### 3.2.4 管脚分配

表 3-2 下载电路管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
FPGA_TMS	pin_13	BANK_3	TMS	3.3V
FPGA_TCK	pin_14	BANK_3	TCK	3.3V
FPGA_TDI	pin_16	BANK_3	TDI	3.3V
FPGA_TDO	pin_18	BANK_3	TDO	3.3V

## 3.3 电源

### 3.3.1 概述

电源 DC5V 输入，同时接口具有过流保护和反向保护功能，过流保护电流 2A。

采用 TI 的 LDO 电源芯片，实现由 5V 到 3.3V、3.3V 到 1.2V 的变换，供电电流可达 2A，可满足开发板的电源需求。

### 3.3.2 电源系统分配

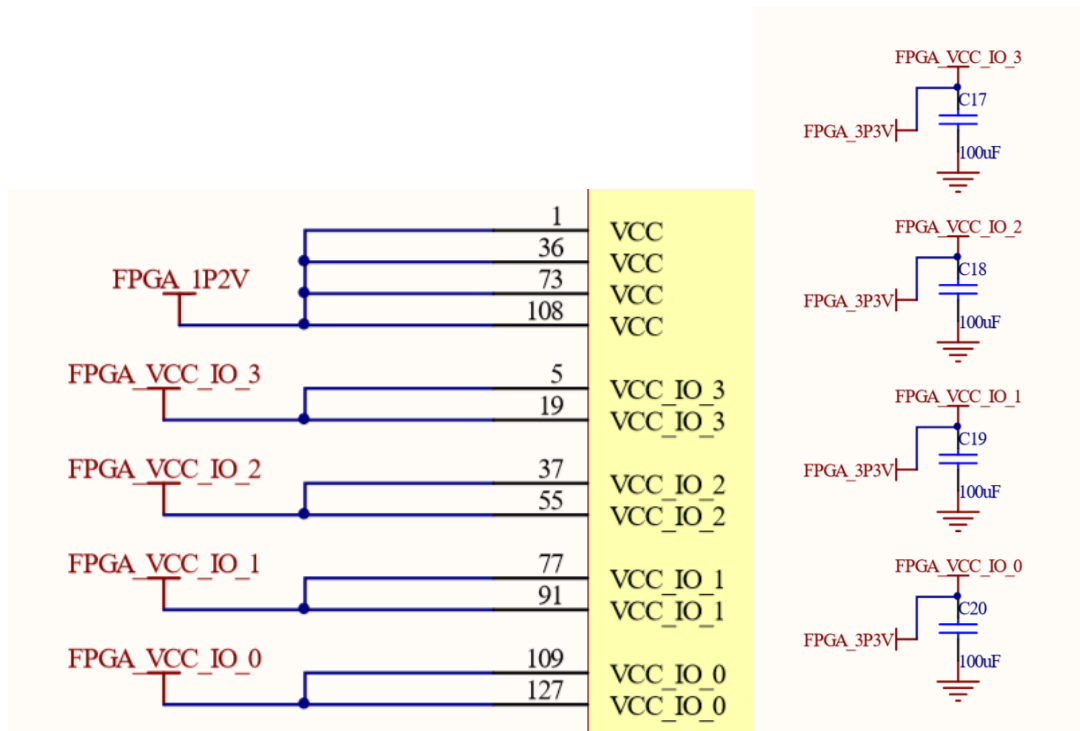


图 3-4 电源电路原理图

### 3.3.3 电源管脚分配

表 3-4 下载电路管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
FPGA_VCC_IO_0	pin_127	BANK_0	I/O Bank 电压	3.3V
	pin_109			3.3V
FPGA_VCC_IO_1	pin_91	BANK_1		3.3V
	pin_77			3.3V
FPGA_VCC_IO_2	pin_55	BANK_2		3.3V
	pin_37			3.3V

FPGA_VCC_IO_3	pin_19	BANK_3		3.3V
	pin_5			3.3V
FPGA_1P2V	pin_1	---	核电压	1.2V
	pin_36			1.2V
	pin_73			1.2V
	pin_108			1.2V

## 3.4 时钟、复位

### 3.4.1 概述

开发板提供了一个 50MHz 晶振，连接到 PLL 输入管脚，可作为 FPGA 内部 PLL 的时钟输入，通过 PLL 的分倍频可以输出用户所需的时钟。

### 3.4.2 时钟、复位电路

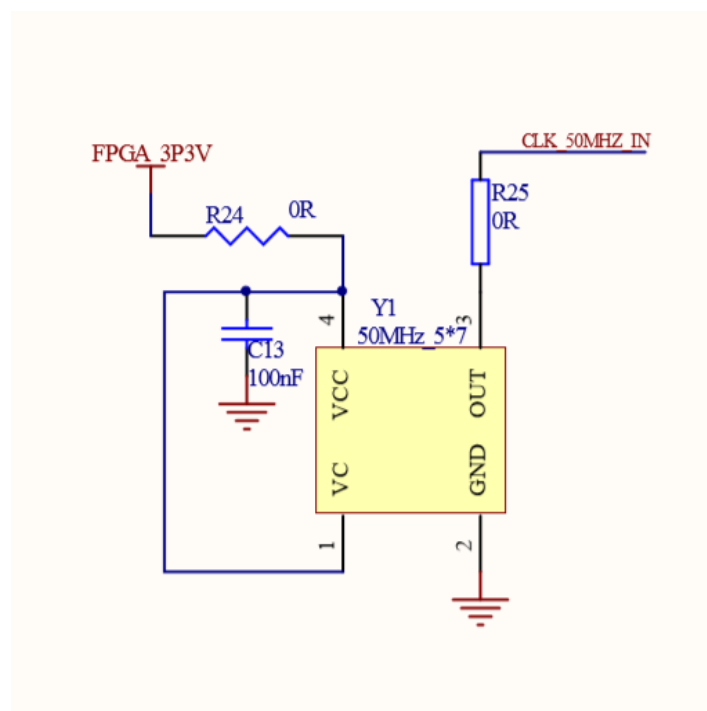


图 3-5 时钟电路原理图

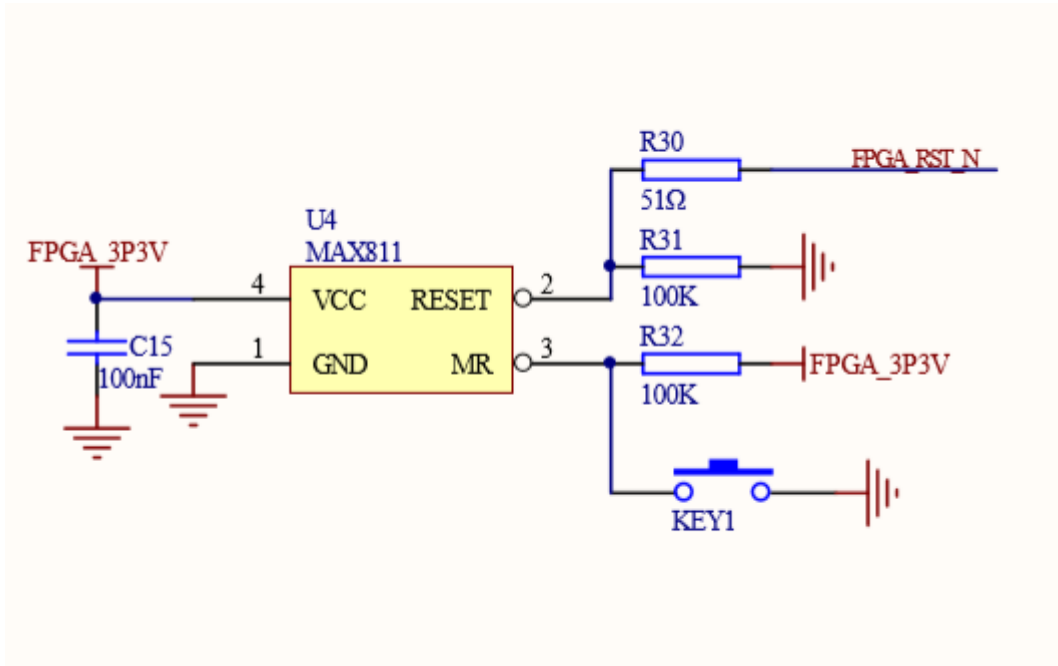


图 3-6 复位电路原理图

### 3.4.3 管脚分配

表 3-5 FPGA 时钟与复位管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
CLK_50MHZ_IN	pin_6	BANK_3	50MHz 有源晶振输入	3.3V
FPGA_RST_N	pin_92	BANK_1	复位信号, 低有效	3.3V

## 3.5 LED

### 3.5.1 概述

开发板中有 8 个绿色 LED 灯，用户可通过 LED 灯显示所需状态。可通过以下方式对 LED 灯进行测试：

- 当 FPGA 对应管脚输出信号为逻辑低电平时，LED 被点亮；
- 当输出信号为高电平时，LED 熄灭

### 3.5.2 LED 电路

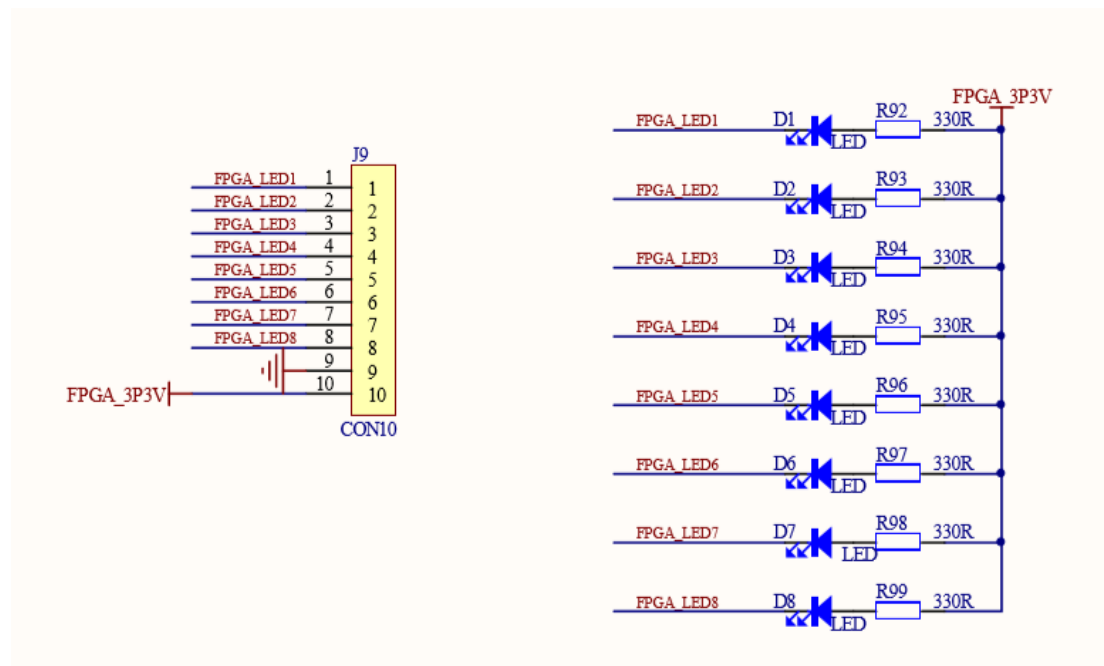


图 3-7 LED电路原理图

### 3.5.3 管脚分配

表 3-6 LED管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
FPGA_LED1	pin_63	BANK_2	LED 指示灯 1	3.3V
FPGA_LED2	pin_62	BANK_2	LED 指示灯 2	3.3V
FPGA_LED3	pin_61	BANK_2	LED 指示灯 3	3.3V
FPGA_LED4	pin_60	BANK_2	LED 指示灯 4	3.3V
FPGA_LED5	pin_59	BANK_2	LED 指示灯 5	3.3V
FPGA_LED6	pin_58	BANK_2	LED 指示灯 6	3.3V
FPGA_LED7	pin_57	BANK_2	LED 指示灯 7	3.3V
FPGA_LED8	pin_56	BANK_2	LED 指示灯 8	3.3V

### 3.6 拨码开关

### 3.6.1 概述

开发板中有 8 个滑动开关，可用于用户测试时控制输入（拨上为高电平，拨下为低电平）

### 3.6.2 拨码开关电路

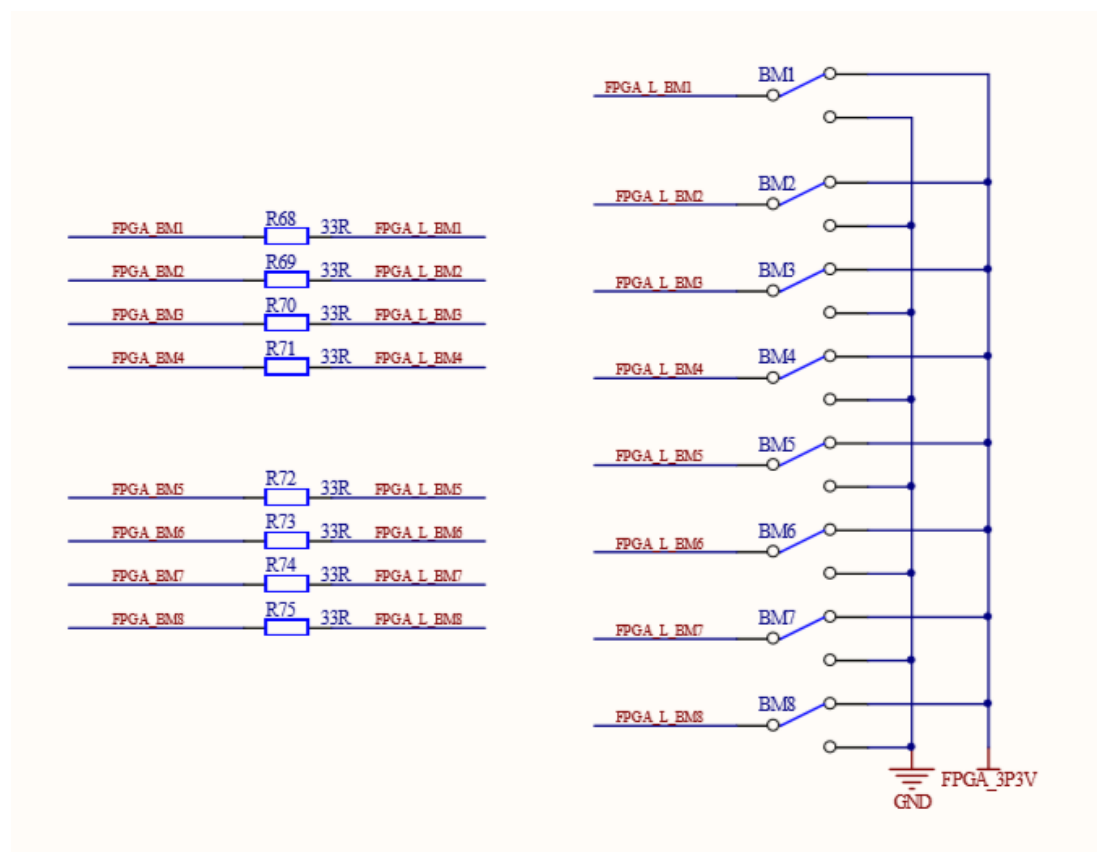


图 3-8 拨码开关电路原理图

### 3.6.3 管脚分配

表 3-7 拨码开关管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
FPGA_BM1	pin_50	BANK_2	滑动开关 1	3.3V
FPGA_BM2	pin_48	BANK_2	滑动开关 2	3.3V
FPGA_BM3	pin_46	BANK_2	滑动开关 3	3.3V
FPGA_BM4	pin_44	BANK_2	滑动开关 4	3.3V

FPGA_BM5	pin_42	BANK_2	滑动开关 5	3.3V
FPGA_BM6	pin_40	BANK_2	滑动开关 6	3.3V
FPGA_BM7	pin_39	BANK_2	滑动开关 7	3.3V
FPGA_BM8	pin_38	BANK_2	滑动开关 8	3.3V

## 3.7 按键

### 3.7.1 概述

开发板有 8 个按键开关，用户可通过手动控制向对应 FPGA 管脚输入低电平，可作为测试控制输入使用。(按下为低电平)

### 3.7.2 按键电路

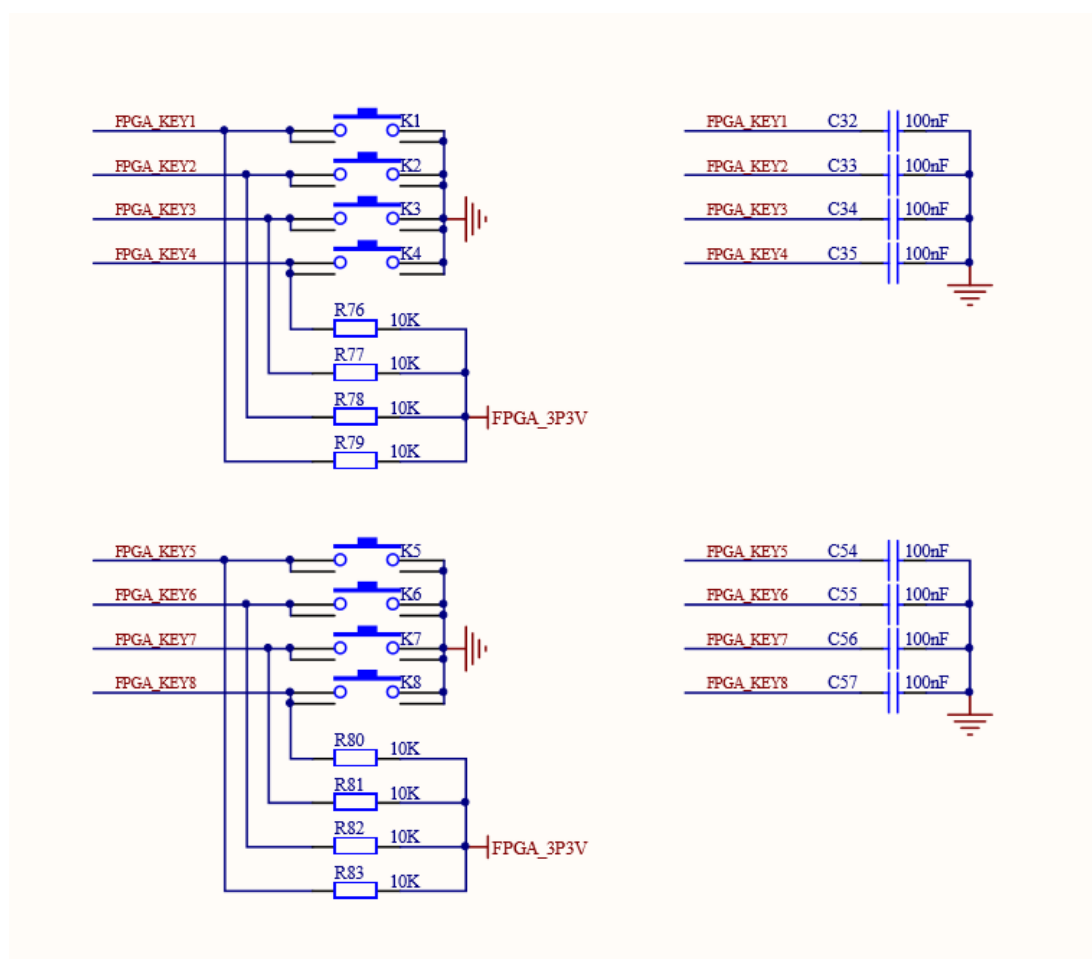


图 3-9 按键电路原理图

### 3.7.3 管脚分配

表 3-8 按键管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
FPGA_KEY1	pin_54	BANK_2	按键 1	3.3V
FPGA_KEY2	pin_52	BANK_2	按键 2	3.3V
FPGA_KEY3	pin_51	BANK_2	按键 3	3.3V
FPGA_KEY4	pin_49	BANK_2	按键 4	3.3V
FPGA_KEY5	pin_47	BANK_2	按键 5	3.3V
FPGA_KEY6	pin_45	BANK_2	按键 6	3.3V
FPGA_KEY7	pin_43	BANK_2	按键 7	3.3V
FPGA_KEY8	pin_41	BANK_2	按键 8	3.3V

## 3.8 数码管

### 3.8.1 概述

段选低电平段有效 位选高电平数码管被选中。

### 3.8.2 数码管电路

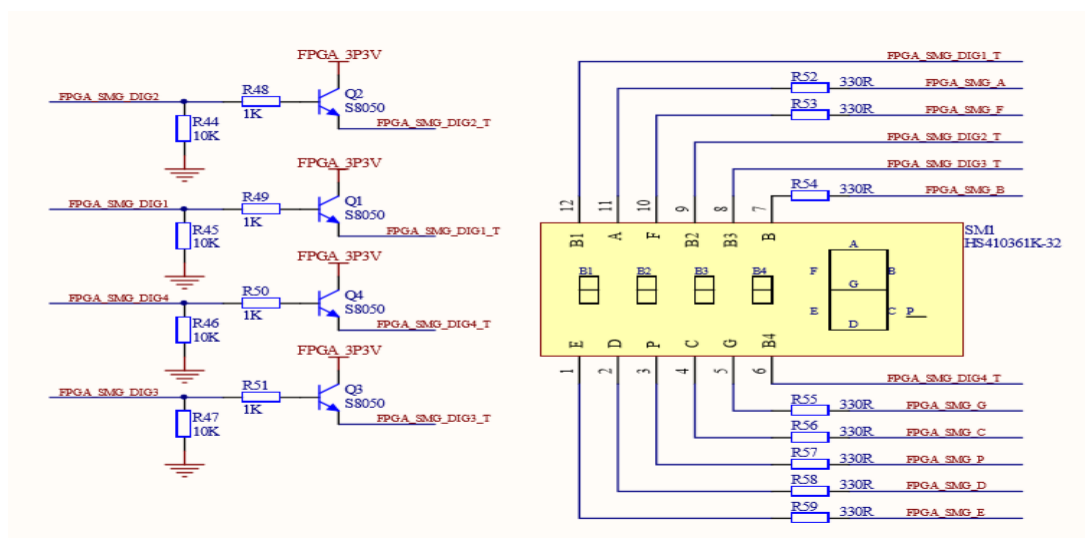


图 3-10 数码管电路原理图



### 3.8.3 管脚分配

表 3-9 数码管管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
FPGA_SMG_A	pin_106	BANK_1	a	3.3V
FPGA_SMG_B	pin_102	BANK_1	b	3.3V
FPGA_SMG_C	pin_100	BANK_1	c	3.3V
FPGA_SMG_D	pin_98	BANK_1	d	3.3V
FPGA_SMG_E	pin_97	BANK_1	e	3.3V
FPGA_SMG_F	pin_104	BANK_1	f	3.3V
FPGA_SMG_G	pin_101	BANK_1	g	3.3V
FPGA_SMG_P	pin_99	BANK_1	p	3.3V
FPGA_SMG_DIG1	pin_112	BANK_0	位选 1	3.3V
FPGA_SMG_DIG2	pin_113	BANK_0	位选 2	3.3V
FPGA_SMG_DIG3	pin_110	BANK_0	位选 3	3.3V
FPGA_SMG_DIG4	pin_111	BANK_0	位选 4	3.3V

## 3.9 WIFI模块

### 3.9.1 概述

WIFI\_RESET为复位信号，高电平不复位，低电平复位，所以一般配置为高电平（即不复位），WIFI\_BOOT为程序加载选择信号，高电平时从WIFI模块从内部flash加载程序，低电平为从外部加载，这里配置为高电平（即从内部加载），WIFI\_CNT为模块电源控制信号，接低电平时即给WIFI模块供电，高电平时模块掉电。

WIFI\_TXD为WIFI模块的串口数据输出（接FPGA的数据输入），WIFI\_RXD为WIFI模块的串口数据输入（接FPGA的数据输出）。

出厂状态下，WIFI模块工作在透传模式，串口速率为9600。

WIFI名称: WifiTest

密码: 12345678

### 3.9.2 WIFI模块电路

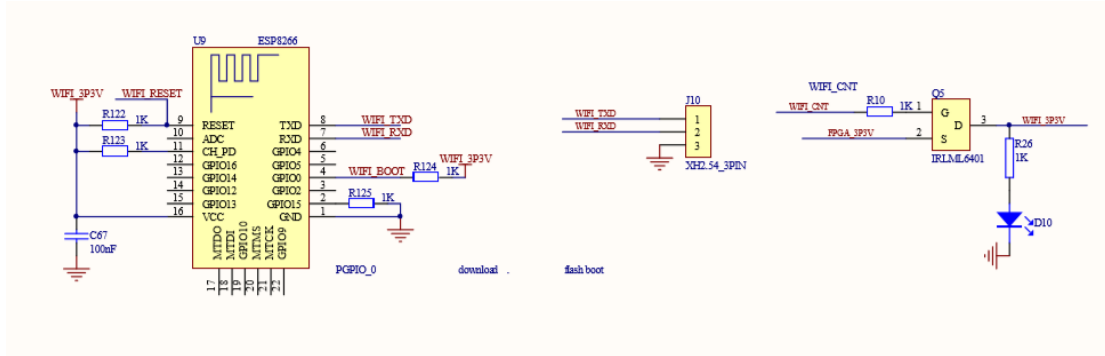


图 3-11 WIFI模块电路原理图

### 3.9.3 管脚分配

表 3-10 WIFI模块管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
WIFI_TXD	<b>pin_72</b>	BANK_2	WIFI_TXD(wifi模块输出, FPGA输入)	3.3V
WIFI_RXD	<b>pin_75</b>	BANK_2	WIFI_RXD(wifi模块输入, FPGA输出)	3.3V
WIFI_RESET	<b>pin_78</b>	BANK_2	WIFI_RESET(wifi模块输入, FPGA输出)	3.3V
WIFI_BOOT	<b>pin_76</b>	BANK_2	WIFI_BOOT(wifi模块输入, FPGA输出)	3.3V
WIFI_CNT	<b>pin_71</b>	BANK_2	WIFI_CNT(FPGA输出)	3.3V

## 3.10 蓝牙模块

### 3.10.1 概述

BLUE\_RESET为复位信号，高电平不复位，低电平复位，所以一般配置为高电平（即不复位），BLUE\_CMD为模式控制，高电平为透传模式，低电平为命令模式，一般配置为高电平（即透传模式），BLUE\_CNT为模块电

源控制信号，接低电平时即给蓝牙模块供电，高电平时模块掉电。

BLUE\_TXD为蓝牙模块的串口数据输出（接FPGA的数据输入），  
BLUE\_RXD为蓝牙模块的串口数据输入（接FPGA的数据输出）

蓝牙模块出厂默认配置：串口速率为，9600bps，数据位 8 位，停止位 1 位，无奇偶校验。

手机微信中找到“蜂汇蓝牙透传”小程序，打开小程序，可以找到“SPP-1862E.....”的蓝牙设备，进行连接，在发送窗口和接收窗口可以进行收发数据，这样就可以通过蓝牙收发数据了（FPGA中要设计相应的串口发送和接收数据的程序）。

### 3.10.2 蓝牙模块电路

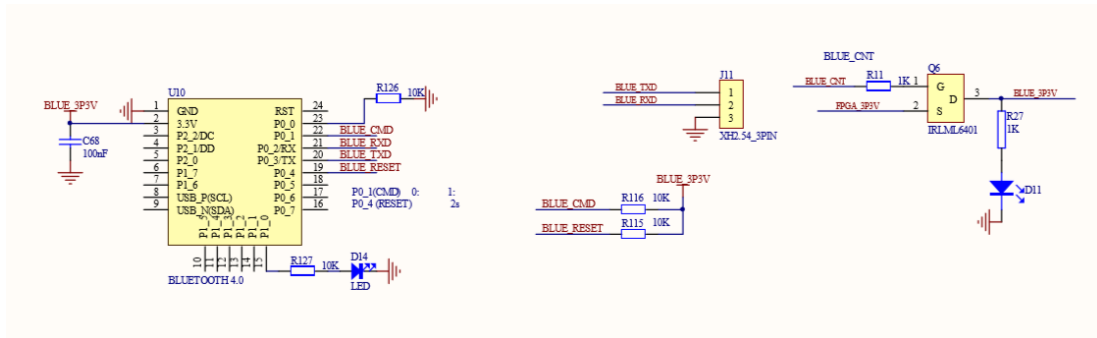


图 3-12 蓝牙模块电路原理图

### 3.10.3 管脚分配

表 3-11 蓝牙模块管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
BLUE_TXD	pin_116	BANK_0	BLUE_TXD(BLUE模块输出, FPGA输入)	3.3V
BLUE_RXD	pin_117	BANK_0	BLUE_RXD(BLUE模块输入, FPGA输出)	3.3V
BLUE_RESET	pin_115	BANK_0	BLUE_RESET(BLUE模块输入, FPGA输出)	3.3V
BLUE_CMD	pin_118	BANK_0	BLUE_CMD(BLUE模块输入, FPGA输出)	3.3V
BLUE_CNT	pin_114	BANK_0	BLUE_CNT(FPGA输出)	3.3V

## 3.11 PMOD接口

### 3.11.1 概述

Pmod接口标准是由Xilinx的第三方合作伙伴迪芝伦（Digilent）制定的接口扩展规范，由于FPGA I/O接口的灵活性，Pmod接口非常适合FPGA开发板卡与外设实现连接。

### 3.11.2 PMOD接口电路

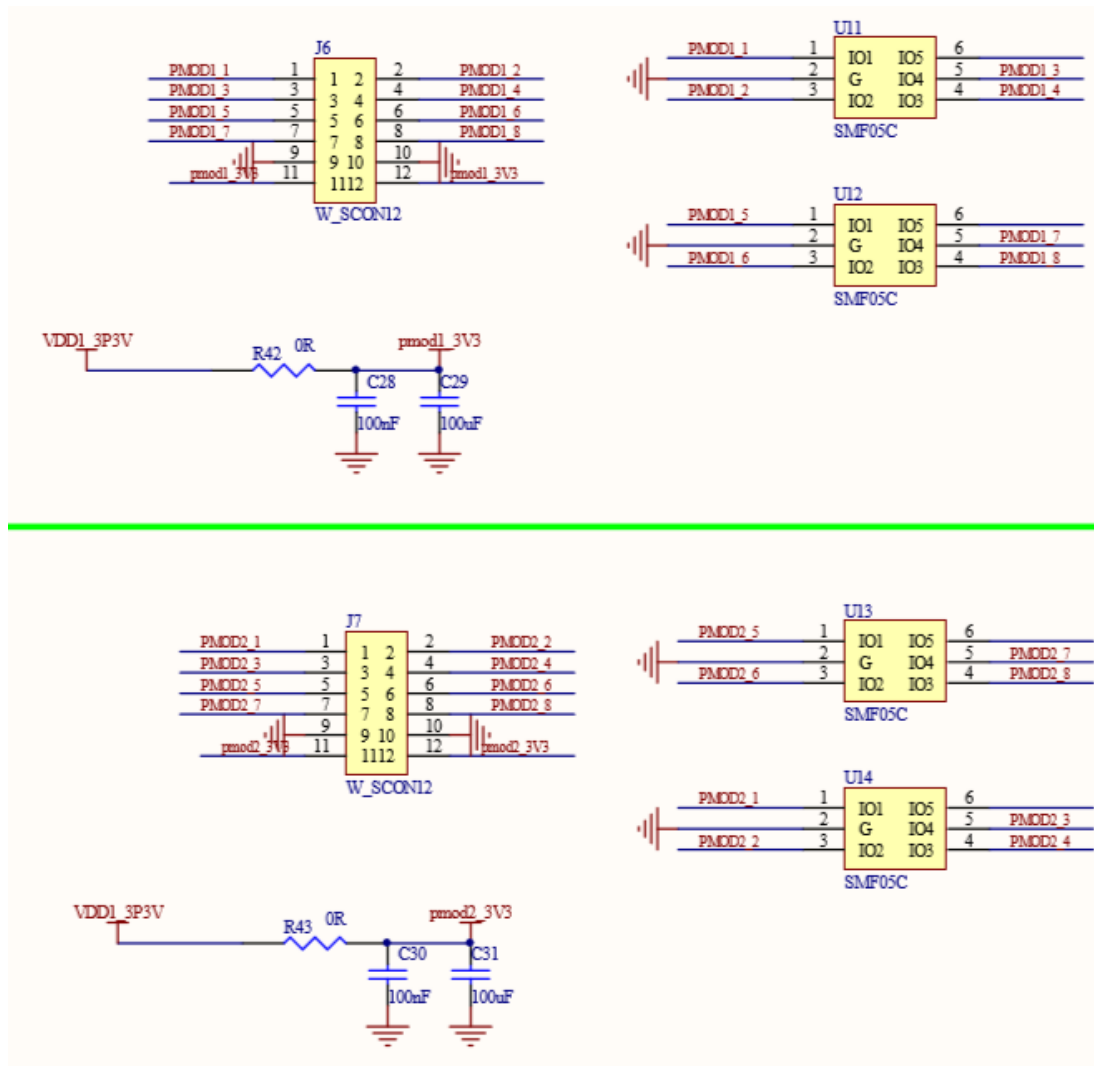


图 3-13 PMOD电路原理图

### 3.11.3 管脚分配

表 3-12 PMOD接口J6管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
PMOD1_1	pin_30	BANK_3	IO 1	3.3V
PMOD1_2	pin_29	BANK_3	IO 2	3.3V
PMOD1_3	pin_28	BANK_3	IO 3	3.3V
PMOD1_4	pin_27	BANK_3	IO 4	3.3V
PMOD1_5	pin_26	BANK_3	IO 5	3.3V
PMOD1_6	pin_25	BANK_3	IO 6	3.3V
PMOD1_7	pin_24	BANK_3	IO 7	3.3V
PMOD1_8	pin_23	BANK_3	IO 8	3.3V

表 3-13 PMOD接口J7管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
PMOD2_1	pin_86	BANK_1	IO 1	3.3V/2.5V/1.2V
PMOD2_2	pin_85	BANK_1	IO 2	3.3V/2.5V/1.2V
PMOD2_3	pin_84	BANK_1	IO 3	3.3V/2.5V/1.2V
PMOD2_4	pin_83	BANK_1	IO 4	3.3V/2.5V/1.2V
PMOD2_5	pin_82	BANK_1	IO 5	3.3V/2.5V/1.2V
PMOD2_6	pin_81	BANK_1	IO 6	3.3V/2.5V/1.2V
PMOD2_7	pin_80	BANK_1	IO 7	3.3V/2.5V/1.2V
PMOD2_8	pin_79	BANK_1	IO 8	3.3V/2.5V/1.2V

## 3.12 VGA接口

### 3.12.1 概述

VGA接口即电脑采用VGA标准输出数据的专用接口。VGA接口共有15针，分成3排，每排5个孔，显卡上应用最为广泛的接口类型，绝大多数显卡都带有此种接口。它传输红、绿、蓝模拟信号以及同步信号(水平和垂直信号)

### 3.12.2 VGA接口电路

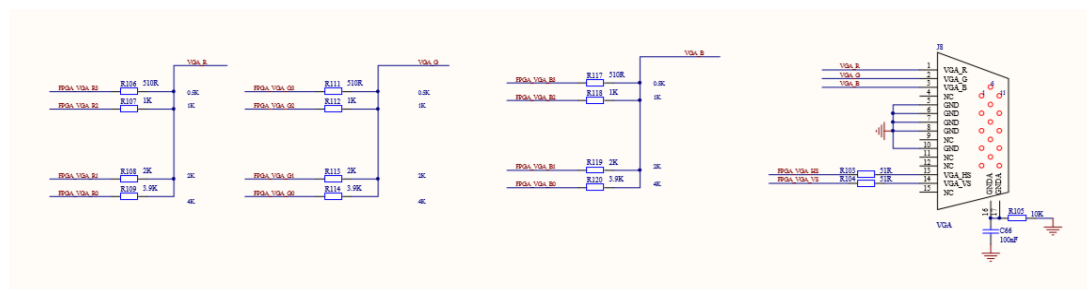


图 3-14 VGA电路原理图

### 3.12.3 管脚分配

表 3-14 VGA接口管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
FPGA_VGA_R0	pin_120	BANK_0	R0	3.3V
FPGA_VGA_R1	pin_121	BANK_0	R1	3.3V
FPGA_VGA_R2	pin_123	BANK_0	R2	3.3V
FPGA_VGA_R3	pin_124	BANK_0	R3	3.3V
FPGA_VGA_G0	pin_128	BANK_0	G0	3.3V
FPGA_VGA_G1	pin_129	BANK_0	G1	3.3V
FPGA_VGA_G2	pin_131	BANK_0	G2	3.3V
FPGA_VGA_G3	pin_132	BANK_0	G3	3.3V
FPGA_VGA_B0	pin_135	BANK_0	B0	3.3V
FPGA_VGA_B1	pin_136	BANK_0	B1	3.3V
FPGA_VGA_B2	pin_138	BANK_0	B2	3.3V
FPGA_VGA_B3	pin_139	BANK_0	B3	3.3V
FPGA_VGA_HS	pin_141	BANK_0	hs	3.3V
FPGA_VGA_VS	pin_142	BANK_0	vs	3.3V

# 4、开发板使用

## 4.1工程导入

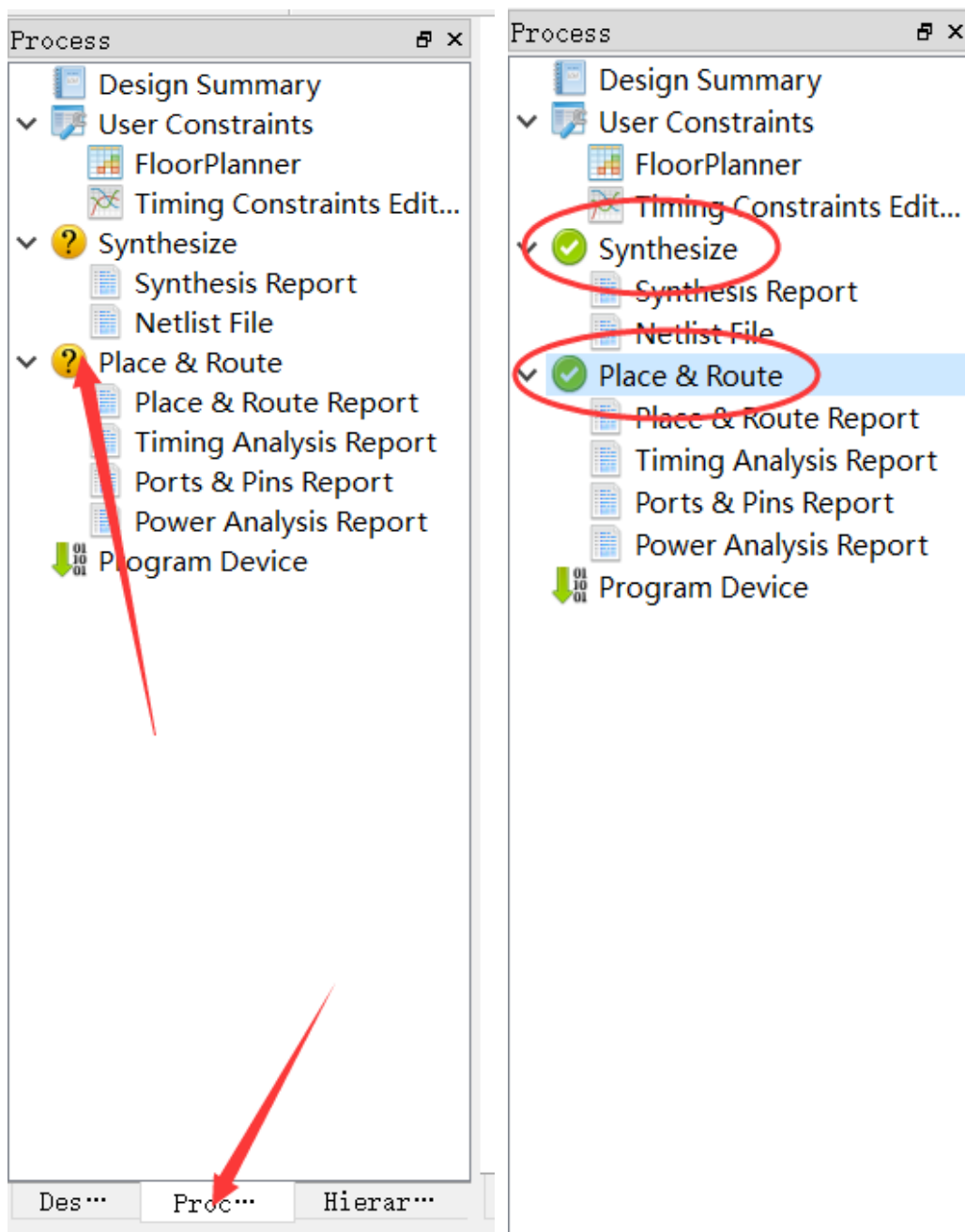
具体软件操作说明参见SUG100-1.7\_Gowin云源软件用户指南

1. 直接点击.gprj文件
2. 进入开发软件后点击“文件” → “打开” 选择.gprj文件导入



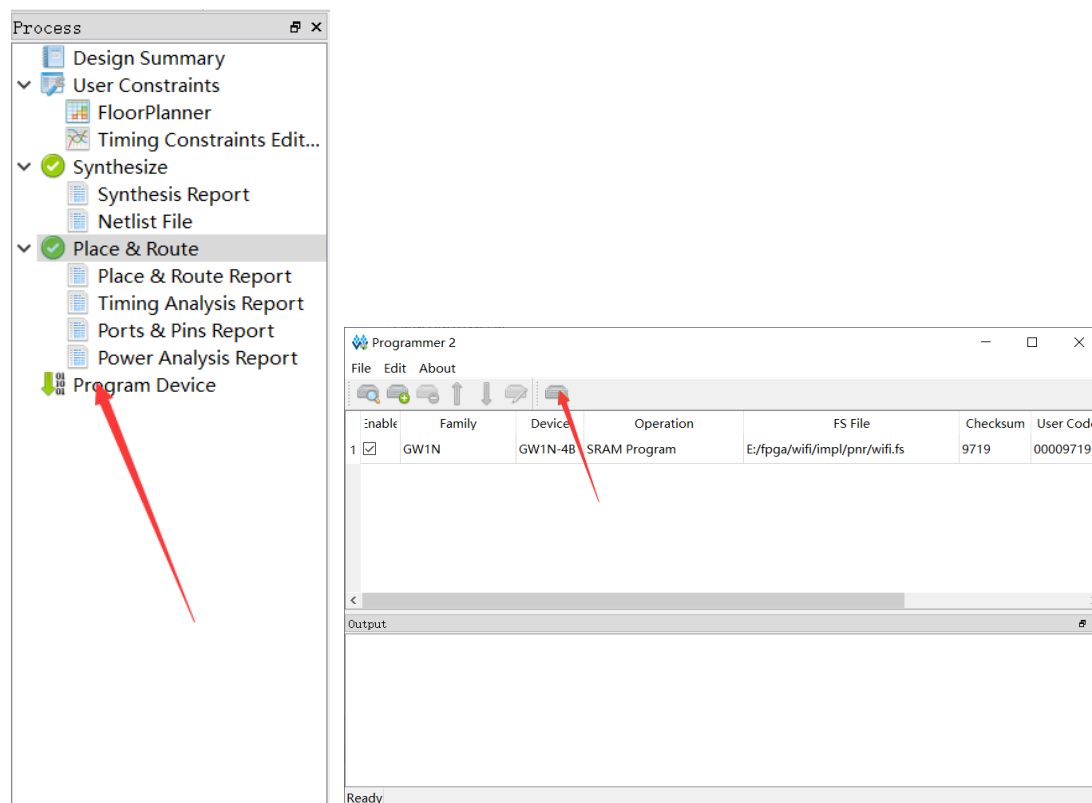
## 4.2程序编译和下载

1.编写完程序之后保存点击Process 点击Place&Route编译, 编译通过之后前面会出现绿勾





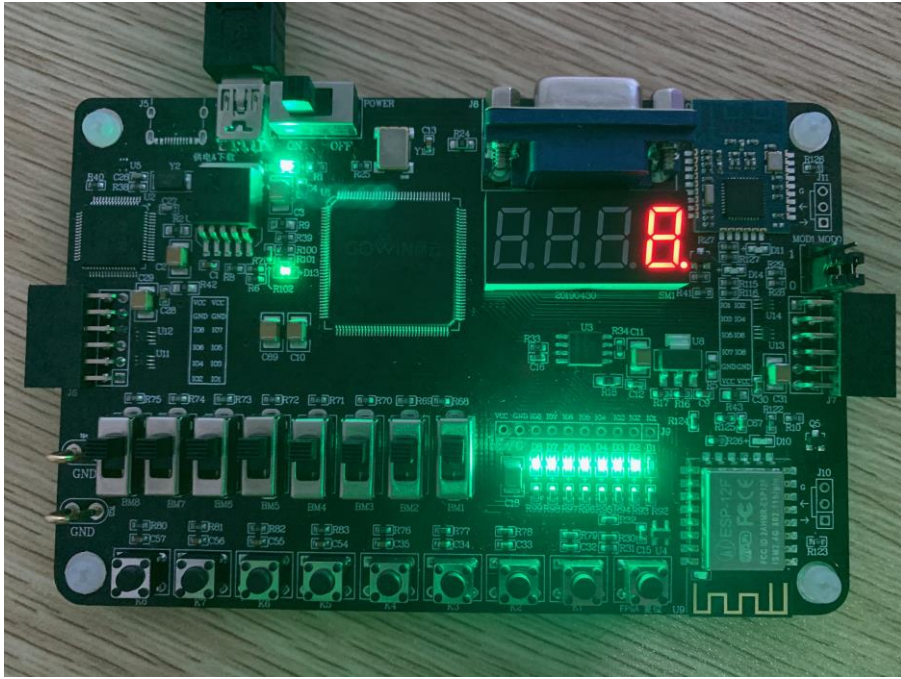
## 2.编译通过后双击Program Device弹出下载窗口，点击开始下载



## 4. 3例程操作及现象说明

开发板提供两个例程fpga\_gy\_QM2\_pro和wifi。fpga\_gy\_QM2\_pro例程主要用于各个模块简单的启用，包含开发板的所有模块。wifi例程主要用于wifi与FPGA芯片的通信，蓝牙通信实现与蓝牙的差不多

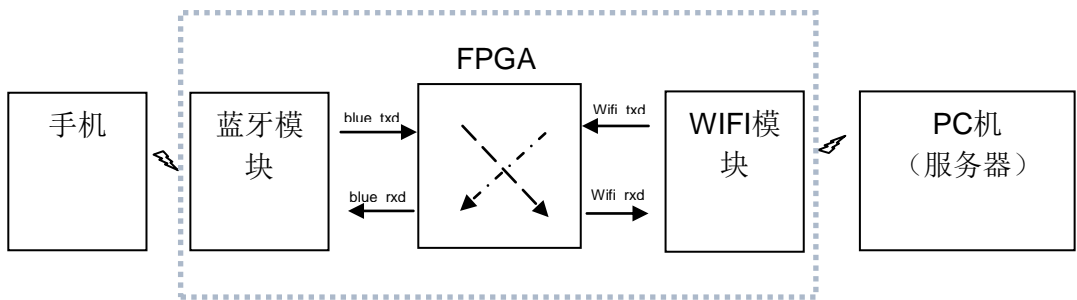
### 1.导入fpga\_gy\_QM2\_pro工程编译下载成功后现象如下



(1) 数码管显示8. 从右往左移动, LED熄灭的灯从右往左移动, 按住复位按键数码管停在最右端, LED全亮, 按住按键1第一个数码管常亮, 按住按键2第二个数码管常亮, 按住按键3第三个数码管常亮, 按住按键4第四个数码管常亮, 按住按键5第五个数码管常亮, 直到按键8, 从右往左依次往下拨动拨码开关数码管的abcdefg.依次熄灭。

(2) WiFi和蓝牙模块的通信

该例程没有写串口程序只是简单的用FPGA做一个数据交换的作用, 将WiFi收到的数据给蓝牙显示, 将蓝牙收到的数据交给WiFi显示



WiFi和蓝牙模块通信的具体操作如下:

1) .配置拨码开关

BM1=0 (WIFI模块上电)

BM2=0 (BLUE模块上电)

BM3=1 (WIFI的RXD在FPGA内部与BLUE的TXD连接)

BM4=1 (BLUE的RXD在FPGA内部与BLUE的TXD连接)

BM5=0 (BLUE的RXD来自于WIFI的TXD)

如果BM5=1 (BLUE的RXD来自于WIFI的TXD,也来自于BLUE的

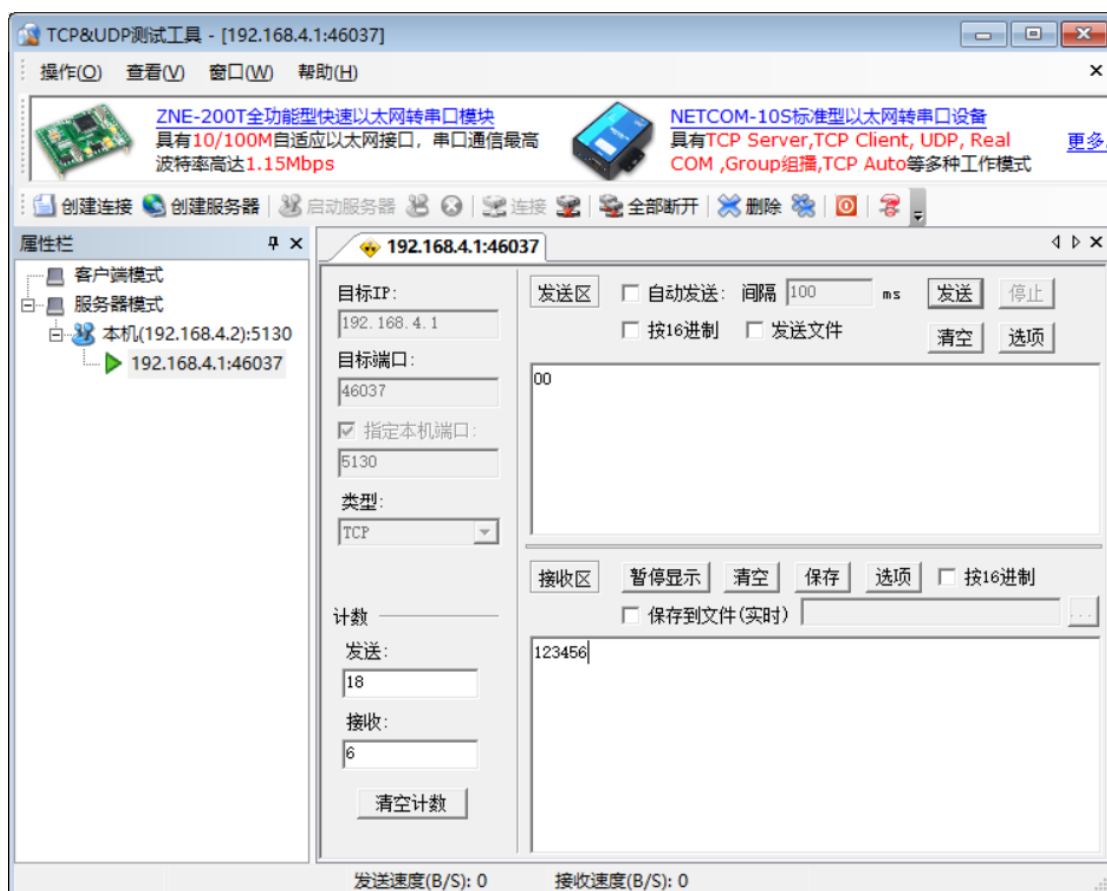
TXD)

2).连接好WiFi (名称: WifiTest 密码: 12345678) 后打开TCP&UDP测试工具



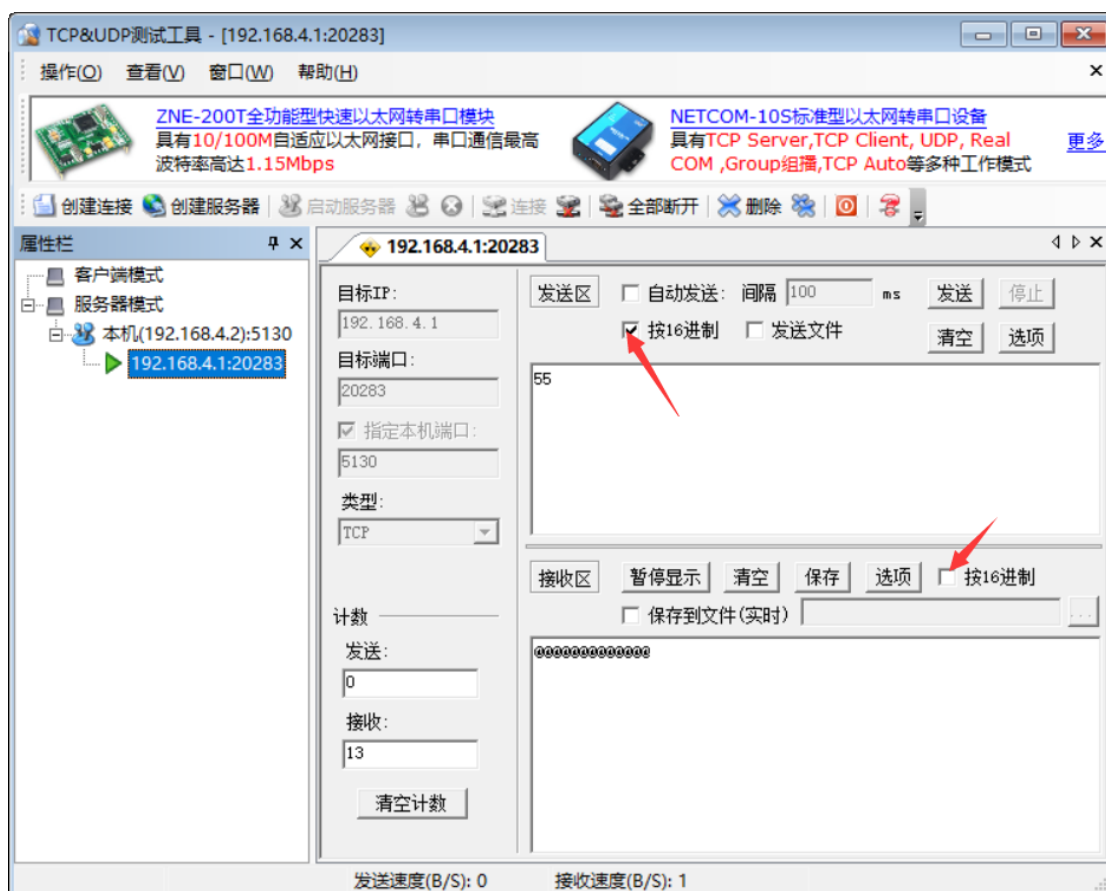
3).手机微信搜索“蜂汇蓝牙透传”小程序，打开小程序，可以找到“SPP-1862E.....”的蓝牙设备，进行连接，在下图的发送窗口和接收

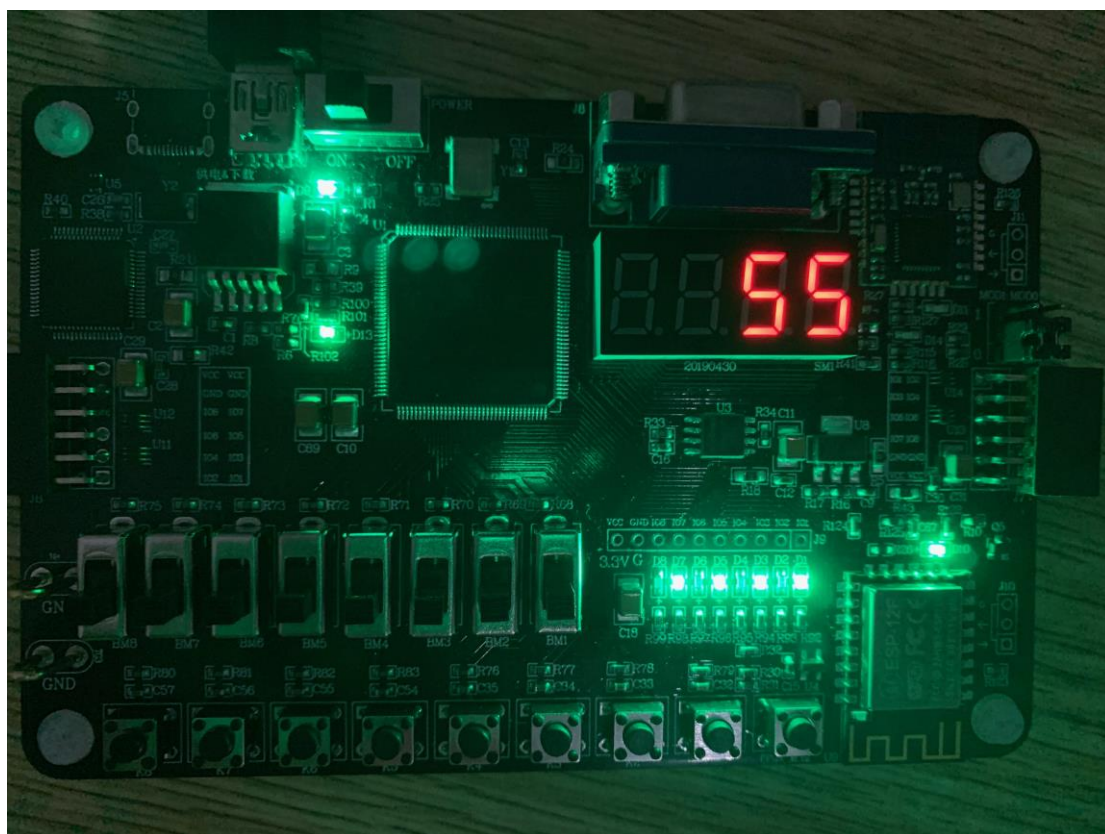
## 窗口可以进行收发数据，这样就可以通过蓝牙收发数据了



## 2. 导入wifi工程编译下载成功后现象如下

在发送端输入十六进制的数值点击发送，FPGA通过串口程序接收后显示到数码管和LED上。并且FPGA通过串口程序不停的发送“@”符号通过TCP&UDP测试工具可以接收到





## 4. 4开发板使用注意事项:

1. 开发板使用时, 注意轻拿轻放, 并做好静电防护。
2. 对内部 Flash 或外部 Flash 下载 bitstream 文件时, 需设置 MODE 脚状态在正确的配置值上。
3. 连接模块时, 必须先断电。