



Gowin RAM Based Shift Register

参考设计

RD512-1.0,2018-08-10

版权所有©2018 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2018/08/10	1.0	初始版本。

目录

目录	i
图目录	ii
表目录	iii
1 关于本手册	1
1.1 手册内容	1
1.2 适用产品	1
1.3 相关文档	1
1.4 术语、缩略语	2
1.5 技术支持与反馈	2
2 参考设计	3
2.1 参考设计 Fixed_ex	3
2.2 参考设计 Lossy_ex	6
2.3 参考设计 Lossless_ex	7
3 端口描述	9
4 交付文档	10

图目录

图 2-1 RAM Based Shift Register IP 固定移位示例设计的基本结构	4
图 2-2 固定移位 IP 核配置示例	5
图 2-3 示例结果	5
图 2-4 RAM Based Shift Register IP 可变移位示例设计的基本结构	6
图 2-5 有损可变移位 IP 核配置示例	7
图 2-6 示例结果	7
图 2-7 无损可变移位 IP 核配置示例	8
图 2-8 示例结果	8

表目录

表 1-1 术语、缩略语	2
表 3-1 示例程序的 IO 端口	9
表 4-1 交付文档	10

1 关于本手册

1.1 手册内容

Gowin RAM Based Shift Register IP 参考设计主要内容包括端口描述、配置调用、参考设计等。主要用于帮助用户快速了解 Gowin RAM Based Shift Register IP 的产品特性、特点及使用方法。

1.2 适用产品

本手册中描述的信息适用于以下产品：

1. GW1N 系列 FPGA 产品
2. GW1NR 系列 FPGA 产品
3. GW2A 系列 FPGA 产品
4. GW2AR 系列 FPGA 产品

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

1. GW1N 系列 FPGA 产品数据手册
2. GW1NR 系列 FPGA 产品数据手册
3. GW2A 系列 FPGA 产品数据手册
4. GW2AR 系列 FPGA 产品数据手册
5. Gowin 云源软件用户指南

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FIFO	First Input First Output	先进先出队列
IP	Intellectual Property	知识产权
RAM	Random Access Memory	随机存取存储器
BSRAM	Block Static Random Access Memory	块状静态随机存储器
SSRAM	Shadow Static Random Access Memory	分布式随机存储器
OSC	Oscillator	片内晶振
LUT	Look-up Table	查找表
GSR	Global System Reset	全局系统置位/复位

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 参考设计

本示例设计可用于简单验证 Gowin RAM Based Shift Register IP 的功能，或用于学习、熟悉 Gowin RAM Based Shift Register IP 的相关使用。

本文档所介绍的参考设计包括 Gowin RAM Based Shift Register IP 的三种移位类型，参考设计分别为：

- 固定移位 Fixed_ex
- 有损可变移位 Lossy_ex
- 无损可变移位 Lossless_ex

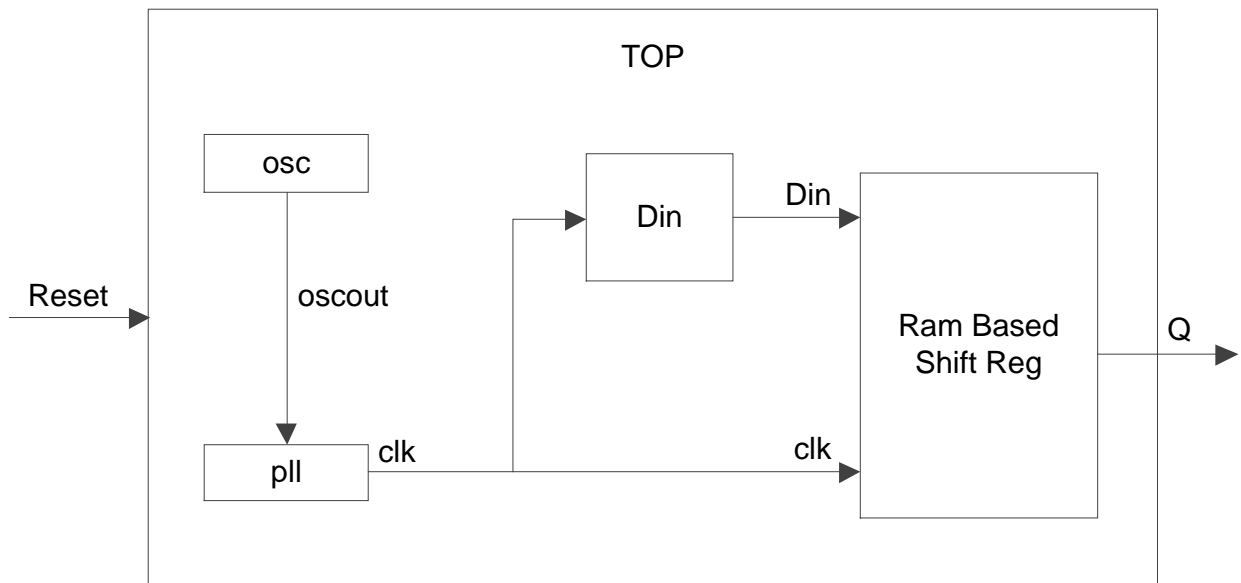
2.1 参考设计 Fixed_ex

在本设计示例中，Gowin RAM Based Shift Register IP 选择固定移位模式，其基本结构如图 2-1 所示。参考设计示例的选择器件为 GW2A-55，封装为 PBGA484，速度等级为 8。

其中“TOP”产生移位值和数据作输入，“Example RAM Based Shift Register”模块由 IP 核产生器实现，将数据进行相应的移位处理后输出。

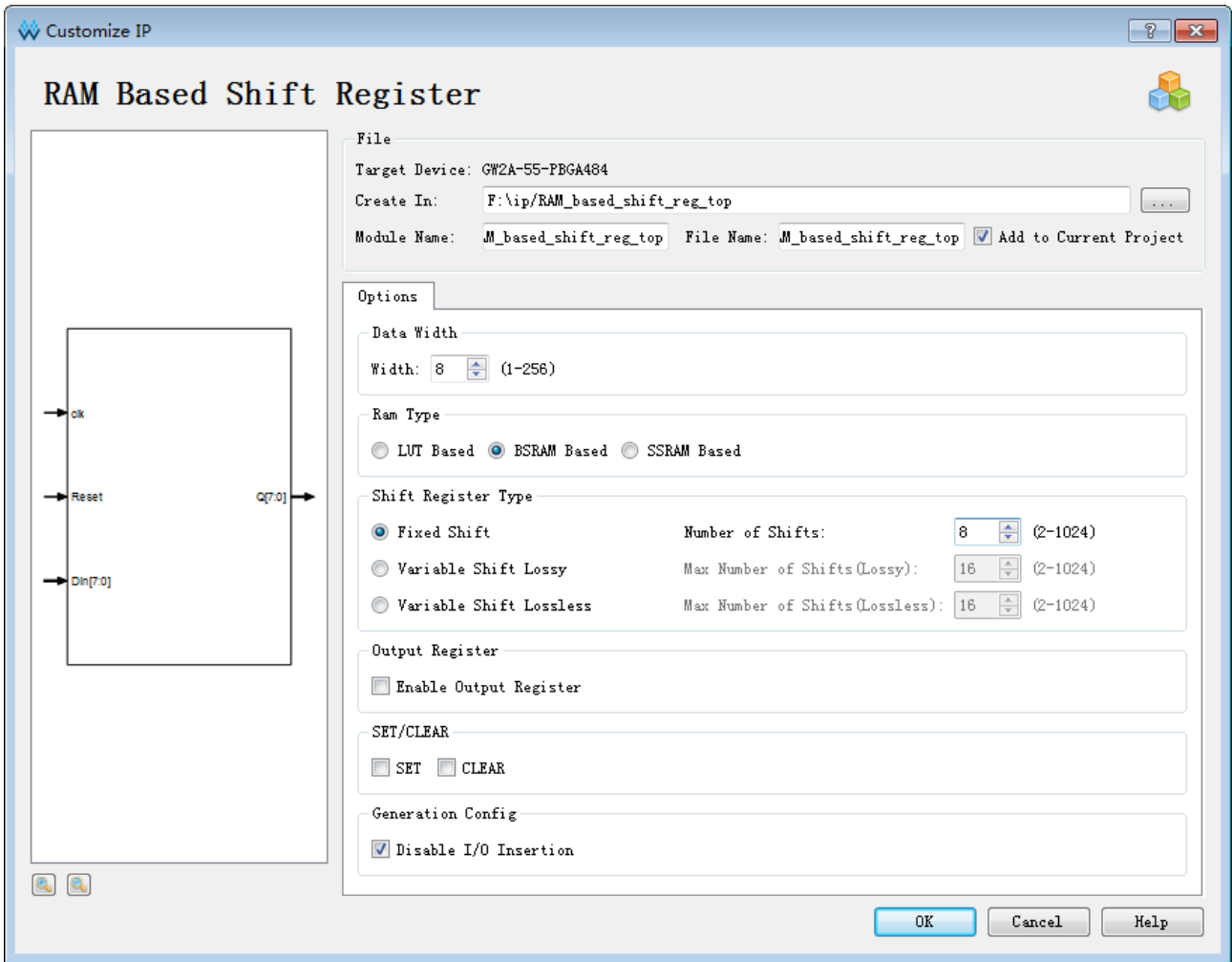
配置移位长度（Number of Shifts）为 8，输入数据将会在 8 个时钟周期后输出。由“OSC”模块产生时钟，输入数据“Din”随时钟变化。

图 2-1 RAM Based Shift Register IP 固定移位示例设计的基本结构



在本参考设计中，相应的移位长度（Number of Shifts）将在 IP 核设置界面设置。IP 核配置示例如图 2-2 所示，按图所示设置，输入的数据将在 8 个时钟周期后输出。

图 2-2 固定移位 IP 核配置示例



相关设置完成；综合，布局布线无误后；使用在线逻辑分析仪查看结果。
如图 2-3 所示输入在 (12-4) 8 个周期后输出。

图 2-3 示例结果



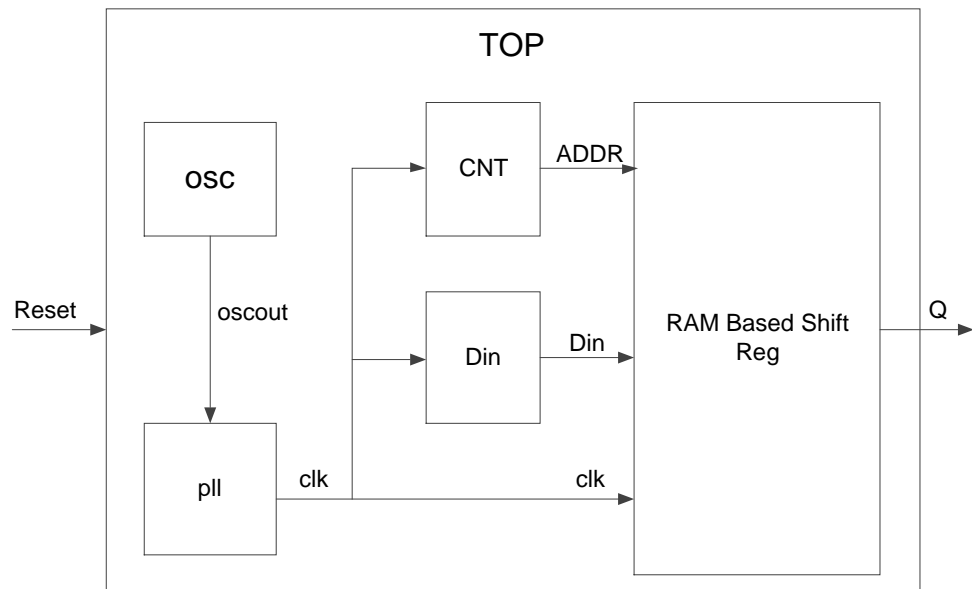
2.2 参考设计 Lossy_ex

在本设计示例中，Gowin RAM Based Shift Register IP 选择有损可变移位模式，其基本结构如图 2-4 所示。参考设计示例的选择器件为 GW2A-55，封装为 PBGA484，速度等级为 8。

其中“TOP”产生移位值和数据作输入，“Example RAM Based Shift Register”模块由 IP 核产生器实现，将数据进行相应的移位处理后输出。

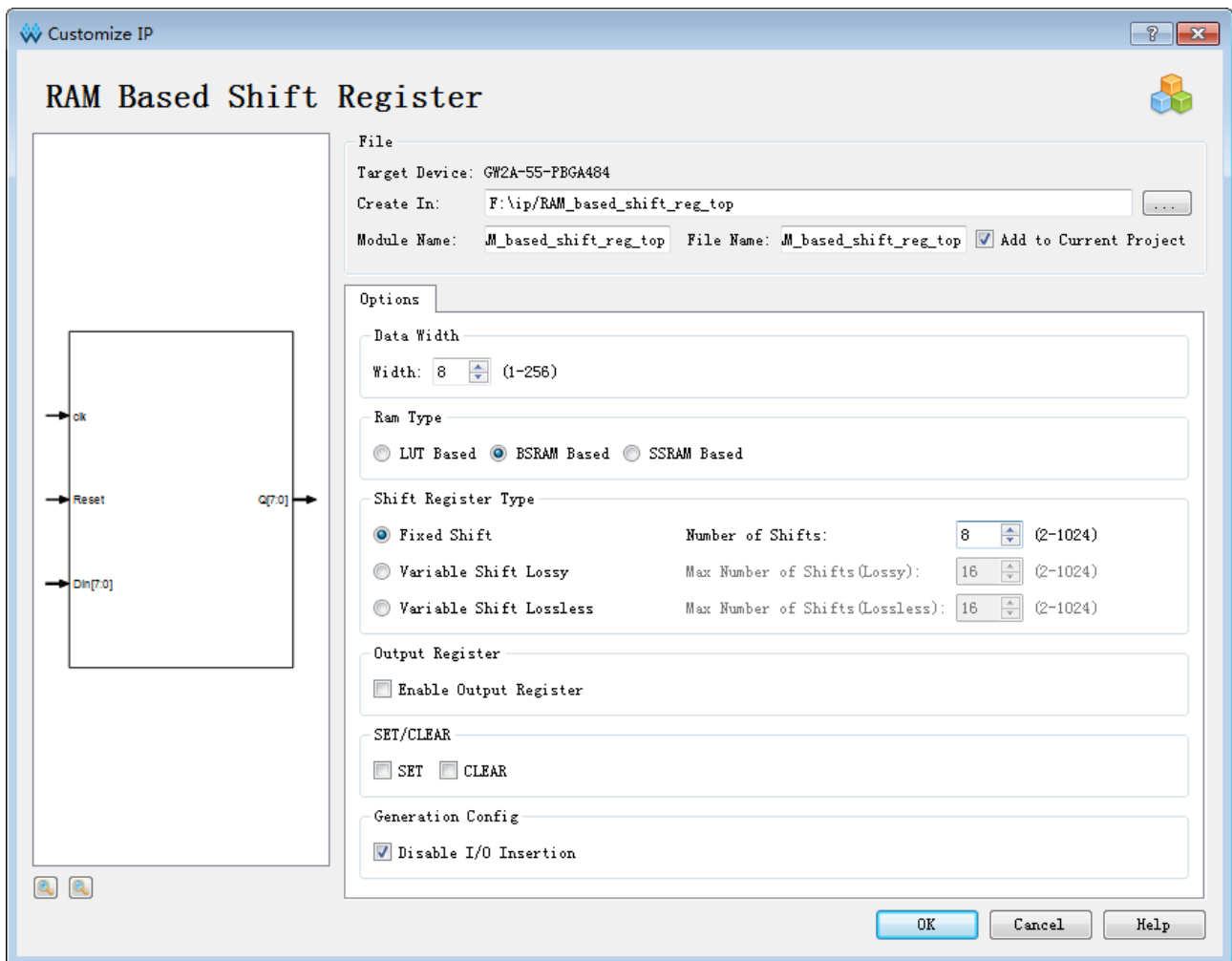
由“OSC”模块产生时钟，输入数据“Din”随时钟变化。由计数器模块“CNT”配置移位长度“ADDR”，当计数器满足一定条件，移位长度“ADDR”发生变化，计数器置 0，重新计数。

图 2-4 RAM Based Shift Register IP 可变移位示例设计的基本结构



本参考设计的 IP 核配置示例如图 2-5 所示。

图 2-5 有损可变移位 IP 核配置示例



相关设置完成综合、布局布线无误后,可使用在线逻辑分析仪查看结果。如图 2-6 所示,“ADDR”由 4 变为 7 后输入数据“EC”在 8 (ADDR+1) 个时钟周期后输出。

图 2-6 示例结果



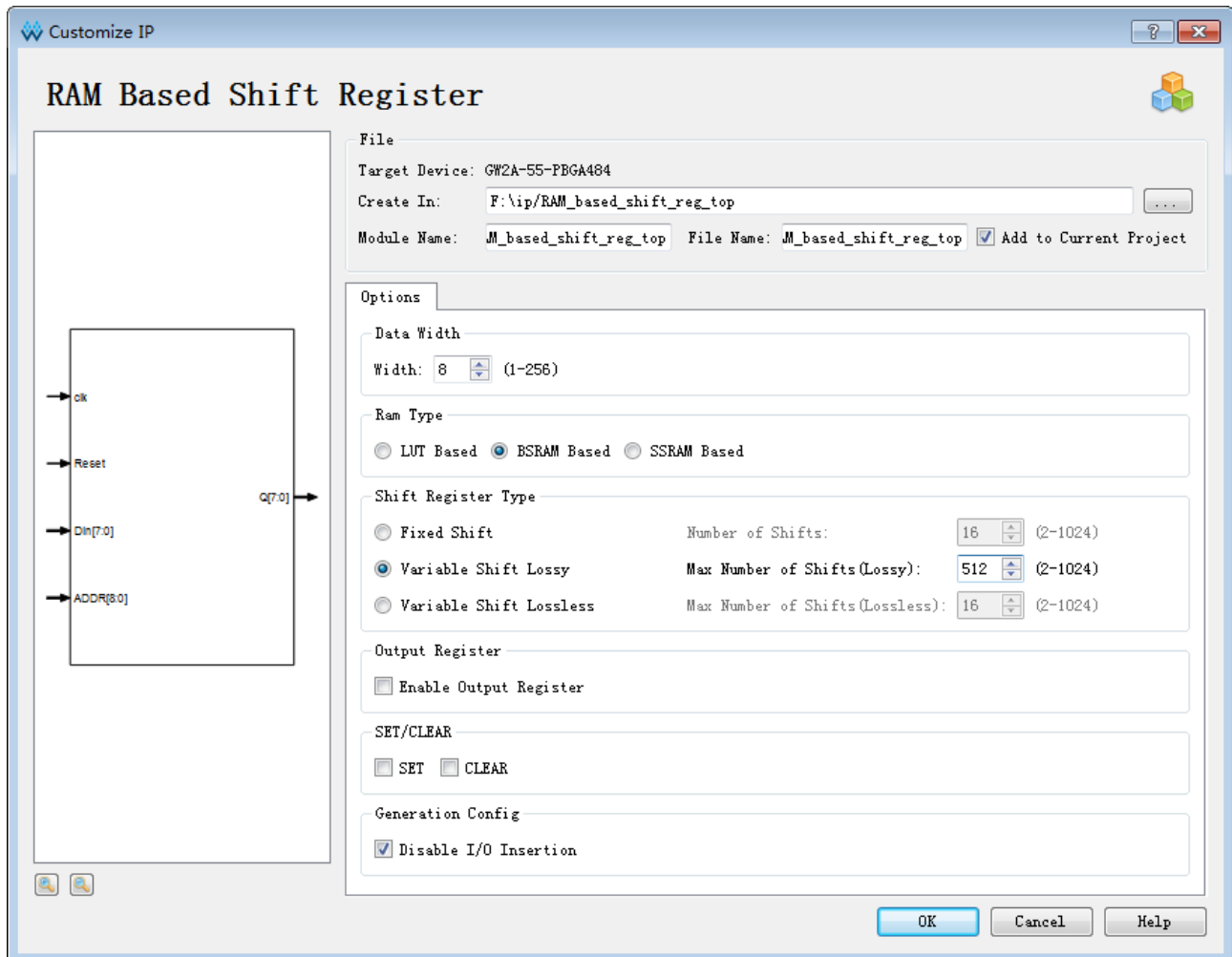
2.3 参考设计 Lossless_ex

在本设计示例中, Gowin RAM Based Shift Register IP 选择无损可变移位模式,其结构与数据配置与参考设计 Lossy_ex 类似,结构图如图 2-4 所示。

由“OSC”模块产生时钟，输入数据“Din”随时钟变化。由计数器模块“CNT”配置移位长度“ADDR”，当计数器满足一定条件，移位值“ADDR”发生变化，计数器置0，重新计数。

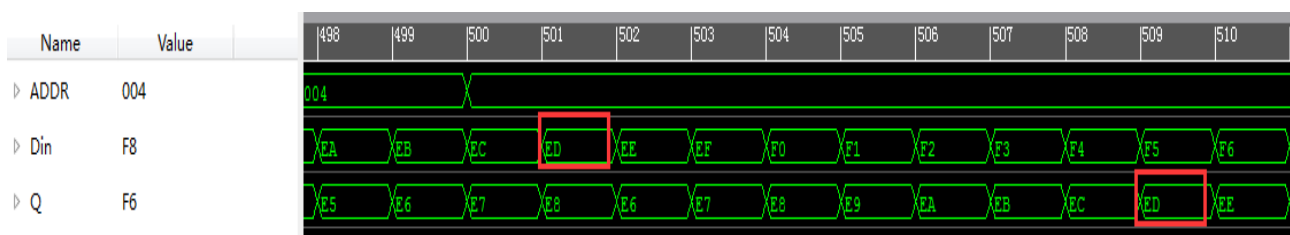
本参考设计的 IP 核配置示例如图 2-7 所示。

图 2-7 无损可变移位 IP 核配置示例



相关设置完成综合、布局布线无误后，可使用在线逻辑分析仪查看结果。如图 2-8 所示，当“ADDR”由 4 变为 7 后，输出的数值“ED”是在“ADDR+1”个时钟周期前输入的数据。

图 2-8 示例结果



3 端口描述

该章节主要介绍参考设计的 IO 端口，参考设计较为简单，用户仅需配置复位 Reset 信号等，三个参考设计的 IO 端口相同，如表 3-1 所示。

表 3-1 示例程序的 IO 端口

名称	I/O	位宽	注释
Reset	Input	1	复位信号，高复位；
Q	Output	可变	输出数据； 位宽为[DSIZE-1:0]；

注!

本示例设计中，clk 选用片内晶振产生。

4 交付文档

RAM Based Shift Register 参考设计的交付文档如表 4-1 所示。

表 4-1 交付文档

交付文件	文件内容	文件路径
RAM_Based_Shift_Register_IP	用户手册及参考设计文档	RAM_Based_Shift_Register_IP/doc
	参考设计示例工程	RAM_Based_Shift_Register_IP/project
	仿真相关文件	RAM_Based_Shift_Register_IP/simulation

