



Gowin 云源软件 发布说明

RN100-1.9.2Beta, 2019-08-21

版权所有©2019 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2019/08/21	2.0	初始版本。

目录

目录	i
1 关于发布	1
2 功能和增强总述	2
3 平台支持	3
4 使用端口	4
5 环境变量设置	5
6 文档	6
7 已知问题	7

1 关于发布

云源软件 V1.9.2Beta 版本主要发布内容如下：

- 封装支持：GW2A-18-UG324；
- 器件支持：GW1N-4S、GW1NS-4；
- 发布 IP 软核：FLASH Controller 1.0、Gowin_picoRV32、Scaler、CSC、PCI；
- 更新 IP 软核：Advanced FIR、Gowin_EMPU_M1、DDR3；
- 发布 IP 硬核：BANDGAP、rPLL、PLLVR、rSDP、rROM；
- GAO 支持多个 AO core 及优化；
- 软件界面及自带编辑器优化；
- 菜单栏新增“Project”，支持 Archive Project、Restore Archived Project、Device、Configuration、Design Summary 选项；
- GowinSynthesis 优化 BSRAM 的综合；
- Programmer 升级 jtagserver.exe；
- Programmer 支持 GW1N-1 的 user flash 初始化。数据格式仅支持 16 或 2 进制，地址格式 16 进制。

对于本次软件发布更新的具体功能及增强部分，请参考 [2 功能和增强总述](#)。

注！

32 位系统的支持需要使用 GowinSynthesis 综合工具。

2 功能和增强总述

软件发布功能项如下表：

功能	描述
云源软件：V1.9.2Beta	
功能	<ul style="list-style-type: none"> ● 器件支持：GW1N-4S、GW1NS-4； ● 封装支持：GW2A-18-UG324； ● 发布 IP 软核：FLASH Controller 1.0、Gowin_picoRV32、、Scaler、CSC、PCI、GW1NS-4 M3； ● 发布 IP 硬核：BANDGAP、rPLL、PLLVR、rSDP、rROM； ● IDE 支持 UserFlash 初始化文件产生； ● 软件菜单栏新增“Project”，支持 Archive Project、Restore Archived Project、Device、Configuration、Design Summary 选项。 ● 支持 set VHDL library 功能； ● 软件自带代码编辑器，支持选中关键词全部高亮功能； ● 9k top 层 bankVccio 的 bank0 电压大于 Bank1/bank3 的电压的 1/2； ● GowinSynthesis 支持根据器件资源进行匹配综合。
增强	<ul style="list-style-type: none"> ● IP 更新：Advanced FIR、Gowin_EMPU_M1、DDR3； ● Soft IP Core 下的 IP 配置新增 Language(verilog/vhdl)； ● GAO 支持多个 AO core； ● gao_analyzer 波形显示界面信号支持 rename 操作； ● GAO 配置界面支持显示 GAO 使用 BSRAM 资源数量； ● gao_analyzer 集成 programmer 下载功能； ● GAO 配置不修改时不需要重新综合 GAO； ● MIPI TX/RX IP 支持 testbench 产生； ● 所有器件支持 input IOType UD/OD，如 LVCMOS18UD33； ● GowinSynthesis 优化了 BSRAM 的综合优化； ● GowinSynthesis 质量提高及运行时间的优化； ● Programmer 升级 jtagserver.exe； ● Programmer 支持 GW1N-1 的 user flash 初始化。数据格式仅支持 16 或 2 进制，地址格式 16 进制。

3 平台支持

本次软件发布支持的平台有：

Windows	Windows 7/8/10(32bit/64 bit) Windows XP/7 (32bit)
Linux	Centos6.8/7.0/7.5(64 bit) Ubuntu 18.04 LTS

4 使用端口

端口号	端口类别	端口说明
36545	自定义协议端口	高云在线逻辑分析仪前端显示与 Jtag server 通信
36546	自定义协议端口	高云在线逻辑分析仪前端显示与 Jtag server 通信
10559	自定义协议端口	云源软件后端工具 license server 端口
27020	TCP 端口	云源软件前端 synplifyPro license server 端口

5 环境变量设置

LM_LICENSE_FILE 环境变量设置

1. Node-Locked license 的变量值：license 文件的存放位置，如：
“D:\Synopsys\license.txt”
2. Floating license 的变量值：license 文件的存放位置，如：
“27020@192.168.31.220”，其中，“192.168.31.220”为启动 floating license 服务的服务器 IP 地址。

6 文档

本次软件发布文档包含 Gowin 云源软件的文档，PDF 文档已打包到安装目录下，文档列表如下：

文档	使用
SUG100-1.8_Gowin 云源软件用户指南.pdf	PDF
SUG101-1.7_Gowin 设计约束指南.pdf	PDF
SUG114-1.9_Gowin 在线逻辑分析仪用户指南.pdf	PDF
SUG282-1.7_Gowin 功耗分析工具用户指南.pdf	PDF
SUG283-1.8_Gowin 原语指南.pdf	PDF
SUG284-1.8_Gowin IP 核产生工具用户指南.pdf	PDF

7 已知问题

以下问题下个版本支持

1. 32 位系统的支持暂且无法使用 GAO 和 IP Core 生成 IP 软核；
2. Hierarchy 显示功能不支持 VHDL 设计解析，当添加含有 VHDL 设计时，IDE 的输出窗口会报出下面 ERROR 信息，但不影响使用 synplifyPro 进行综合，
ERROR : Hierarch can not support VHDL;
3. GowinSynthesis 不支持 VHDL 设计综合，当综合含有 VHDL 设计时，IDE 的输出窗口会报出以下 Error 信息，请使用 synplifyPro 进行综合，
Error (EXT3044) : Analyze: cannot read format vhdI in this product
Error (EXT0304) : Fail to analyze the input design file;
4. 当 GAO 捕获出现问题时请尝试减小捕获信号数目和捕获深度。如问题仍存在，请联系高云技术支持；
5. 综合工具对 DSP 的 rtl 设计综合暂不支持以下几种情况。如有综合问题，请联系高云技术支持；
 - ALU54D 异步模式下不支持 ACCLOAD_REG 的映射；
 - MULTALU36X18/MULTADDALU18X18 输出经过寄存器时，可能无法综合成 mode 2。

