



# Gowin 先进先出队列(FIFO) 发布说明

RN105-1.1, 2019-03-28

## **版权所有 © 2019 广东高云半导体科技股份有限公司**

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

日期	版本	说明
2019/3/1	1.0	IP Core Generator 支持 FIFO/FIFO_SC。
2019/03/28	1.1	适用产品更新。

# 目录

目录 .....	i
关于发布 .....	1
概述 .....	2
文档 .....	3
<b>IP 支持</b> .....	<b>4</b>

## 关于发布

本次发布 FIFO/FIFO\_SC 支持 IP Core Generator 编译生成 FIFO/FIFO\_SC 软核。

# 概述

高云 FIFO/FIFO\_SC IP 为用户提供一个通用的先进先出列队，完成用户的数据交换需求。

**表 1 FIFO/FIFO\_SC 概述**

PSRAM Memory Interface	
IP 核应用	
芯片支持	<ul style="list-style-type: none"> <li>● GW1N 系列;</li> <li>● GW1NR 系列;</li> <li>● GW1NS 系列;</li> <li>● GW1NSR 系列;</li> <li>● GW1NZ 系列;</li> <li>● GW2A 系列;</li> <li>● GW2AR 系列;</li> </ul>
交付文件	
设计文件	Verilog(encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	Synplify_Pro
应用软件	GowinYunYuan

# 文档

本次软件发布文档包含 FIFO/FIFO\_SC 用户指南，如下表所示：

文档	使用
Gowin 先进先出列队（FIFO）用户指南.pdf	PDF
Gowin 先进先出列队（FIFO）发布说明.pdf	PDF

# IP 支持

如需定制化的 IP 设计与支持，请联系高云销售与支持热线。

电话: +86-755-8262-0391

电邮: [support@gowinsemi.com](mailto:support@gowinsemi.com)

官网: [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)



