



GW1NS-2C MCU

# 硬件设计参考手册

RN517-1.1,2018-11-30

## **版权所有©2018 广东高云半导体科技股份有限公司**

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

日期	版本	说明
2018/08/21	1.0	初始版本。
2018/11/30	1.1	<ul style="list-style-type: none"><li>● 支持仿真器调试；</li><li>● 支持 IP Core Generator 生成 MCU 软核。</li></ul>

# 目录

目录 .....	i
图目录 .....	iii
表目录 .....	iv
<b>1 系统架构 .....</b>	<b>1</b>
1.1 Microprocessor Unit .....	1
1.2 FPGA Fabric .....	2
<b>2 硬件设计 .....</b>	<b>3</b>
2.1 FPGA 设计软件 .....	3
2.2 FPGA 软核生成器 .....	3
2.3 FPGA 烧录软件 .....	3
2.4 FPGA 设计流程 .....	3
<b>3 工程模板 .....</b>	<b>4</b>
3.1 工程创建 .....	4
3.1.1 新建工程 .....	4
3.1.2 设定工程名称和路径 .....	4
3.1.3 选择器件 .....	5
3.1.4 完成工程创建 .....	6
3.2 MCU 软核设计 .....	6
3.2.1 选择 TPIU .....	8
3.2.2 选择 Interrupt .....	8
3.2.3 选择 GPIO .....	10
3.2.4 选择 UART .....	11
3.2.5 选择 AHB2 Extend Bus .....	12
3.2.6 配置时钟 .....	14
3.2.7 选择 APB2 Extend Bus .....	14
3.2.8 完成配置 .....	18
3.3 用户设计 .....	18
3.4 物理约束 .....	18
3.5 综合 .....	19

3.6 布局布线..... 19

3.7 烧录..... 21

**4 参考设计 ..... 22**

# 图目录

图 1-1 GW1NS-2C 系统架构 .....	1
图 3-1 新建 RTL 工程.....	4
图 3-2 设定工程名称和路径 .....	5
图 3-3 选择器件 .....	5
图 3-4 完成工程创建 .....	6
图 3-5 选择 Gowin_EMPU .....	6
图 3-6 Gowin_EMPU .....	7
图 3-7 选择 TPIU .....	8
图 3-8 选择 Interrupt .....	9
图 3-9 选择 GPIO .....	10
图 3-10 选择 UART .....	11
图 3-11 选择 AHB2 Extend Bus .....	12
图 3-12 配置时钟 .....	14
图 3-13 APB2 Extend Bus 默认配置.....	15
图 3-14 APB2 Extend Bus 扩展配置.....	16
图 3-15 综合 .....	19
图 3-16 布局布线 .....	20
图 3-17 烧录 .....	21

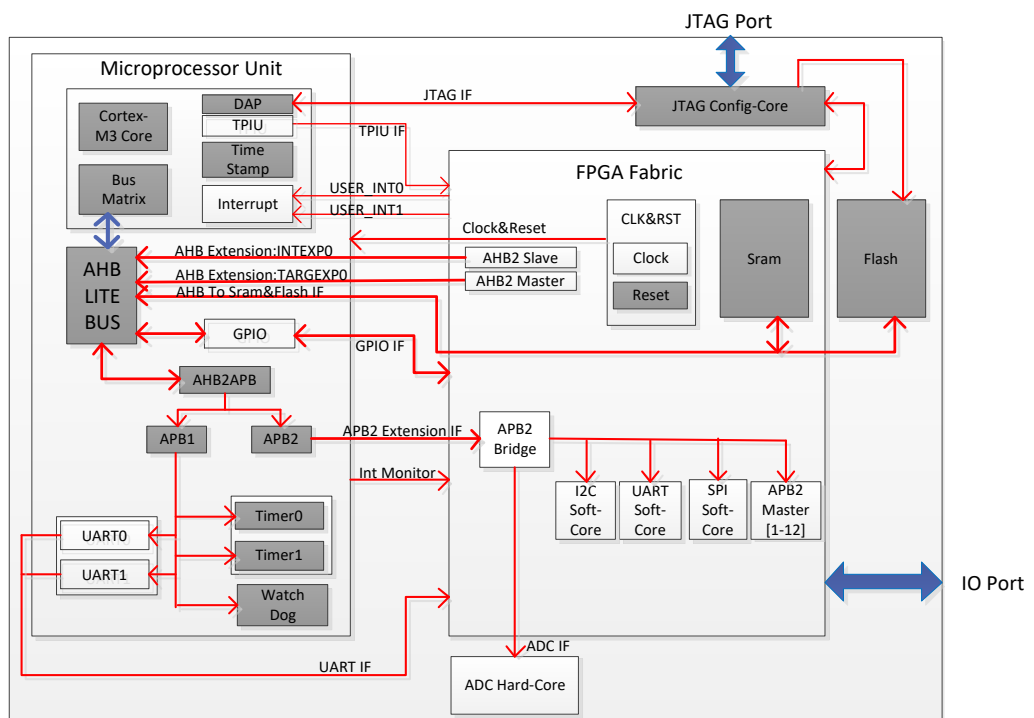
# 表目录

表 3-1 TPIU 端口描述 .....	8
表 3-2 Interrupt 端口描述.....	9
表 3-3 GPIO 端口描述 .....	10
表 3-5 AHB2 Extend Bus 端口描述 .....	12
表 3-6 APB2 Master 地址映射 .....	16

# 1 系统架构

GW1NS-2C 是一款由嵌入式 ARM Cortex-M3 内核和 FPGA Fabric 组成的片上系统,包括 Microprocessor Unit 和 FPGA Fabric,以及 ADC 和 USB2.0 PHY 等硬核,如图 1-1 所示。

图 1-1 GW1NS-2C 系统架构



## 1.1 Microprocessor Unit

Microprocessor Unit 内部包括:

- ARM Cortex-M3 内核:
  - Cortex-M3 Core
  - Debug Access Port
  - Bus Matrix
  - NVIC (Nested Vector Interrupt Controller)



- AHB 总线
- AHB2APB 转接桥
- AHB 总线上挂载 GPIO
- APB 总线
- APB 总线挂载
  - UART0
  - UART1
  - Timer0
  - Timer1
  - Watch Dog
  - APB 扩展接口

## 1.2 FPGA Fabric

FPGA Fabric 包括:

- 外部晶振时钟输入经过 CLKDIV 或 PLL 分频作为 MCU 的系统时钟，用户可自行选择 MCU 系统时钟源
- GSR 为 MCU 提供系统复位信号
- UART0, UART1 和 GPIO 延伸到 FPGA Fabric, 配置到 IO 输出使用
- 3 条 AHB 总线扩展总线延伸到 FPGA Fabric
  - 1 条挂载 SRAM 和 Flash-Rom
  - 1 条通过 AHB 转接桥挂载 AHB Master 高速外设
  - 1 条通过 AHB 转接桥挂载 AHB Slave 高速外设
- APB 扩展总线延伸到 FPGA Fabric, 通过 APB 转接桥挂载低速外设, 已挂载
  - SPI Soft-Core 和 SPI Controller
  - ADC Controller
  - UART Soft-Core 和 UART Controller
  - I2C Soft-Core 和 I2C Controller
  - 12 个 APB2 Master 扩展接口
- 4 个 SP-Configured 的 BSRAM 作为 MCU 的运行内存, 容量为 8K Byte
- FLASH128K 作为 MCU 的烧录 Flash-Rom, 容量为 128K Byte

# 2 硬件设计

## 2.1 FPGA 设计软件

高云提供高云云源软件供 GW1NS-2C FPGA 硬件设计与开发。  
云源软件使用方法请参考 [《Gowin 云源软件用户指南》](#)。

## 2.2 FPGA 软核生成器

高云云源软件提供软核生成器 IP Core Generator，可以产生 GW1NS-2C MCU 软核。

IP Core Generator 软件使用方法请参考 [《Gowin IP Core Generator 用户指南》](#)。

## 2.3 FPGA 烧录软件

高云提供 Programmer 软件供 FPGA 烧录码流。

Programmer 软件使用方法请参考 [《Gowin Programmer 用户指南》](#)。

## 2.4 FPGA 设计流程

FPGA 设计流程：

- IP Core Generator 产生 MCU 软核
- 输入用户 RTL 设计、MCU 软核、物理约束、时序约束等
- 综合
- 布局布线，产生码流
- 烧录码流到 GW1NS-2C

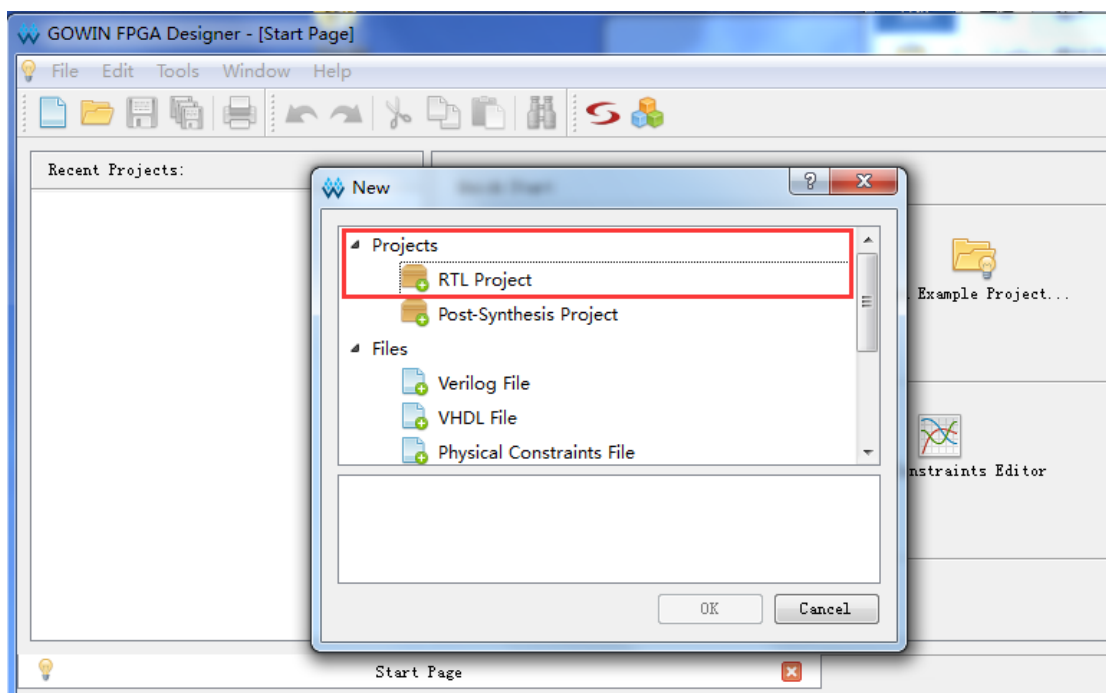
# 3 工程模板

## 3.1 工程创建

### 3.1.1 新建工程

双击打开高云云源软件 IDE，选择菜单栏 File 中的 New，选择 RTL Project，如图 3-1 所示。

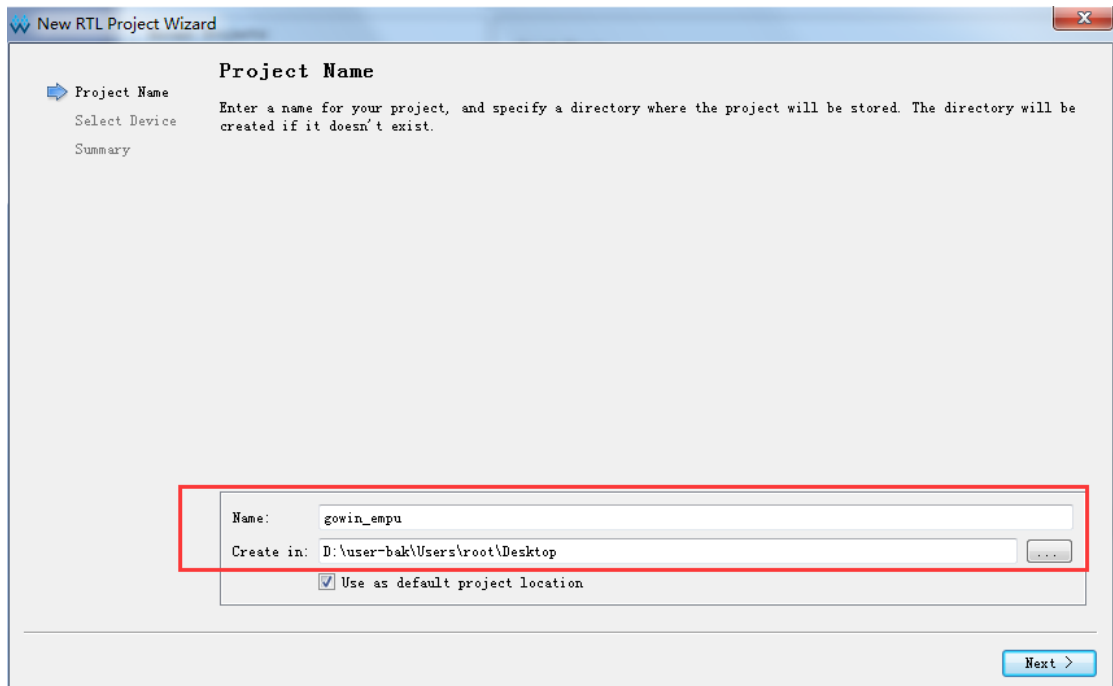
图 3-1 新建 RTL 工程



### 3.1.2 设定工程名称和路径

输入工程名称，选择工程路径，如图 3-2 所示。

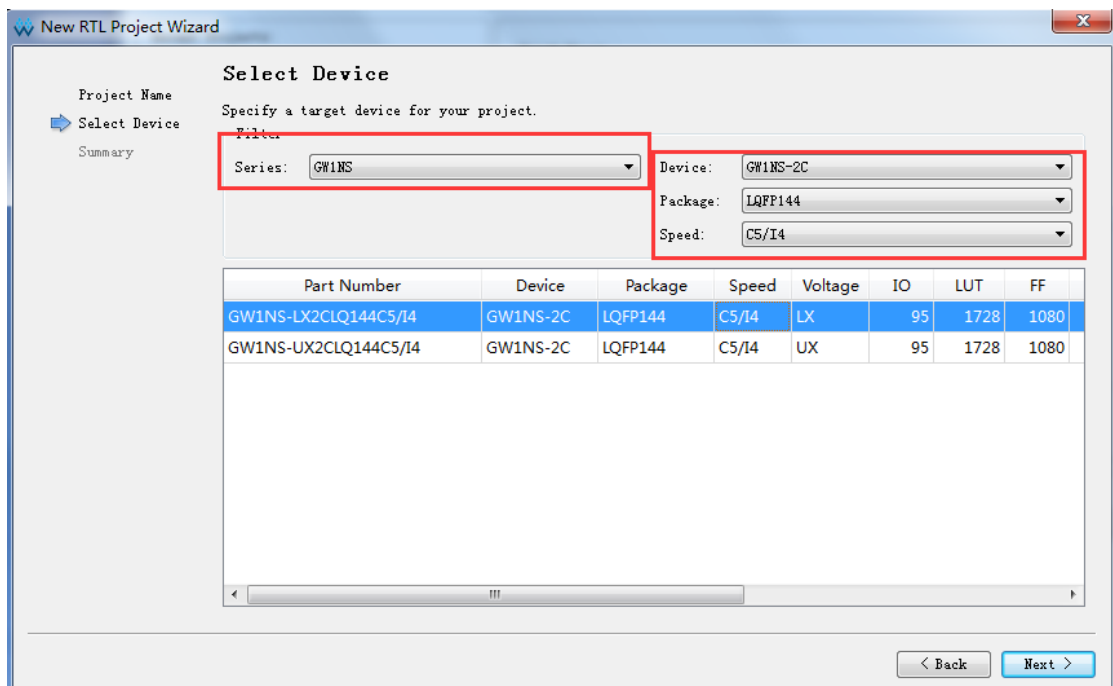
图 3-2 设定工程名称和路径



### 3.1.3 选择器件

选择器件、封装和速度，如图 3-3 所示。

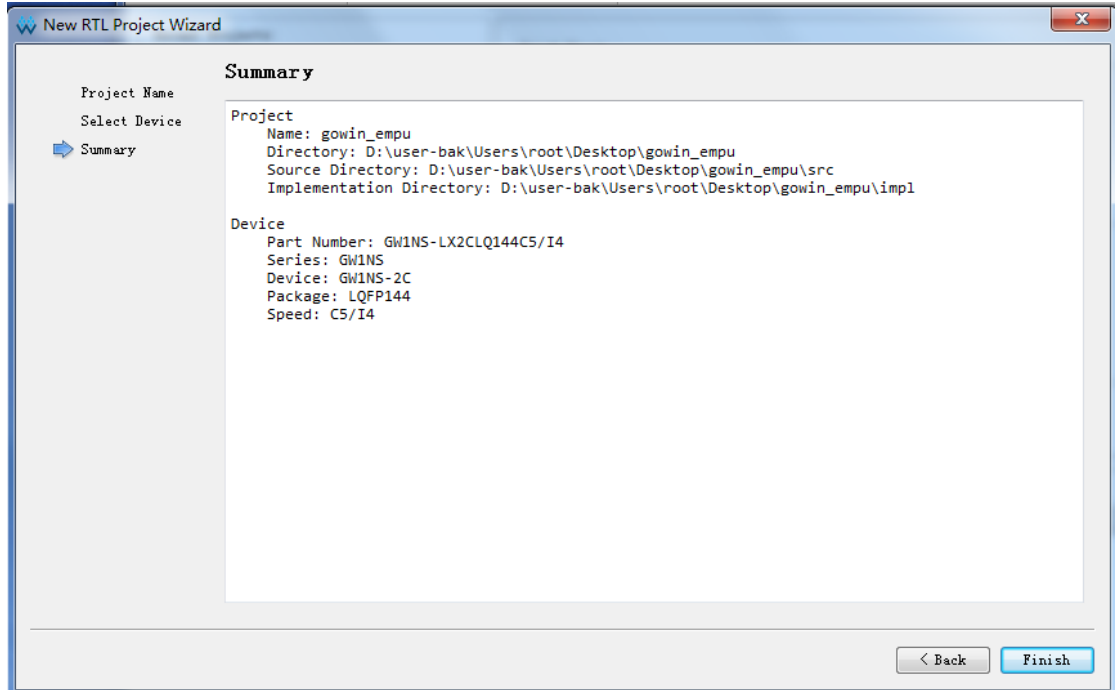
图 3-3 选择器件



### 3.1.4 完成工程创建

如图 3-4 所示，完成新建工程。

图 3-4 完成工程创建

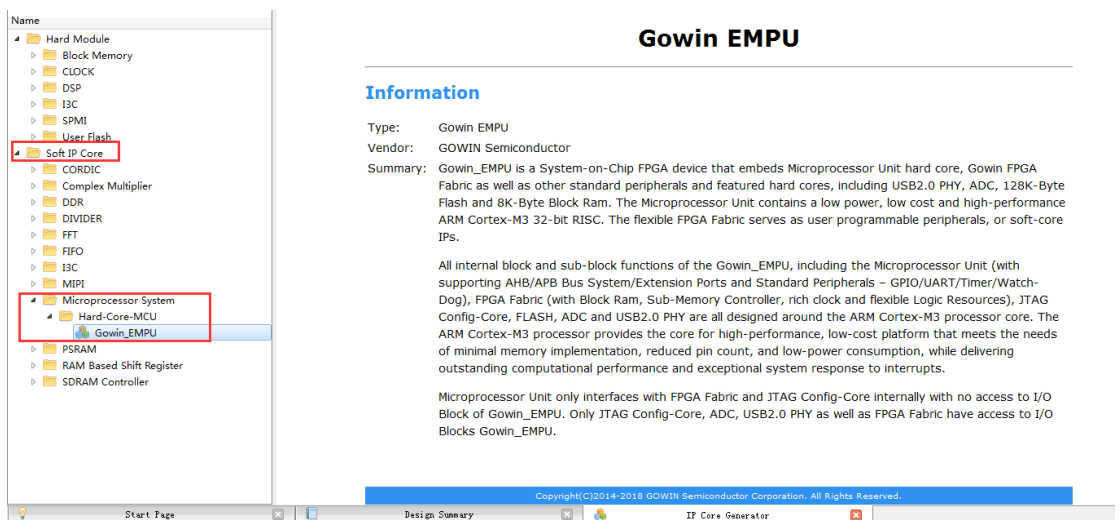


## 3.2 MCU 软核设计

MCU 软核设计，使用 IP Core Generator 产生 MCU 软核。

选择菜单栏 Tools 中的 IP Core Generator，打开 IP Core Generator 后，选择 Soft IP Core 列表下 Microprocessor System\Hard-Core-MCU\Gowin\_EMPU，如图 3-5 所示。

图 3-5 选择 Gowin\_EMPU



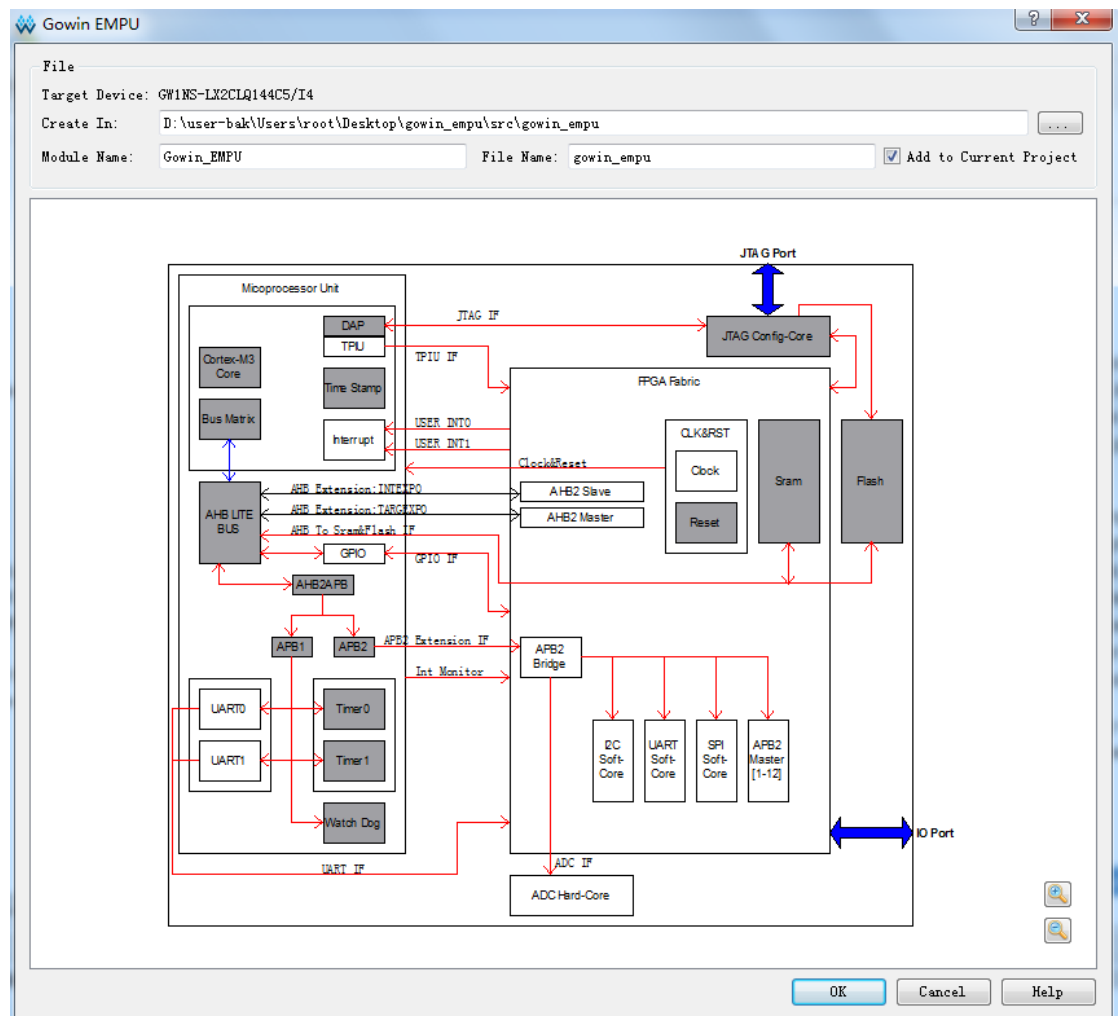
打开 Gowin\_EMPU 后，如图 3-6 所示，显示 Gowin\_EMPU 的系统架构图。

其中置灰模块是系统默认，用户不可选择配置；未置灰模块，将鼠标移动到模块上，模块颜色由白色变为蓝色，此时可以双击打开模块来配置该模块。

用户可以选择配置的模块包括：

- TPIU (Trace Port Interface Unit)
- Interrupt: 外部中断信号 USER\_INT0 和 USER\_INT1
- AHB2 Slave: FPGA Fabric 可扩展 AHB Slave 高速外设
- AHB2 Master: FPGA Fabric 可扩展 AHB Master 高速外设
- GPIO
- UART0 和 UART1
- Clock: 默认系统时钟和用户自定义系统时钟
- I2C Soft-Core: FPGA Fabric 扩展 I2C 软核
- UART Soft-Core: FPGA Fabric 扩展 UART 软核
- SPI Soft-Core: FPGA Fabric 扩展 SPI 软核
- APB2 Master[1-12] : FPGA Fabric 扩展 12 个 APB Master 低速外设接口
- ADC Hard-Core: ADC 硬核

图 3-6 Gowin\_EMPU

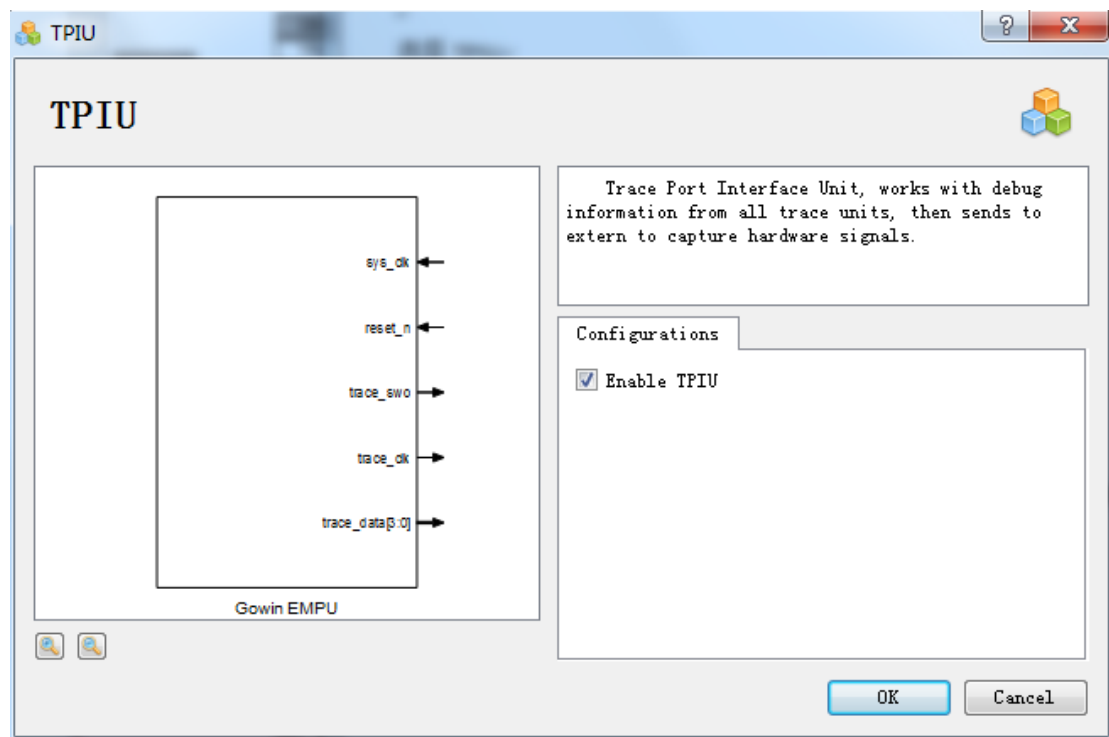


### 3.2.1 选择 TPIU

#### 使能 TPIU

选择 TPIU，如图 3-7 所示，可以选择 Enable TPIU。

图 3-7 选择 TPIU



#### TPIU 端口

如果选择 Enable TPIU，端口显示如表 3-1 所示。

表 3-1 TPIU 端口描述

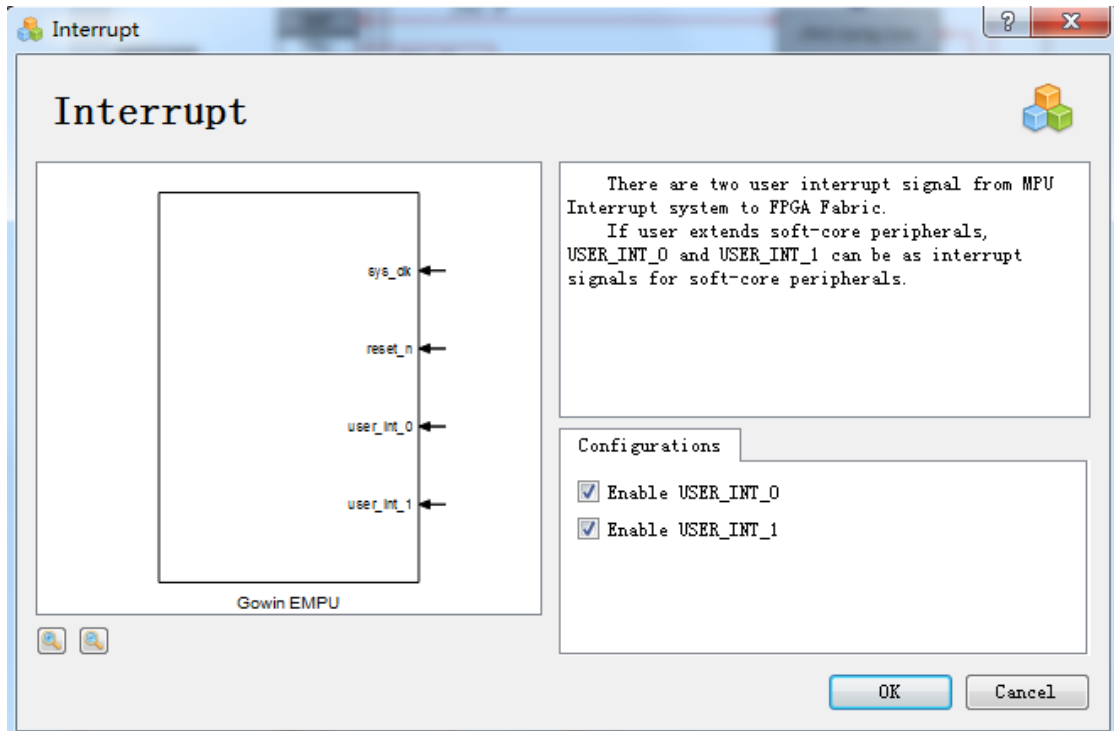
名称	I/O	位宽	描述
sys_clk	in	1	外部晶振时钟输入
reset_n	in	1	系统复位
trace_swo	out	1	Trace swo
trace_clk	out	1	TPIU clock
trace_data	out	[3:0]	TPIU data

### 3.2.2 选择 Interrupt

#### 使能 Interrupt

选择 Interrupt，可以选择外部中断 USER\_INT0 或 USER\_INT1，作为 FPBA Fabric 扩展外设的中断信号，如图 3-8 所示，可以选择 Enable USER\_INT\_0 或 Enable USER\_INT\_1。

图 3-8 选择 Interrupt



### Interrupt 端口

如果选择 Enable USER\_INT\_0 和 Enable USER\_INT\_1，端口显示如表 3-2 所示。

表 3-2 Interrupt 端口描述

名称	I/O	位宽	描述
sys_clk	in	1	外部晶振时钟输入
reset_n	in	1	系统复位
user_int_0	in	1	User Interrupt 0
user_int_1	in	1	User Interrupt 0

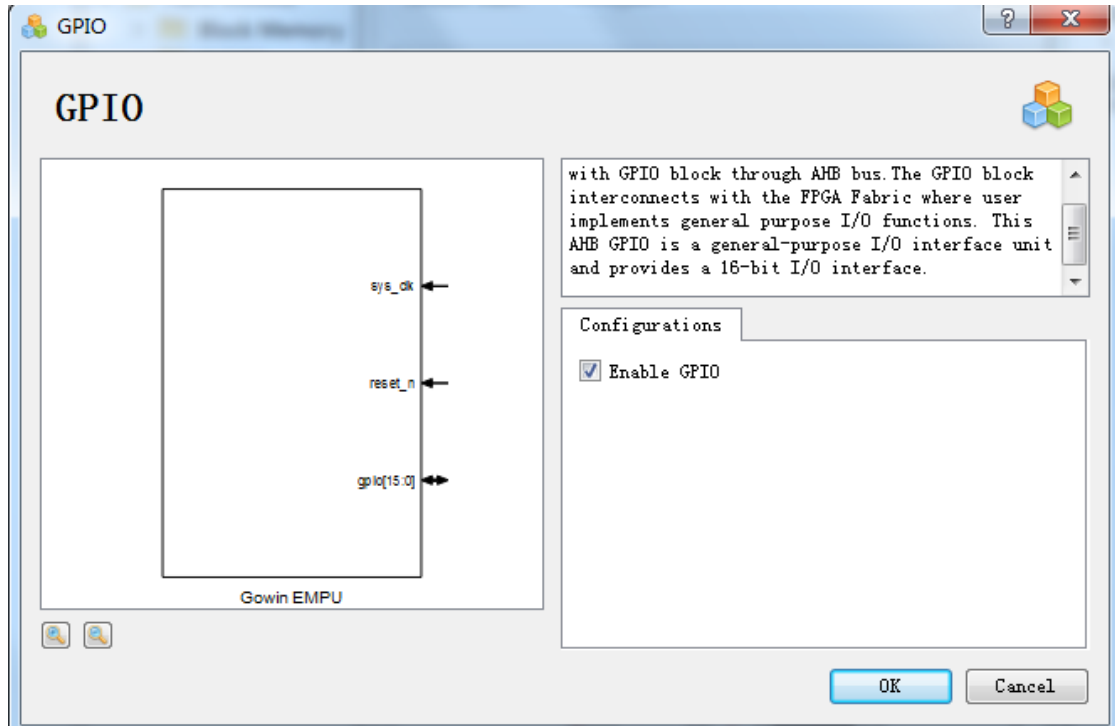


### 3.2.3 选择 GPIO

#### 使能 GPIO

选择 GPIO，如图 3-9 所示，可以选择 Enable GPIO。

图 3-9 选择 GPIO



#### GPIO 端口

选择 Enable GPIO 后，端口显示如表 3-3 所示。

表 3-3 GPIO 端口描述

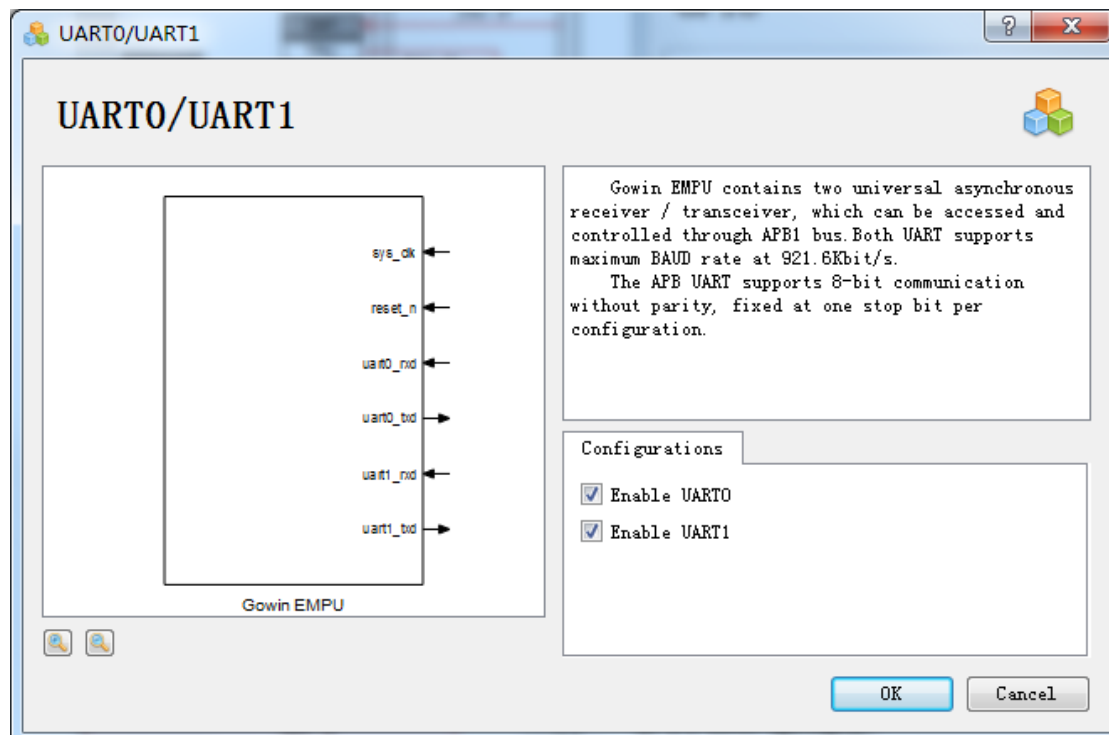
名称	I/O	位宽	描述
sys_clk	in	1	外部晶振时钟输入
reset_n	in	1	系统复位
gpio	inout	[15:0]	GPIO

## 3.2.4 选择 UART

### 使能 UART

选择 UART0 或 UART1，如图 3-10 所示，可以选择 Enable UART0 或 Enable UART1。

图 3-10 选择 UART



### UART 端口

选择 Enable UART0 和 Enable UART1 后，端口显示如表 3-4 所示。

表 3-4 UART 端口描述

名称	I/O	位宽	描述
sys_clk	in	1	外部晶振时钟输入
reset_n	in	1	系统复位
uart0_rxd	in	1	UART0 接收
uart1_rxd	in	1	UART1 接收
uart0_txd	out	1	UART0 发送
uart1_txd	out	1	UART1 发送

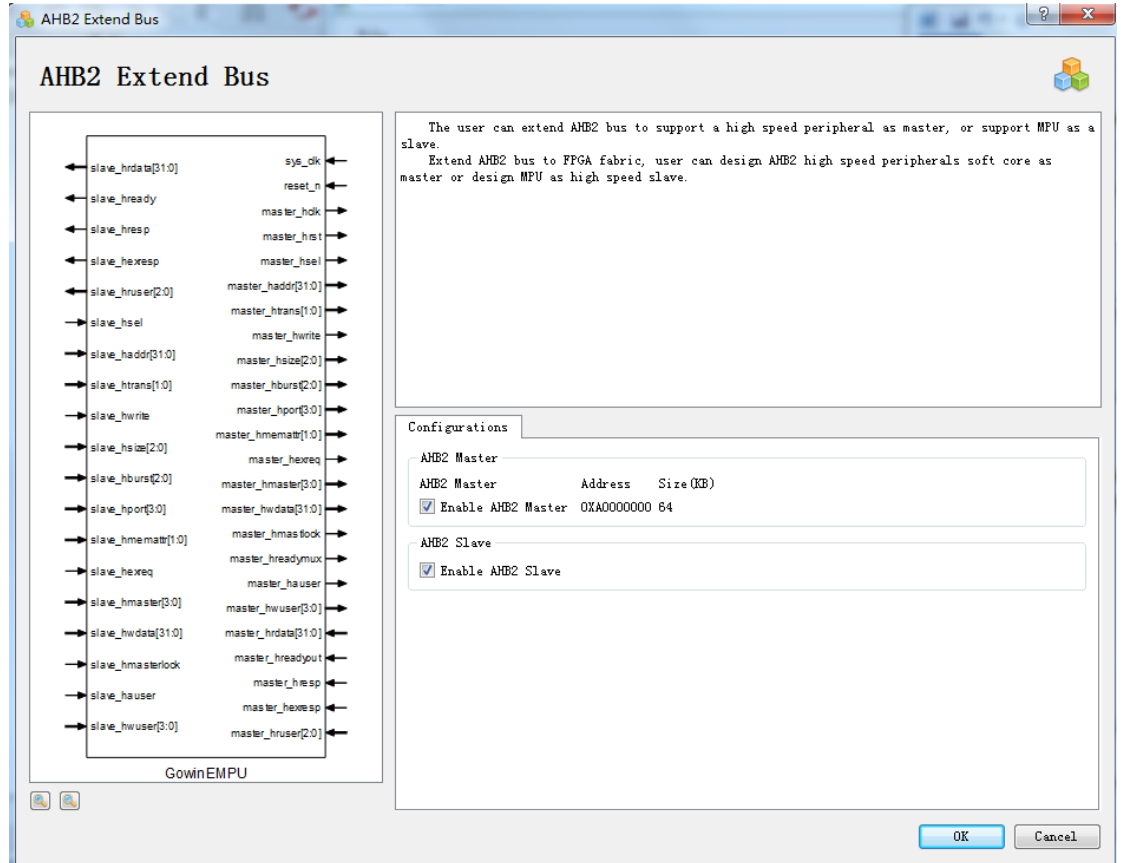
### 3.2.5 选择 AHB2 Extend Bus

#### 使能 AHB2 Extend Bus

选择 AHB2 Slave 或 AHB2 Master，如图 3-11 所示，可以选择 Enable AHB2 Master 或 Enable AHB2 Slave。

AHB2 Master 中 0xA0000000 为扩展 AHB2 Master 高速外设的地址映射。

图 3-11 选择 AHB2 Extend Bus



#### AHB2 Extend Bus 端口

如果选择 Enable AHB2 Master 和 Enable AHB2 Slave，端口显示如表 3-5 所示。

表 3-4 AHB2 Extend Bus 端口描述

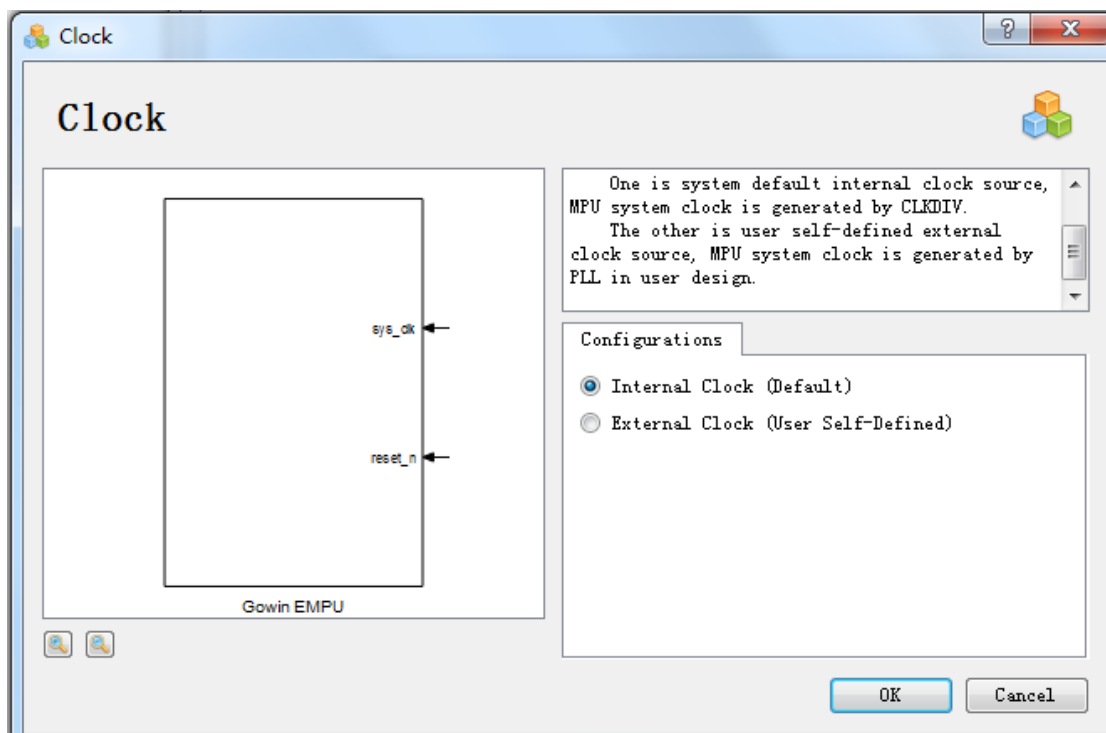
名称	I/O	位宽	描述
sys_clk	in	1	外部晶振时钟输入
reset_n	in	1	系统复位
master_hclk	out	1	AHB2 Master HCLK
master_hrst	out	1	AHB2 Master RESET
master_hsel	out	1	AHB2 Master SEL
master_haddr	out	[31:0]	AHB2 Master ADDR
master_htrans	out	[1:0]	AHB2 Master TRANS

名称	I/O	位宽	描述
master_hwrite	out	1	AHB2 Master WRITE
master_hsize	out	[2:0]	AHB2 Master SIZE
master_hburst	out	[2:0]	AHB2 Master BURST
master_hprot	out	[3:0]	AHB2 Master PROT
master_hmemattr	out	[1:0]	AHB2 Master MEMATTR
master_hexreq	out	1	AHB2 Master EXREQ
master_hmaster	out	[3:0]	AHB2 Master MASTER
master_hwdata	out	[31:0]	AHB2 Master WDATA
master_hmastlock	out	1	AHB2 Master MASTLOCK
master_hreadymux	out	1	AHB2 Master READYMUX
master_hauser	out	1	AHB2 Master AUSER
master_hwuser	out	[3:0]	AHB2 Master WUSER
master_hrdata	in	[31:0]	AHB2 Master RDATA
master_hreadyout	in	1	AHB2 Master READYOUT
master_hresp	in	1	AHB2 Master RESP
master_hexresp	in	1	AHB2 Master EXRESP
master_hruser	in	[2:0]	AHB2 Master RUSER
slave_hrdata	out	[31:0]	AHB2 Slave HRDATA
slave_hready	out	1	AHB2 Slave HREADY
slave_hresp	out	1	AHB2 Slave HRESP
slave_hexresp	out	1	AHB2 Slave HEXRESP
slave_hruser	out	[2:0]	AHB2 Slave HRUSER
slave_hsel	in	1	AHB2 Slave HSEL
slave_haddr	in	[31:0]	AHB2 Slave HADDR
slave_htrans	in	[1:0]	AHB2 Slave HTRANS
slave_hwrite	in	1	AHB2 Slave HWRITE
slave_hsize	in	[2:0]	AHB2 Slave HSIZE
slave_hbrust	in	[2:0]	AHB2 Slave HBRUST
slave_hprot	in	[3:0]	AHB2 Slave HPROT
slave_hmemattr	in	[1:0]	AHB2 Slave HMEMEATTR
slave_hexreq	in	1	AHB2 Slave HEXREQ
slave_hmaster	in	[3:0]	AHB2 Slave HMASTER
slave_hwdata	in	[31:0]	AHB2 Slave HWDATA
slave_hmastlock	in	1	AHB2 Slave HMASTLOCK
slave_hauser	in	1	AHB2 Slave HAUSER
slave_hwuser	in	[3:0]	AHB2 Slave HWUSER

## 3.2.6 配置时钟

选择 Clock，如图 3-12 所示，默认选项是 Internal Clock，MCU 使用默认时钟作为系统时钟；如果选择 External Clock，需自定义 MCU 系统时钟。

图 3-12 配置时钟



## 3.2.7 选择 APB2 Extend Bus

### 使能 APB2 Extend Bus

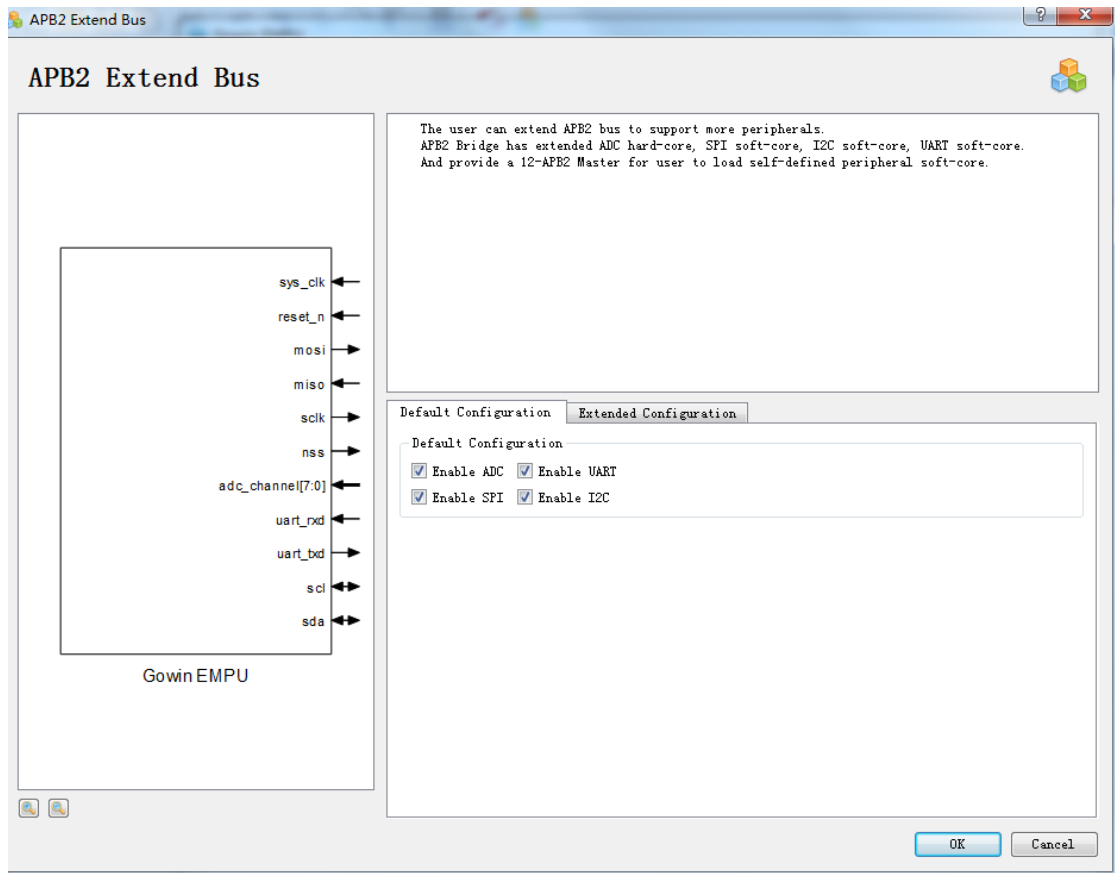
选择 APB2 Extend Bus，包括默认配置选项和扩展配置选项。

#### 1. 默认配置选项

如图 3-13 所示，用户可以选择

- Enable ADC
- Enable UART
- Enable SPI
- Enable I2C

图 3-13 APB2 Extend Bus 默认配置

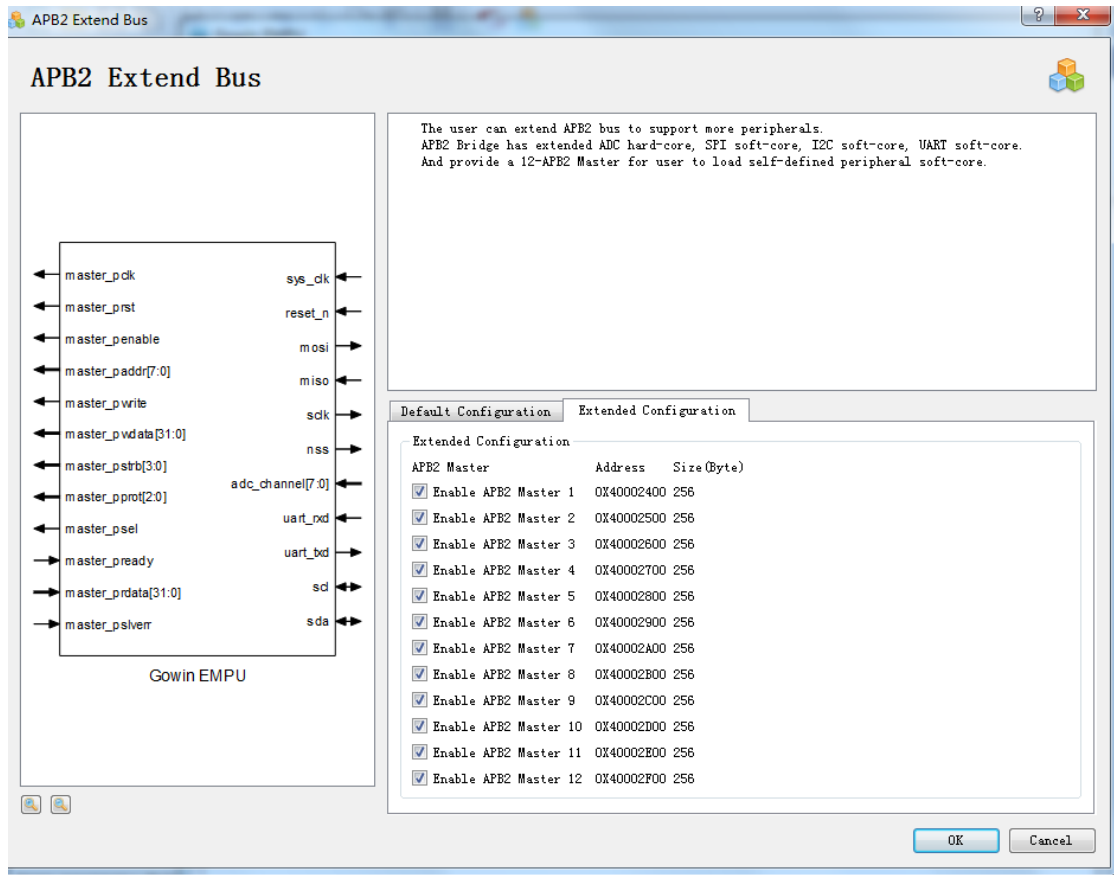


## 2. 扩展配置选项

如图 3-14 所示，用户可以选择

- Enable APB2 Master 1
- Enable APB2 Master 2
- Enable APB2 Master 3
- Enable APB2 Master 4
- Enable APB2 Master 5
- Enable APB2 Master 6
- Enable APB2 Master 7
- Enable APB2 Master 8
- Enable APB2 Master 9
- Enable APB2 Master 10
- Enable APB2 Master 11
- Enable APB2 Master 12

图 3-14 APB2 Extend Bus 扩展配置



12 个 APB2 Master 扩展低速外设的地址映射如表 3-6 所示。

表 3-5 APB2 Master 地址映射

APB2 Master	Address	Size(Byte)
1	0x40002400	256
2	0x40002500	256
3	0x40002600	256
4	0x40002700	256
5	0x40002800	256
6	0x40002900	256
7	0x40002A00	256
8	0x40002B00	256
9	0x40002C00	256
10	0x40002E00	256
11	0x40002E00	256
12	0x40002F00	256

### APB2 Extend Bus 端口

如果选择 Enable ADC、Enable UART、Enable SPI、Enable I2C 和 Enable APB2 Master 1~12，显示端口如表 3-7 所示。

表 3-7 APB2 Extend Bus 端口描述

名称	I/O	位宽	描述
sys_clk	in	1	外部晶振时钟输入
reset_n	in	1	系统复位
mosi	out	1	SPI 输出
miso	in	1	SPI 输入
sclk	out	1	SPI 时钟
nss	out	1	SPI 片选
adc_channel	in	[7:0]	ADC channel 选择
uart_rxd	in	1	UART 接收
uart_txd	out	1	UART 发送
scl	inout	1	I2C 时钟线
sda	inout	1	I2C 数据线
master_pclk	out	1	APB2 Master 时钟
master_prst	out	1	APB2 Master 复位
master_penable	out	1	APB2 Master 使能
master_paddr	out	[7:0]	APB2 Master 地址
master_pwrite	out	1	APB2 Master 写控制
master_pwdata	out	[31:0]	APB2 Master 写数据
master_pstrb	out	[3:0]	APB2 Master 位控制
master_pprot	out	[2:0]	APB2 Master 位控制
master_psel1	out	1	APB2 Master 1 select
master_pready1	in	1	APB2 Master 1 ready
master_prdata1	in	[31:0]	APB2 Master 1 read data
master_pslverr1	in	1	APB2 Slave 1 error
master_psel2	out	1	APB2 Master 2 select
master_pready2	in	1	APB2 Master 2 ready
master_prdata2	in	[31:0]	APB2 Master 2 read data
master_pslverr2	in	1	APB2 Slave 2 error
master_psel3	out	1	APB2 Master 3 select
master_pready3	in	1	APB2 Master 3 ready
master_prdata3	in	[31:0]	APB2 Master 3 read data
master_pslverr3	in	1	APB2 Slave 3 error
master_psel4	out	1	APB2 Master 4 select
master_pready4	in	1	APB2 Master 4 ready
master_prdata4	in	[31:0]	APB2 Master 4 read data
master_pslverr4	in	1	APB2 Slave 4 error
master_psel5	out	1	APB2 Master 5 select
master_pready5	in	1	APB2 Master 5 ready
master_prdata5	in	[31:0]	APB2 Master 5 read data
master_pslverr5	in	1	APB2 Slave 5 error



名称	I/O	位宽	描述
master_psel6	out	1	APB2 Master 6 select
master_pready6	in	1	APB2 Master 6 ready
master_prdata6	in	[31:0]	APB2 Master 6 read data
master_pslverr6	in	1	APB2 Slave 6 error
master_psel7	out	1	APB2 Master 7 select
master_pready7	in	1	APB2 Master 7 ready
master_prdata7	in	[31:0]	APB2 Master 7 read data
master_pslverr7	in	1	APB2 Slave 7 error
master_psel8	out	1	APB2 Master 8 select
master_pready8	in	1	APB2 Master 8 ready
master_prdata8	in	[31:0]	APB2 Master 8 read data
master_pslverr8	in	1	APB2 Slave 8 error
master_psel9	out	1	APB2 Master 9 select
master_pready9	in	1	APB2 Master 9 ready
master_prdata9	in	[31:0]	APB2 Master 9 read data
master_pslverr9	in	1	APB2 Slave 9 error
master_psel10	out	1	APB2 Master 10 select
master_pready10	in	1	APB2 Master 10 ready
master_prdata10	in	[31:0]	APB2 Master 10 read data
master_pslverr10	in	1	APB2 Slave 10 error
master_psel11	out	1	APB2 Master 11 select
master_pready11	in	1	APB2 Master 11 ready
master_prdata11	in	[31:0]	APB2 Master 11 read data
master_pslverr11	in	1	APB2 Slave 11 error
master_psel12	out	1	APB2 Master 12 select
master_pready12	in	1	APB2 Master 12 ready
master_prdata12	in	[31:0]	APB2 Master 12 read data
master_pslverr12	in	1	APB2 Slave 12 error

### 3.2.8 完成配置

完成选择配置后，选择 OK，产生 MCU 软核，将产生的 MCU 软核加入设计中。

## 3.3 用户设计

产生 MCU 软核后，加入用户设计、MCU 软核模块的例化和端口连接等，形成完整的用户 RTL 设计。

## 3.4 物理约束

完成用户 RTL 设计后，根据使用的开发板和需要输出的 IO，产生物理约束文件。

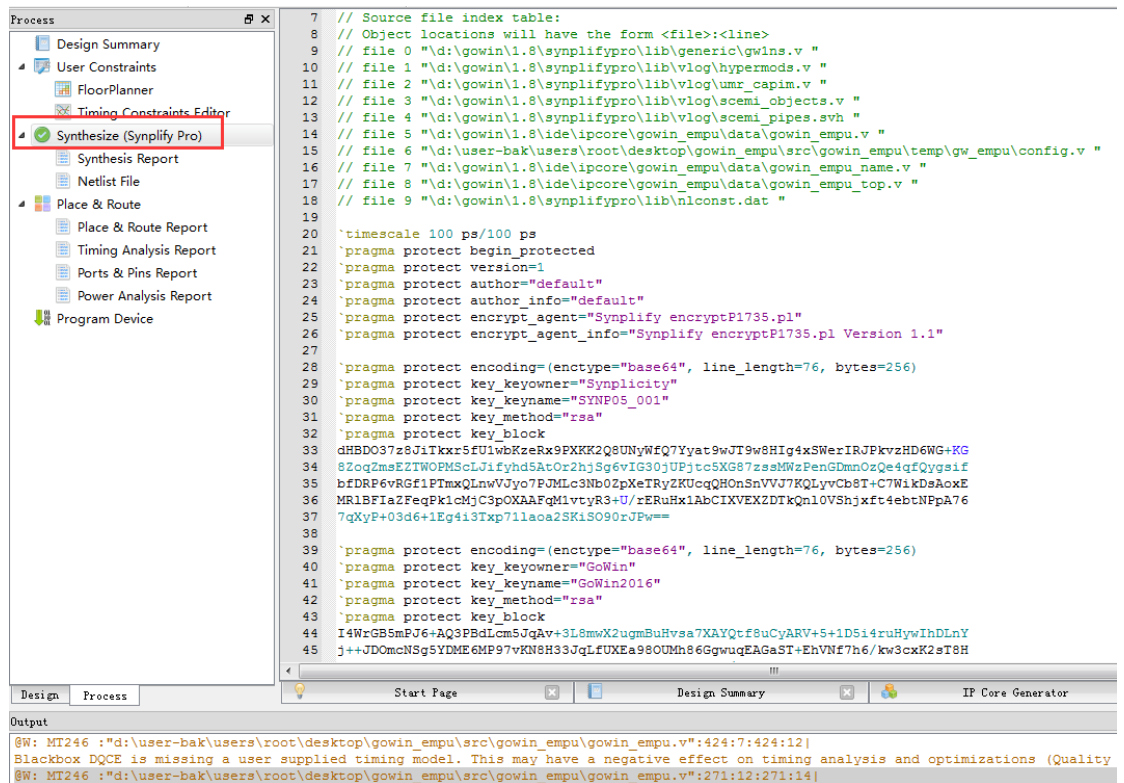
物理约束的产生方法请参考《Gowin 设计约束指南》。

### 3.5 综合

运行高云云源软件的综合工具 Synplify\_Pro，完成 RTL 设计的综合，如图 3-15 所示。

综合工具的使用方法请参考《Gowin 云源软件用户指南》。

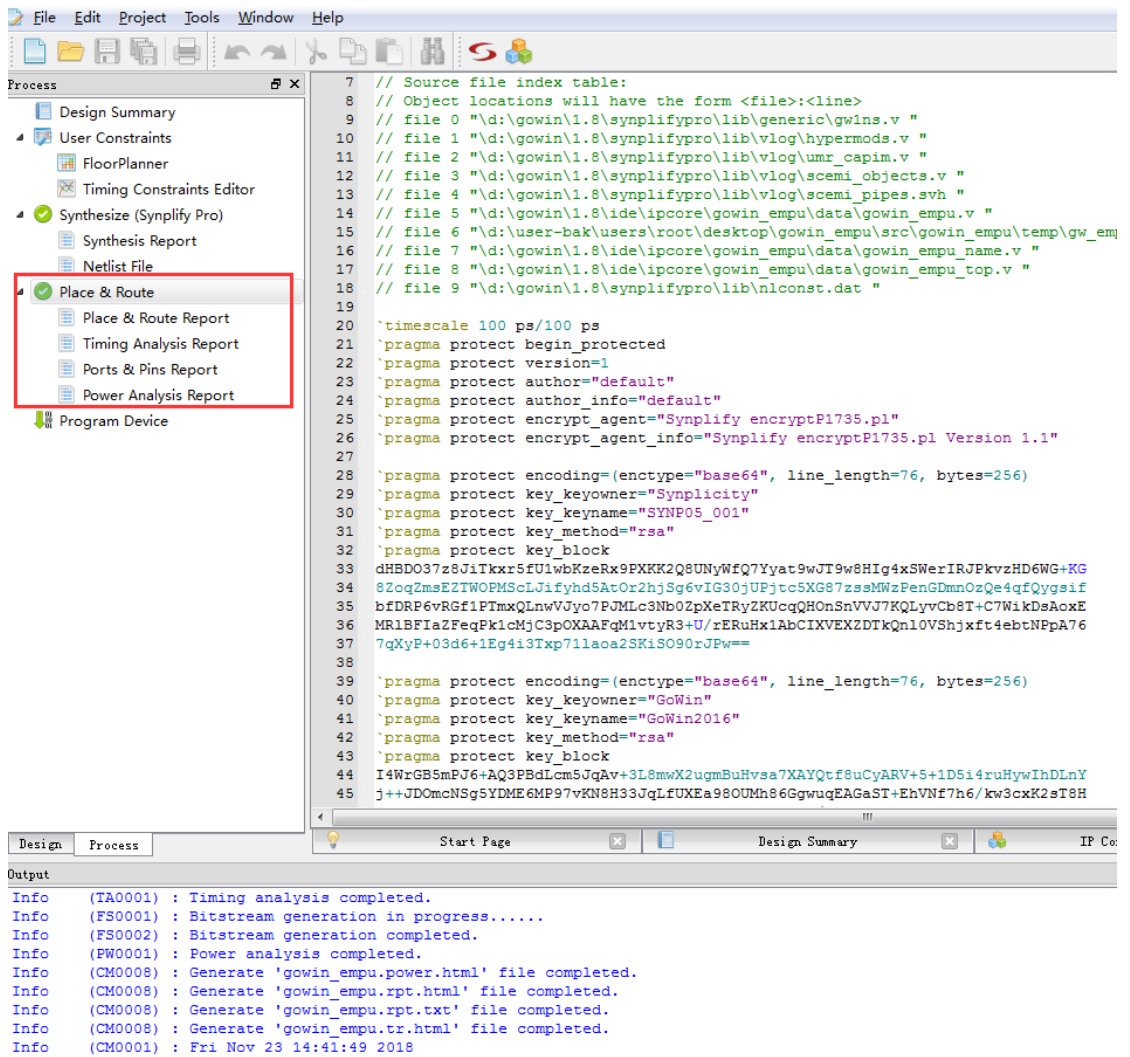
图 3-15 综合



### 3.6 布局布线

运行高云云源软件的布局布线工具 Place & Route，完成布局布线和生成码流文件，如图 3-16 所示。

图 3-16 布局布线

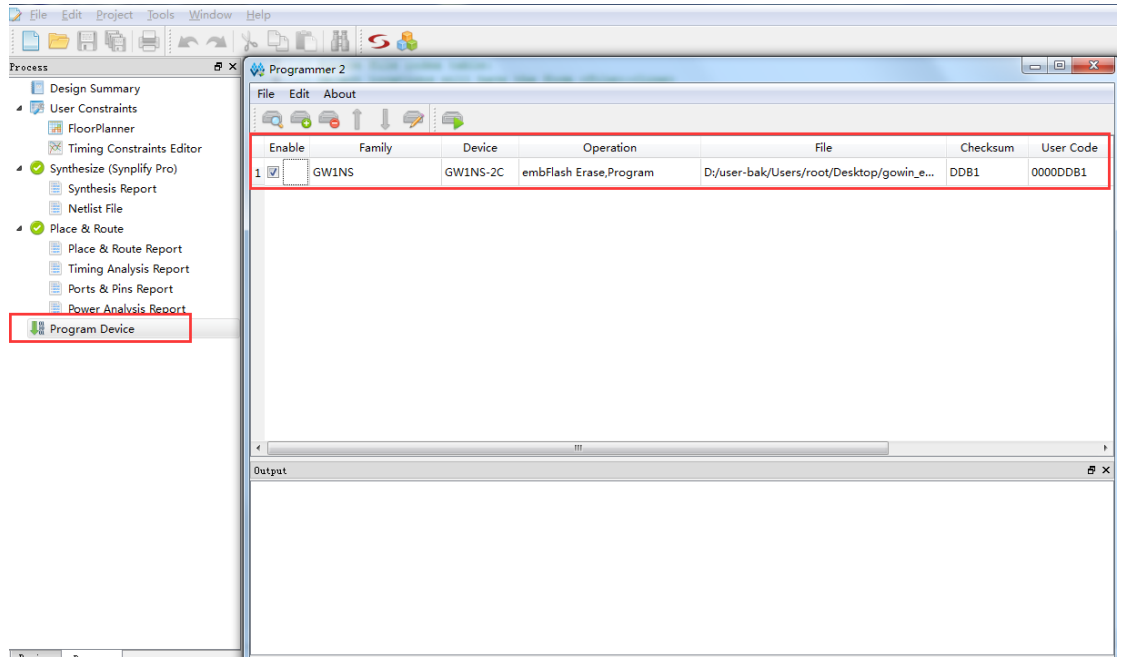


布局布线工具使用方法请参考《Gowin 云源软件用户指南》。

## 3.7 烧录

运行高云云源软件的烧录工具 Programmer，完成码流文件烧录，如图 3-17 所示。

图 3-17 烧录



烧录工具 Programmer 使用方法请参考《Gowin Programmer 用户指南》。

# 4 参考设计

高云提供已使用 IP Core Generator 产生 MCU 软核（选择 UART0 和 GPIO）的参考设计：Gowin GW1NS-2C MCU  
PACK\Gowin\_GW1NS-2C\_MCU\_RefDesign\FPGA\_RefDesign\gowin\_em  
pu

