



GW1NS-2C MCU

软核参考手册

RN518-1.0,2018-08-21

版权所有©2018 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

| 日期 | 版本 | 说明 |
|------------|-----|-------|
| 2018/08/21 | 1.0 | 初始版本。 |

目录

| | |
|------------------------------|------------|
| 目录..... | i |
| 图目录..... | iii |
| 表目录..... | iv |
| 1 关于本手册..... | 1 |
| 1.1 软核类型..... | 1 |
| 1.2 软核程序包..... | 1 |
| 2 软核端口..... | 2 |
| 2.1 MCU Core System..... | 2 |
| 2.2 MCU Extended System..... | 2 |
| 2.3 MCU USB Type-C..... | 3 |
| 2.4 MCU ADC..... | 4 |
| 3 软核设计..... | 5 |
| 3.1 MCU 系统软核设计..... | 5 |
| 3.1.1 时钟和复位系统..... | 5 |
| 3.1.2 Flash 控制器..... | 6 |
| 3.1.3 SRAM 控制器..... | 6 |
| 3.1.4 扩展 APB2 总线桥接..... | 7 |
| 3.1.5 ADC 设计..... | 8 |
| 3.1.6 SPI 设计..... | 8 |
| 3.2 USB Type-C 软核设计..... | 9 |
| 3.2.1 时钟和复位系统..... | 10 |
| 3.2.2 Flash 控制器..... | 11 |
| 3.2.3 SRAM 控制器..... | 11 |

| | |
|----------------------------|----|
| 3.2.4 扩展 APB2 总线桥接 | 11 |
| 3.2.5 ADC 设计 | 12 |
| 3.2.6 USB Type-C 设计 | 13 |
| 3.3 ADC/DAC 工业控制软核设计 | 14 |
| 3.3.1 时钟和复位系统 | 14 |
| 3.3.2 Flash 控制器 | 15 |
| 3.3.3 SRAM 控制器 | 15 |
| 3.3.4 扩展 APB2 总线桥接 | 16 |
| 3.3.5 ADC 设计 | 17 |

图目录

| | |
|--------------------------------|----|
| 图 3-1 MCU 软核设计结构 | 5 |
| 图 3-2 时钟和复位系统结构..... | 6 |
| 图 3-3 Flash 控制器结构 | 6 |
| 图 3-4 SRAM 控制器结构..... | 7 |
| 图 3-5 扩展 APB2 总线桥接结构 | 7 |
| 图 3-6 ADC 控制器结构..... | 8 |
| 图 3-7 SPI 控制器结构 | 9 |
| 图 3-8 USB Type-C 软核设计结构 | 10 |
| 图 3-9 时钟和复位系统结构..... | 10 |
| 图 3-10 Flash 控制器结构 | 11 |
| 图 3-11 SRAM 控制器结构..... | 11 |
| 图 3-12 扩展 APB2 总线桥接结构 | 12 |
| 图 3-13 ADC 控制器结构..... | 13 |
| 图 3-14 USB Type-C 结构..... | 13 |
| 图 3-15 ADC/DAC 工业控制软核设计结构..... | 14 |
| 图 3-16 时钟和复位系统结构..... | 15 |
| 图 3-17 Flash 控制器结构 | 15 |
| 图 3-18 SRAM 控制器结构..... | 16 |
| 图 3-19 扩展 APB2 总线桥接结构 | 16 |
| 图 3-20 ADC 控制器结构..... | 17 |

表目录

| | |
|---------------------------------------|---|
| 表 2-1 MCU 内核系统软核端口 | 2 |
| 表 2-2 MCU 扩展系统软核端口 | 2 |
| 表 2-3 MCU USB Type-C 软核端口 | 3 |
| 表 2-4 MCU ADC/DAC 工业控制软核 ADC 端口 | 4 |

1 关于本手册

1.1 软核类型

GW1NS-2C 提供基于 MCU 不同应用场景的软核设计，包括 MCU 系统软核、MCU USB Type-C 软核和 MCU ADC/DAC 工业控制软核等。

MCU 系统软核包括 MCU 内核系统软核（MCU、Flash 和 SRAM），MCU 扩展系统软核（MCU、Flash、SRAM、SPI、ADC 和 USB Type-C）。

MCU 内核系统软核包括 MCU、Flash 和 SRAM，MCU 扩展系统软核包括 MCU、Flash、SRAM、SPI、ADC 和 USB Type-C。

MCU USB Type-C 软核包括 MCU、Flash、SRAM、ADC 和 USB Type-C。

MCU ADC/DAC 工业控制软核包括 MCU、Flash、SRAM 和 ADC。

1.2 软核程序包

GW1NS-2C 提供经过加密的软核程序包供用户使用。

用户可在 `gw_empu_xxx_name.v` 中自定义模块名称。

2 软核端口

2.1 MCU Core System

MCU 内核系统软核端口如表 2-1 所示。

表 2-1 MCU 内核系统软核端口

| 端口 | 输入/输出 | 位宽 | 描述 |
|-------------------|-------|--------|------------------------|
| out_osc | 输入 | 1 | 系统时钟源信号 |
| reset_n | 输入 | 1 | 上电复位信号 |
| rtc_src_clk | 输入 | 1 | RTC 时钟源信号 |
| gpio | 双向 | [15:0] | 通用输入输出端口 |
| uart0_rxd_i | 输入 | 1 | 串口 0 接收信号 |
| uart1_rxd_i | 输入 | 1 | 串口 1 接收信号 |
| uart0_txd_o | 输出 | 1 | 串口 0 发送信号 |
| uart1_txd_o | 输出 | 1 | 串口 1 发送信号 |
| tpiu_trace_swo_o | 输出 | 1 | SingleWire Viewer Data |
| tpiu_trace_clk_o | 输出 | 1 | 追踪端口时钟信号 |
| tpiu_trace_data_o | 输出 | [3:0] | 追踪端口数据信号 |

2.2 MCU Extended System

MCU 扩展系统软核端口如表 2-2 所示。

表 2-2 MCU 扩展系统软核端口

| 端口 | 输入/输出 | 位宽 | 描述 |
|-------------|-------|--------|-----------|
| out_osc | 输入 | 1 | 系统时钟源信号 |
| reset_n | 输入 | 1 | 上电复位信号 |
| rtc_src_clk | 输入 | 1 | RTC 时钟源信号 |
| gpio | 双向 | [15:0] | 通用输入输出端口 |

| 端口 | 输入/输出 | 位宽 | 描述 |
|-------------------|-------|-------|------------------------|
| uart0_rxd_i | 输入 | 1 | 串口 0 接收信号 |
| uart1_rxd_i | 输入 | 1 | 串口 1 接收信号 |
| uart0_txd_o | 输出 | 1 | 串口 0 发送信号 |
| uart1_txd_o | 输出 | 1 | 串口 1 发送信号 |
| tpiu_trace_swo_o | 输出 | 1 | SingleWire Viewer Data |
| tpiu_trace_clk_o | 输出 | 1 | 追踪端口时钟信号 |
| tpiu_trace_data_o | 输出 | [3:0] | 追踪端口数据信号 |
| cc1_rx | 输入 | 1 | CC1 端口接收信号 |
| cc2_rx | 输入 | 1 | CC2 端口接收信号 |
| cc1_tx | 输出 | 1 | CC1 端口发送信号 |
| cc2_tx | 输出 | 1 | CC2 端口发送信号 |
| cc1_ctrl | 输出 | 1 | CC1 端口控制信号 |
| cc2_ctrl | 输出 | 1 | CC2 端口控制信号 |
| cc1_rd | 输出 | 1 | CC1 端口 Rd 电阻信号 |
| cc2_rd | 输出 | 1 | CC2 端口 Rd 电阻信号 |
| cc1_rp | 输出 | 1 | CC1 端口 Rp 电阻信号 |
| cc2_rp | 输出 | 1 | CC2 端口 Rp 电阻信号 |
| cc1_vconn_ctrl | 输出 | 1 | CC1 端口 Vconn 控制信号 |
| cc2_vconn_ctrl | 输出 | 1 | CC2 端口 Vconn 控制信号 |
| mosi | 输出 | 1 | SPI 输出信号 |
| miso | 输入 | 1 | SPI 输入信号 |
| sclk | 输出 | 1 | SPI 时钟信号 |
| nss | 输出 | 1 | SPI 片选信号 |

2.3 MCU USB Type-C

MCU USB Type-C 软核端口如表 2-3 所示。

表 2-3 MCU USB Type-C 软核端口

| 端口 | 输入/输出 | 位宽 | 描述 |
|-------------|-------|--------|-----------|
| out_osc | 输入 | 1 | 系统时钟源信号 |
| reset_n | 输入 | 1 | 上电复位信号 |
| rtc_src_clk | 输入 | 1 | RTC 时钟源信号 |
| gpio | 双向 | [15:0] | 通用输入输出端口 |
| uart0_rxd_i | 输入 | 1 | 串口 0 接收信号 |
| uart1_rxd_i | 输入 | 1 | 串口 1 接收信号 |
| uart0_txd_o | 输出 | 1 | 串口 0 发送信号 |
| uart1_txd_o | 输出 | 1 | 串口 1 发送信号 |

| 端口 | 输入/输出 | 位宽 | 描述 |
|-------------------|-------|-------|------------------------|
| tpiu_trace_swo_o | 输出 | 1 | SingleWire Viewer Data |
| tpiu_trace_clk_o | 输出 | 1 | 追踪端口时钟信号 |
| tpiu_trace_data_o | 输出 | [3:0] | 追踪端口数据信号 |
| monitor_txvalid | 输出 | 1 | 监测 CC1 Port 数据有效性 |
| monitor_tx | 输出 | 1 | 监测 CC1 Port 数据 |
| cc1_rx | 输入 | 1 | CC1 端口接收信号 |
| cc2_rx | 输入 | 1 | CC2 端口接收信号 |
| cc1_tx | 输出 | 1 | CC1 端口发送信号 |
| cc2_tx | 输出 | 1 | CC2 端口发送信号 |
| cc1_ctrl | 输出 | 1 | CC1 端口控制信号 |
| cc2_ctrl | 输出 | 1 | CC2 端口控制信号 |
| cc1_rd | 输出 | 1 | CC1 端口 Rd 电阻信号 |
| cc2_rd | 输出 | 1 | CC2 端口 Rd 电阻信号 |
| cc1_rp | 输出 | 1 | CC1 端口 Rp 电阻信号 |
| cc2_rp | 输出 | 1 | CC2 端口 Rp 电阻信号 |
| cc1_vconn_ctrl | 输出 | 1 | CC1 端口 Vconn 控制信号 |
| cc2_vconn_ctrl | 输出 | 1 | CC2 端口 Vconn 控制信号 |

2.4 MCU ADC

MCU ADC/DAC 工业控制软核 ADC 端口如表 2-4 所示。

表 2-4 MCU ADC/DAC 工业控制软核 ADC 端口

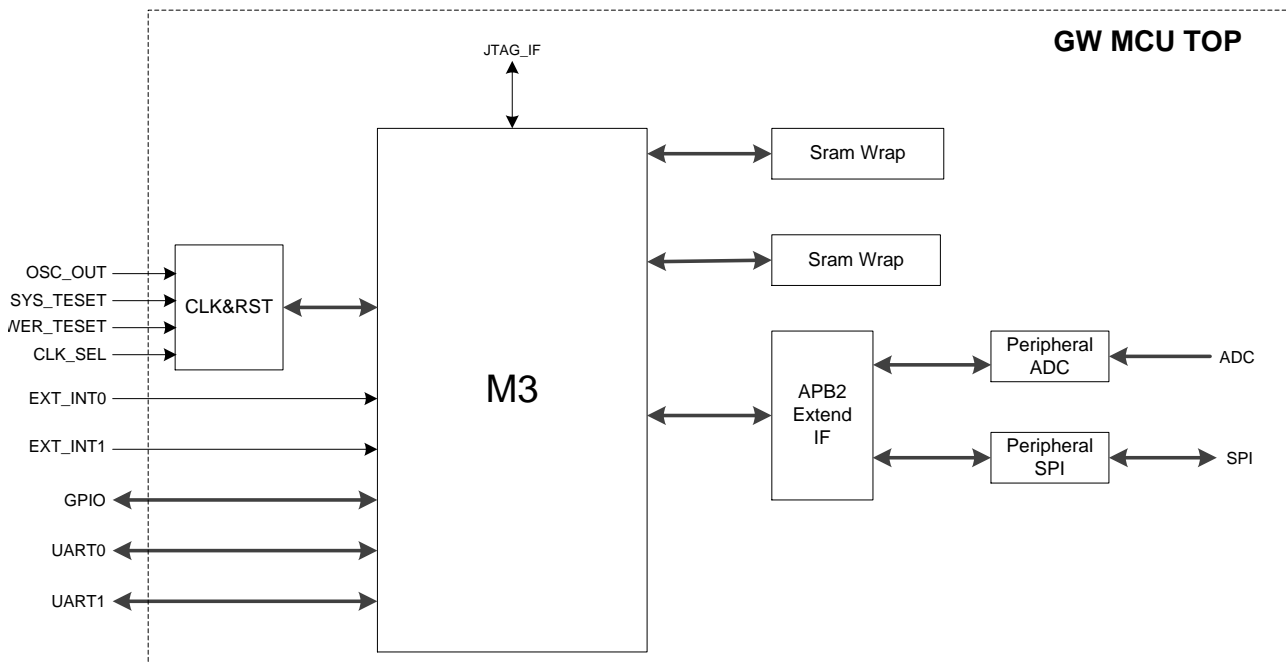
| 端口 | 输入/输出 | 位宽 | 描述 |
|-------------------|-------|--------|------------------------|
| out_osc | 输入 | 1 | 系统时钟源信号 |
| reset_n | 输入 | 1 | 上电复位信号 |
| rtc_src_clk | 输入 | 1 | RTC 时钟源信号 |
| gpio | 双向 | [15:0] | 通用输入输出端口 |
| uart0_rxd_i | 输入 | 1 | 串口 0 接收信号 |
| uart1_rxd_i | 输入 | 1 | 串口 1 接收信号 |
| uart0_txd_o | 输出 | 1 | 串口 0 发送信号 |
| uart1_txd_o | 输出 | 1 | 串口 1 发送信号 |
| tpiu_trace_swo_o | 输出 | 1 | SingleWire Viewer Data |
| tpiu_trace_clk_o | 输出 | 1 | 追踪端口时钟信号 |
| tpiu_trace_data_o | 输出 | [3:0] | 追踪端口数据信号 |

3 软核设计

3.1 MCU 系统软核设计

GW1NS-2C MCU 软核设计是以嵌入式微处理器为核心设计的嵌入式片上系统完整解决方案。该系统以 ARM Cortex-M3 内核为核心，利用 FPGA 构架资源，设计了时钟和复位系统、SRAM 控制器、Flash 控制器、扩展 APB2 总线桥接、ADC 控制器、SPI 软核和控制器，实现了 Timer、WatchDog、GPIO、UART、SPI 和 ADC 等功能，结构如图 3-1 所示。

图 3-1 MCU 软核设计结构



3.1.1 时钟和复位系统

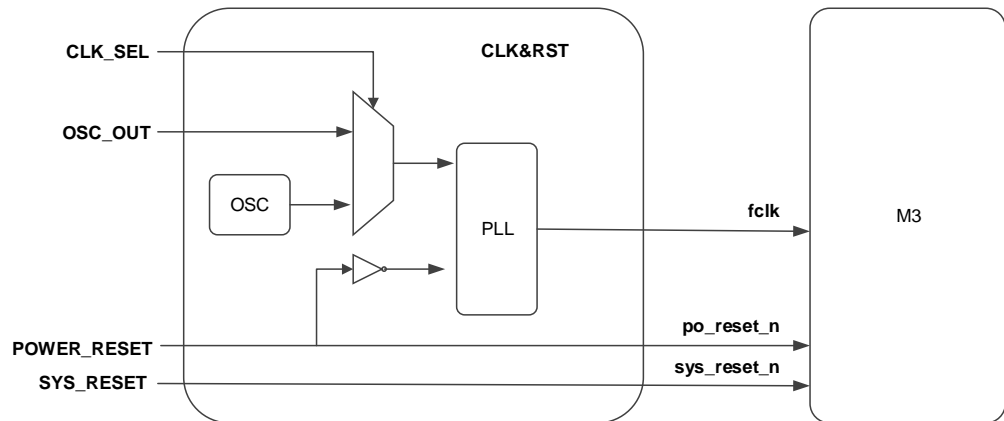
GW1NS-2C 通过锁相环 PLL 产生 20MHz 时钟作为系统时钟，PLL 的输

入时钟有两个来源，一是外部输入时钟 OSC_OUT，一是 FPGA 构架的 50MHz 振荡器 OSC，二者通过 CLK_SEL 选择。

GW1NS-2C 有两个复位信号，一是 POWER_RESET，即上电复位，一是 SYS_RESET，即系统复位。

时钟和复位系统结构如图 3-2 所示。

图 3-2 时钟和复位系统结构

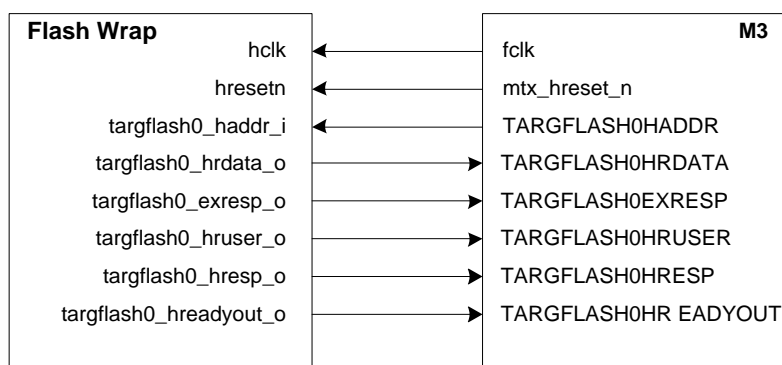


3.1.2 Flash 控制器

Flash 控制器中包括 AHB Slave、Flash Controller 两部分，其中 AHB Slave 实现与 AHB Master 的交互，Flash Controller 实现 Flash 硬核的读操作，实现 ARM Cortex-M3 内核通过 AHB 总线读取 Flash 数据和指令的过程。

Flash 控制器结构如图 3-3 所示。

图 3-3 Flash 控制器结构



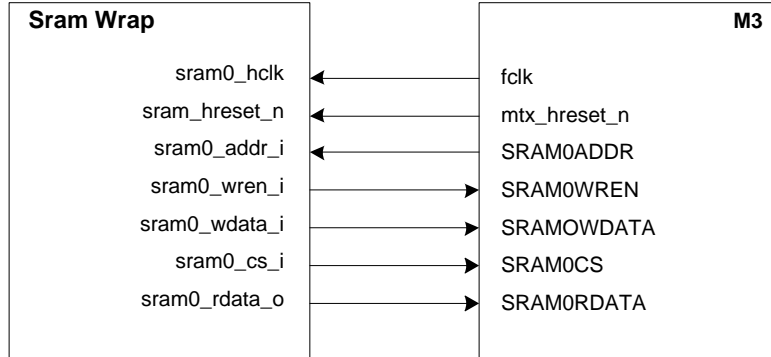
3.1.3 SRAM 控制器

SRAM 控制器包括 AHB Slave、FPGA 构架中 Block Ram Controller 两部分，其中 AHB Slave 实现与 AHB Master 的交互，Block Ram Controller 实现 Block Ram 的读写操作，使 FPGA 构架的 Block Ram 作为嵌入式微处

理器系统的 SRAM。

SRAM 控制器结构如图 3-4 所示。

图 3-4 SRAM 控制器结构

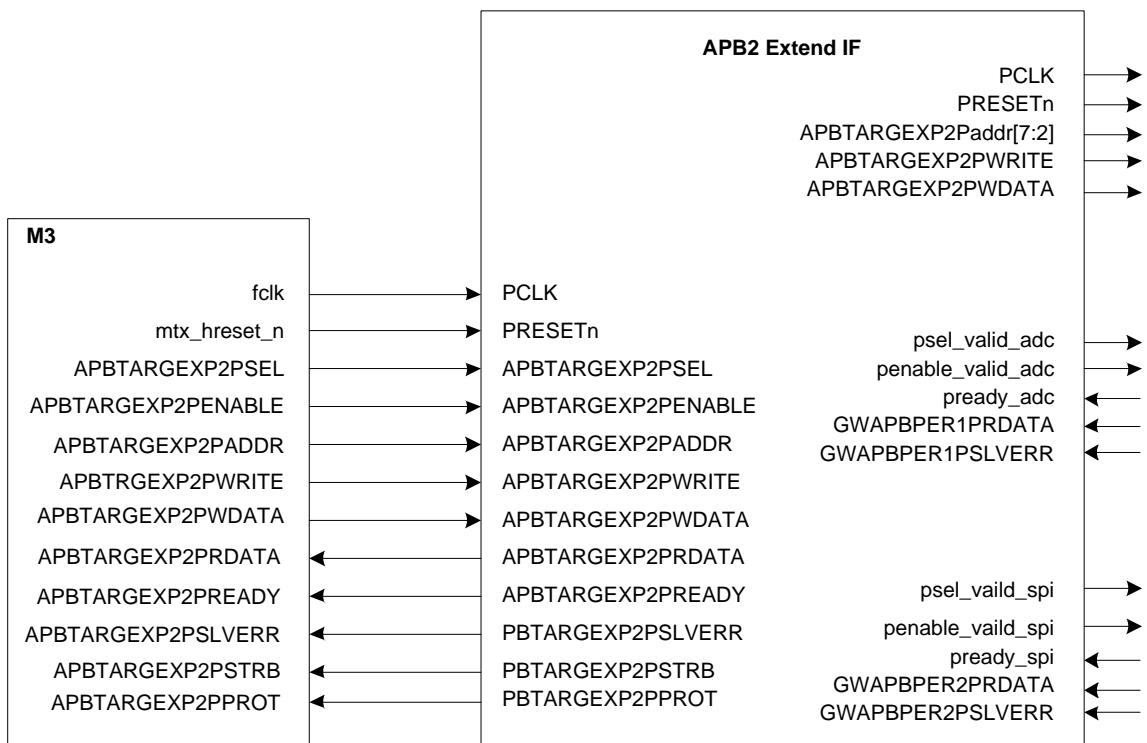


3.1.4 扩展 APB2 总线桥接

扩展 APB2 总线桥接包括 APB2 Slave Mux、APB2 Decoder 两部分，其中 APB2 Slave Mux 将 APB2 总线地址 16 等分，APB2 Decoder 解码等分之后的 APB PSEL、PENABLE、PREADY 信号，实现将 ARM Cortex-M3 的 APB2 总线地址 16 等分来挂载不同标准 APB 外设。

扩展 APB2 总线桥接结构如图 3-5 所示。

图 3-5 扩展 APB2 总线桥接结构

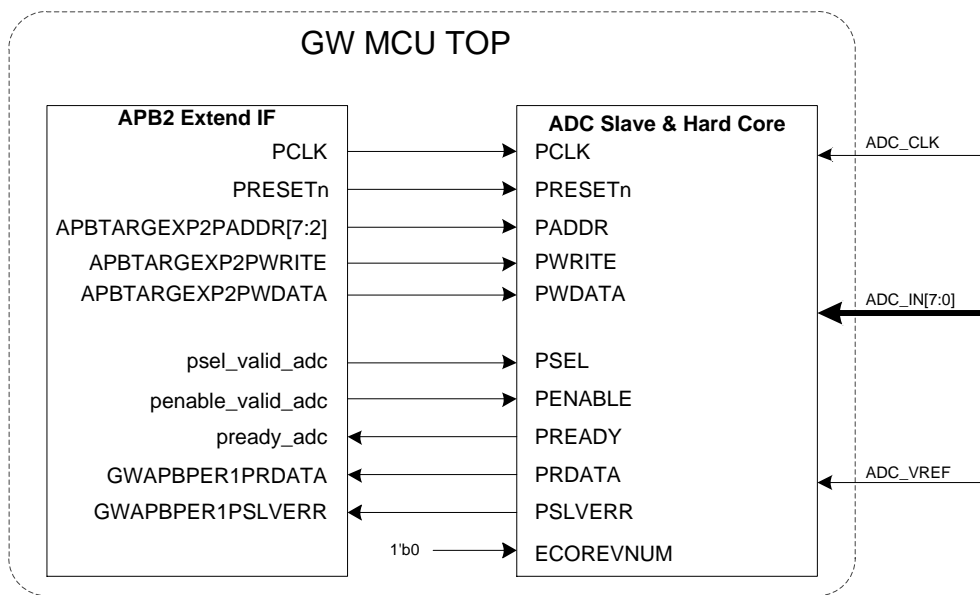


3.1.5 ADC 设计

ADC 设计包括 APB Slave、ADC Controller 两个部分，其中 APB Slave 实现与 APB Master 的交互，ADC Controller 实现对 ADC 硬核的控制。

ADC 控制器结构如图 3-6 所示。

图 3-6 ADC 控制器结构

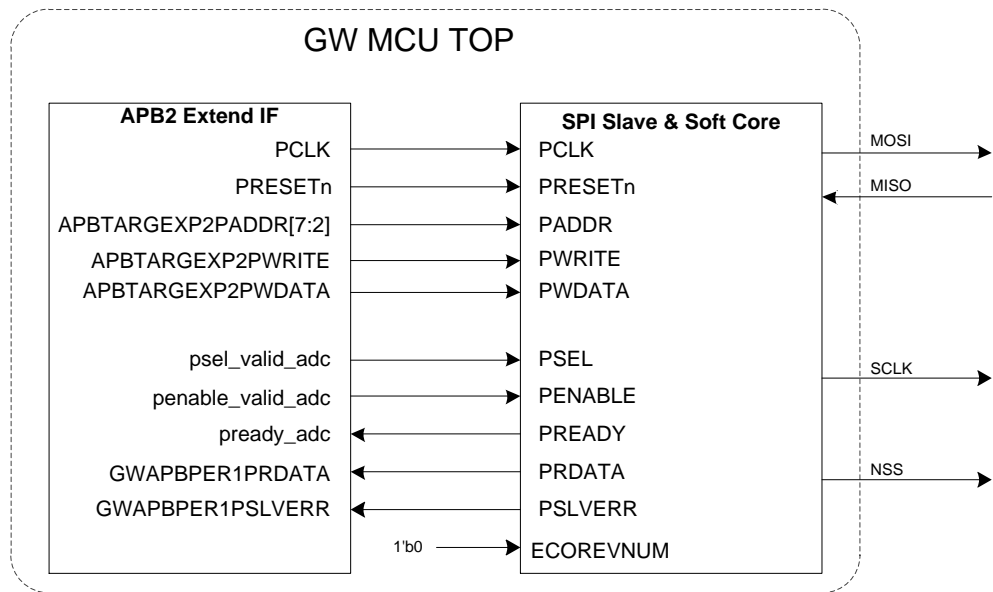


3.1.6 SPI 设计

SPI 包括 APB Slave、SPI 软核、SPI Controller 三个部分，其中 APB Slave 实现与 APB Master 的交互，SPI 软核实现 SPI Master，SPI Controller 实现 SPI 软核的控制。

SPI 控制器结构如图 3-7 所示。

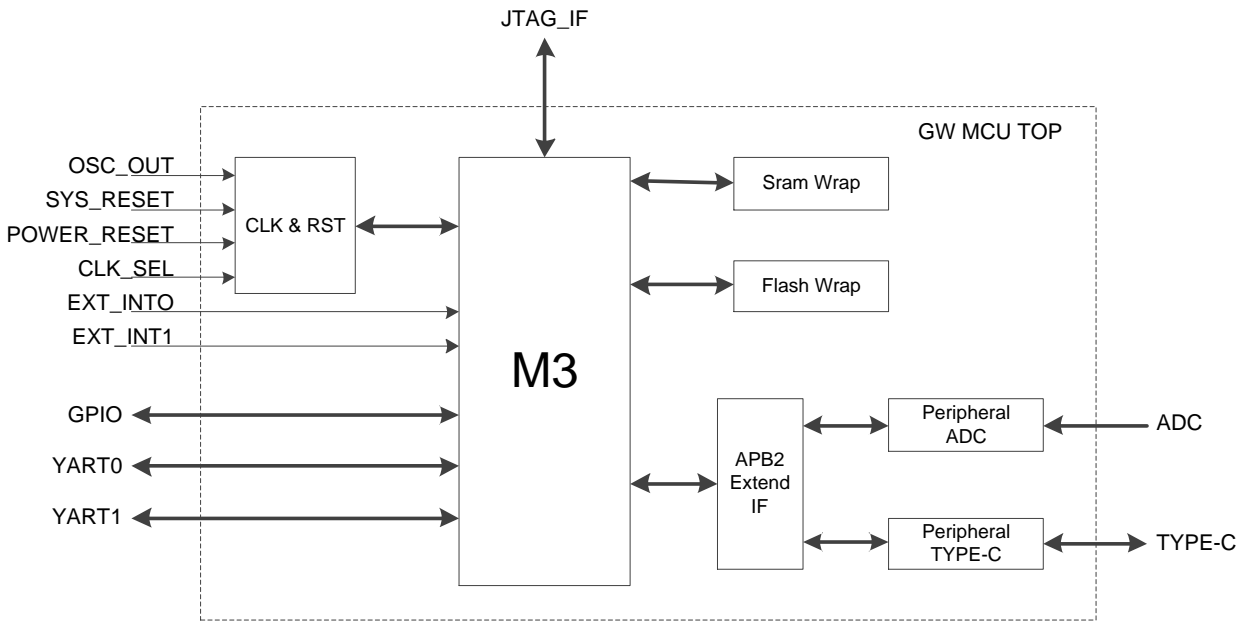
图 3-7 SPI 控制器结构



3.2 USB Type-C 软核设计

GW1NS-2C USB Type-C 软核设计以嵌入式微处理器为核心，以 USB Type-C 接口为应用场景，设计的嵌入式 USB Type-C 接口完整解决方案。该系统以 ARM Cortex-M3 内核为核心，利用 FPGA 构架资源，设计了时钟和复位系统、SRAM 控制器、Flash 控制器、扩展 APB2 总线桥接、ADC 控制器、USB Type-C 接口，实现了外部分中断、GPIO、UART、USB Type-C 和 ADC 等功能，结构如图 3-8 所示。

图 3-8 USB Type-C 软核设计结构



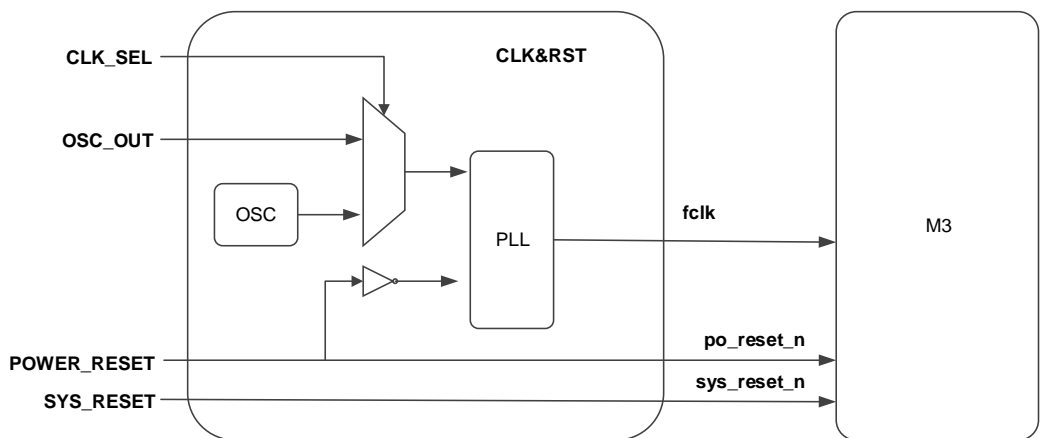
3.2.1 时钟和复位系统

GW1NS-2C 通过锁相环 PLL 产生 20MHz 时钟作为系统时钟，PLL 的输入时钟有两个来源，一是外部输入时钟 OSC_OUT，一是 FPGA 构架的 50MHz 振荡器 OSC，二者通过 CLK_SEL 选择。

GW1NS-2C 有两个复位信号，一是 POWER_RESET，即上电复位，一是 SYS_RESET，即系统复位。

时钟和复位系统结构如图 3-9 所示。

图 3-9 时钟和复位系统结构

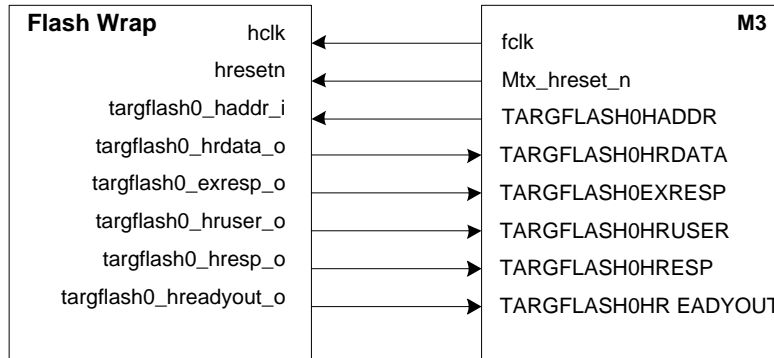


3.2.2 Flash 控制器

Flash 控制器中包括 AHB Slave、Flash Controller 两部分，其中 AHB Slave 实现与 AHB Master 的交互，Flash Controller 实现 Flash 硬核的读操作，实现 ARM Cortex-M3 内核通过 AHB 总线读取 Flash 数据和指令的过程。

Flash 控制器结构如图 3-10 所示。

图 3-10 Flash 控制器结构

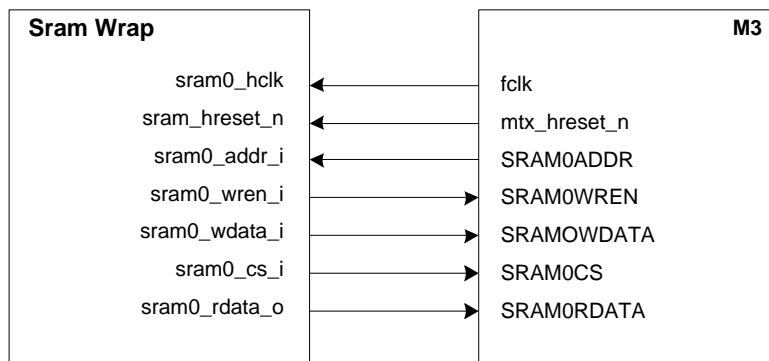


3.2.3 SRAM 控制器

SRAM 控制器包括 AHB Slave、FPGA 构架中 Block Ram Controller 两部分，其中 AHB Slave 实现与 AHB Master 的交互，Block Ram Controller 实现 Block Ram 的读写操作，使 FPGA 架构的 Block Ram 作为嵌入式微处理器系统的 SRAM。

SRAM 控制器结构如图 3-11 所示。

图 3-11 SRAM 控制器结构



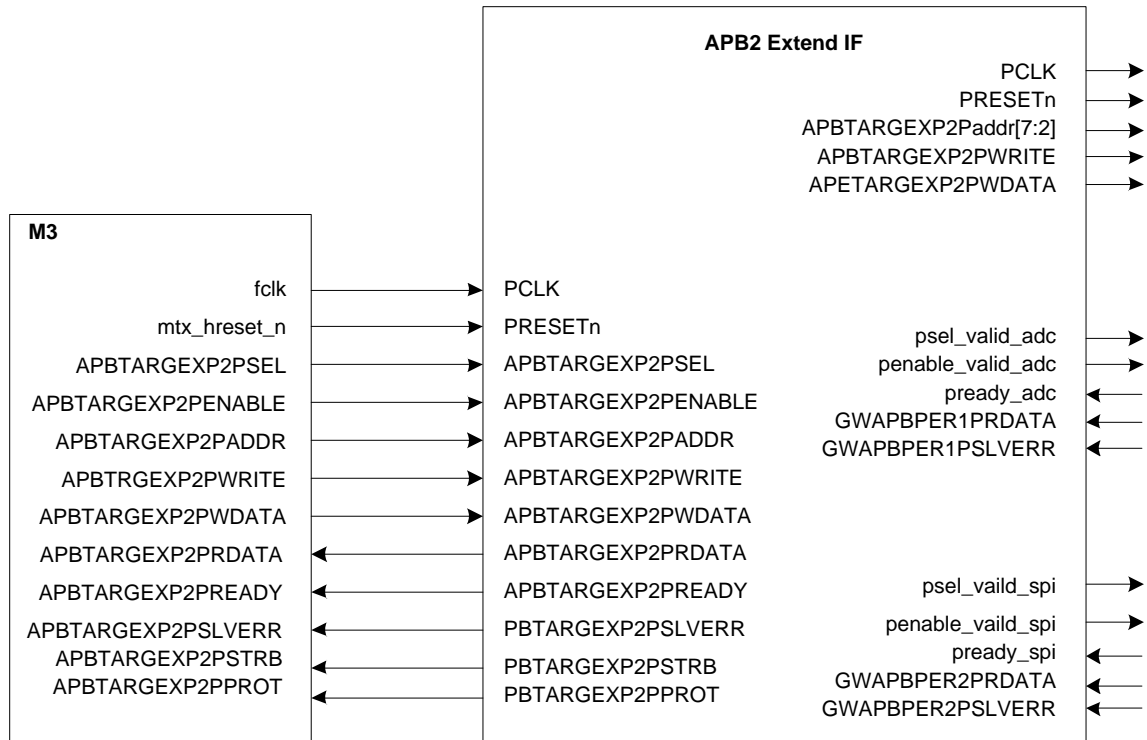
3.2.4 扩展 APB2 总线桥接

扩展 APB2 总线桥接包括 APB2 Slave Mux、APB2 Decoder 两部分，其中 APB2 Slave Mux 将 APB2 总线地址 16 等分，APB2 Decoder 解码等分

之后的 APB PSEL、PENABLE、PREADY 信号，实现将 ARM Cortex-M3 的 APB2 总线地址 16 等分来挂载不同标准 APB 外设。

扩展 APB2 总线桥接结构如图 3-12 所示。

图 3-12 扩展 APB2 总线桥接结构

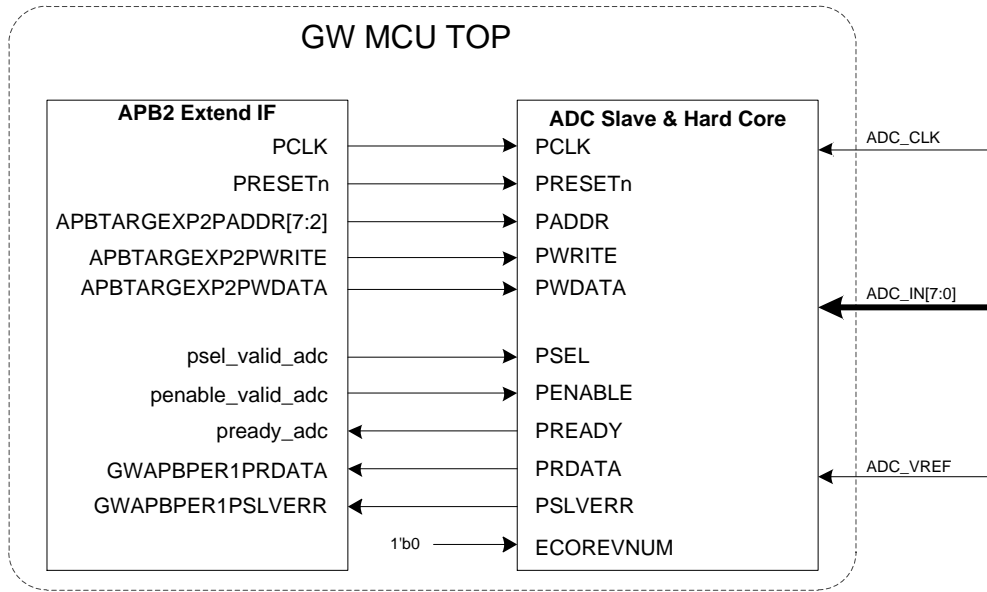


3.2.5 ADC 设计

ADC 设计包括 APB Slave、ADC Controller 两个部分，其中 APB Slave 实现与 APB Master 的交互，ADC Controller 实现对 ADC 硬核的控制。

ADC 控制器结构如图 3-13 所示。

图 3-13 ADC 控制器结构

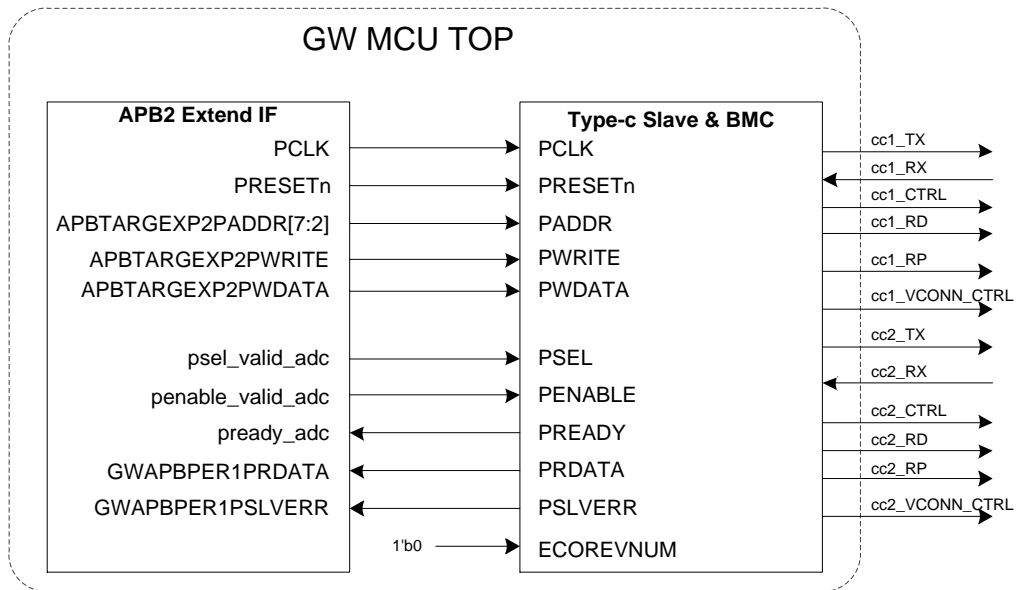


3.2.6 USB Type-C 设计

USB Type-C 包括 APB Slave、BMC Decoder/Encoder、APB 桥接 BMC 三个部分，其中 APB Slave 实现与 APB Master 的交互，BMC Decoder/Encoder 实现 USB Type-C PD 协议的 BMC 编解码，APB 桥接 BMC 实现 APB 与 BMC 的数据交换。

USB Type-C 控制器结构如图 3-14 所示。

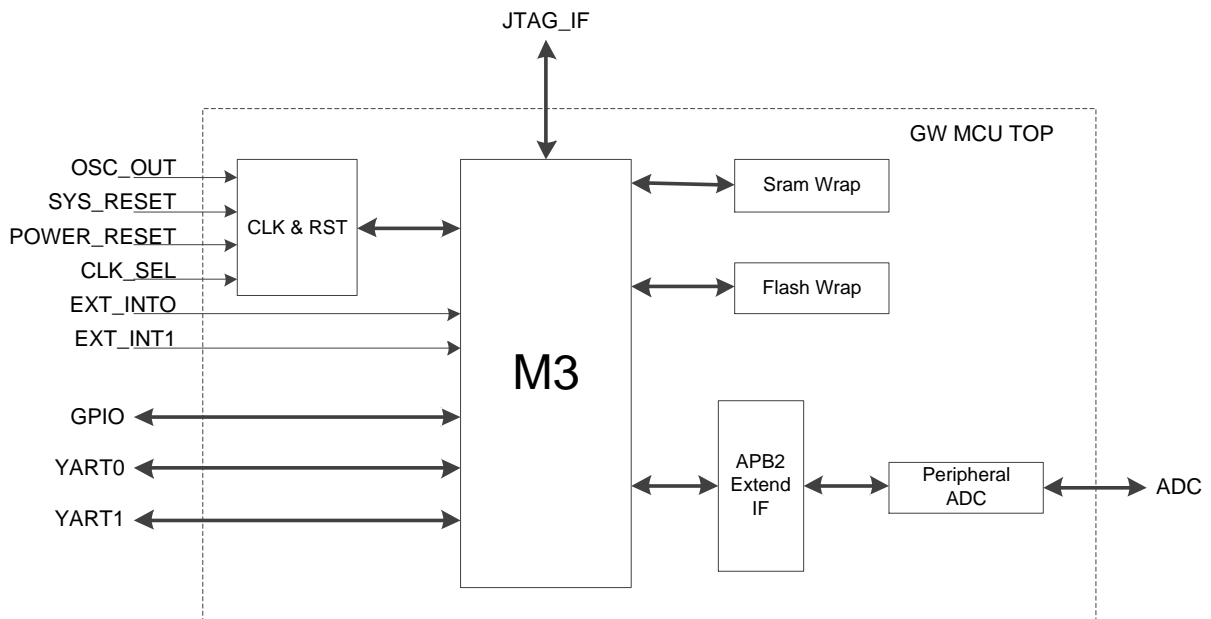
图 3-14 USB Type-C 结构



3.3 ADC/DAC 工业控制软核设计

GW1NS-2C ADC/DAC 工业控制软核设计以嵌入式微处理器为核心，以 ADC/DAC 工业控制为应用场景，设计的嵌入式 ADC/DAC 工业控制完整解决方案。该系统以 ARM Cortex-M3 内核为核心，利用 FPGA 构架资源，设计了时钟和复位系统、SRAM 控制器、Flash 控制器、扩展 APB2 总线桥接、ADC 控制器，实现了外部分中断、GPIO、UART 和 ADC 等功能，结构如图 3-15 所示。

图 3-15 ADC/DAC 工业控制软核设计结构



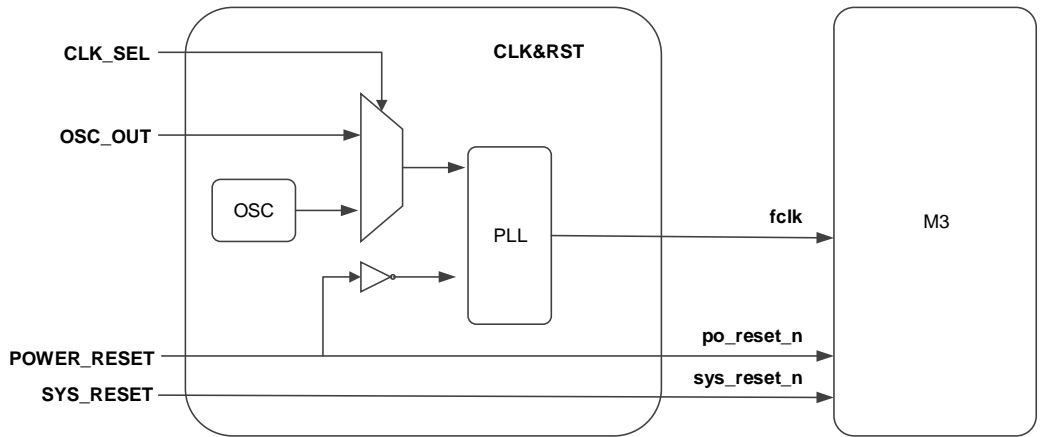
3.3.1 时钟和复位系统

GW1NS-2C 通过锁相环 PLL 产生 20MHz 时钟作为系统时钟，PLL 的输入时钟有两个来源，一是外部输入时钟 OSC_OUT，一是 FPGA 构架的 50MHz 振荡器 OSC，二者通过 CLK_SEL 选择。

GW1NS-2C 有两个复位信号，一是 POWER_RESET，即上电复位，一是 SYS_RESET，即系统复位。

时钟和复位系统结构如图 3-16 所示。

图 3-16 时钟和复位系统结构

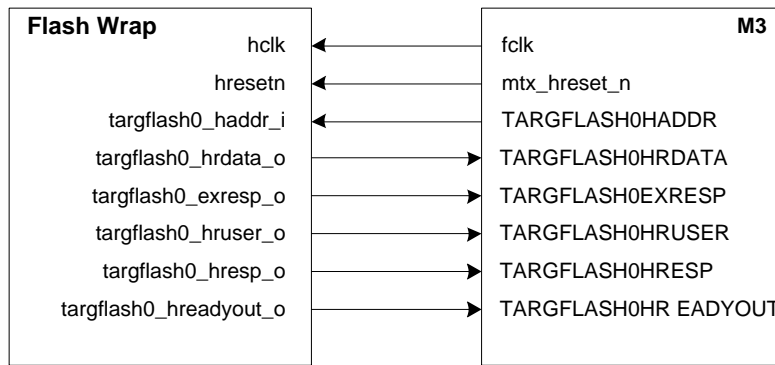


3.3.2 Flash 控制器

Flash 控制器中包括 AHB Slave、Flash Controller 两部分，其中 AHB Slave 实现与 AHB Master 的交互，Flash Controller 实现 Flash 硬核的读操作，实现 ARM Cortex-M3 内核通过 AHB 总线读取 Flash 数据和指令的过程。

Flash 控制器结构如图 3-17 所示。

图 3-17 Flash 控制器结构

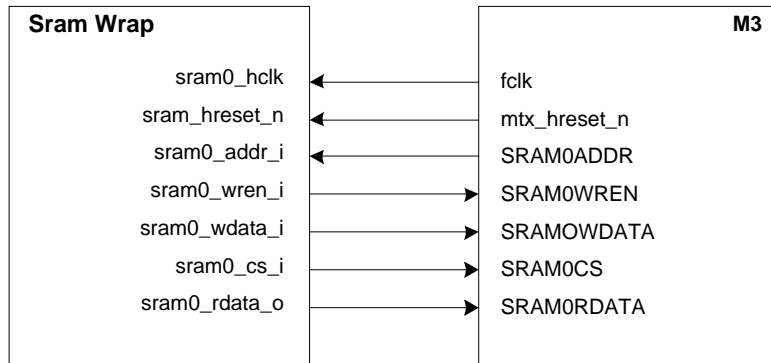


3.3.3 SRAM 控制器

SRAM 控制器包括 AHB Slave、FPGA 构架中 Block Ram Controller 两部分，其中 AHB Slave 实现与 AHB Master 的交互，Block Ram Controller 实现 Block Ram 的读写操作，使 FPGA 构架的 Block Ram 作为嵌入式微处理器系统的 SRAM。

SRAM 控制器结构如图 3-18 所示。

图 3-18 SRAM 控制器结构

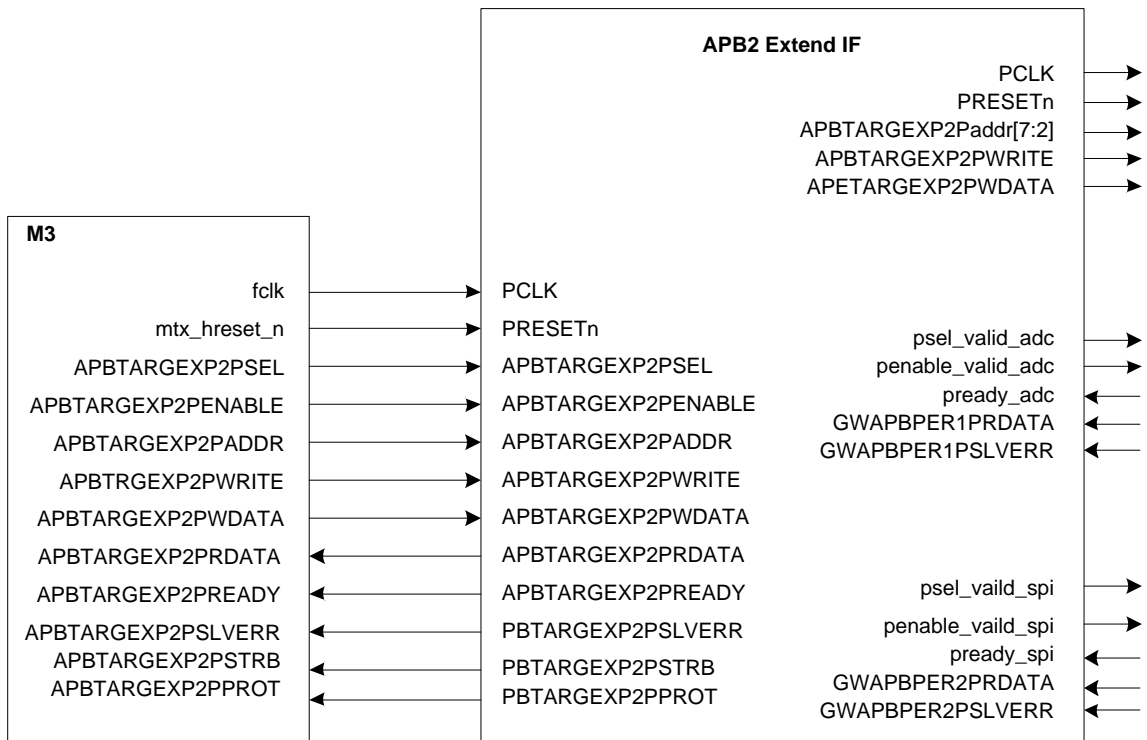


3.3.4 扩展 APB2 总线桥接

扩展 APB2 总线桥接包括 APB2 Slave Mux、APB2 Decoder 两部分，其中 APB2 Slave Mux 将 APB2 总线地址 16 等分，APB2 Decoder 解码等分之后的 APB PSEL、PENABLE、PREADY 信号，实现将 ARM Cortex-M3 的 APB2 总线地址 16 等分来挂载不同标准 APB 外设。

扩展 APB2 总线桥接结构如图 3-19 所示。

图 3-19 扩展 APB2 总线桥接结构



3.3.5 ADC 设计

ADC 设计包括 APB Slave、ADC Controller 两个部分，其中 APB Slave 实现与 APB Master 的交互，ADC Controller 实现对 ADC 硬核的控制。

ADC 控制器结构如图 3-20 所示。

图 3-20 ADC 控制器结构

