



Gowin RiscV N25

发布说明

RN528-1.0, 2019-01-17

版权所有 © 2019 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2019/01/17	1.0	1. IP Core Generator 支持 RiscV N25; 2. RiscV N25 参考设计发布。

目录

目录	i
1 关于发布	1
2 概述	2
3 文档	3
4 IP 支持	4

1 关于发布

本次发布 RiscV N25 支持 IP Core Generator 编译生成 RiscV N25 软核。

RiscV N25 参考设计可在高云官网下载，参考设计已配置一例特定参数，支持加插用户设计后的综合，布局布线，支持用户重新配置 IP，该参考设计在一定程度上可以自动配合重新配置后的 IP。如需仿真，请将 C bin 二进制程序写入到一个 SPI Flash model 并挂接到系统的 SPI1 通道上，MCU 启动地址为 2MB 地址处。

2 概述

高云 RiscV N25 IP 应用于嵌入式设计领域，支持最小系统的 CPU 核，支持最大系统的高性能 SOC。RiscV N25 提供了可配置的高速指令存储器系统，可配置的高速数据存储器系统，可配置的灵活中断系统，可配置的直接存储器访问系统，可配置的系统管理单元，可配置的系统时钟、实时时钟，以及可配置的 GPIO、SPI、UART 等串行总线控制器系统。

表 2-1 RiscV N25 概览

RiscV N25	
IP 核应用	
芯片支持	GW1N、GW1NR 系列 GW2A、GW2AR 系列
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	---
测试设计流程	
综合软件	Synplify_Pro
应用软件	GowinYunYuan

3 文档

本次软件发布文档包含 RiscV N25 使用手册文档列表如下：

文档	使用
Gowin RiscV N25 User Manual.pdf	PDF

4 IP 支持

因用户设计及最高频率要求各异，故参考设计未带与之相关的 FPGA 特定位置（.cst）与时序约束（.sdc）等文档，用户可按需自行确定。

仅提供一份专门为 DK-START-GW2A18 V2.0 试用板设定的管脚约束文件，用户可在此基础上设计实际工程所需的管脚约束文件。

请留意各参考设计中 readme.txt 说明文档。

如需定制化的 IP 设计与支持，请联系高云销售与支持热线。

电话：+86-755-8262-0391

电邮：support@gowinsemi.com

官网：www.gowinsemi.com.cn

