



Gowin I3C DDR eXtension 发布说明

RN524-1.0, 2018-08-30

版权所有 © 2018 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2018/08/30	1.0	<ul style="list-style-type: none">● IP Core Generator 支持 I3C DDR eXtension;● I3C DDR eXtension 参考设计发布。

目录

目录	i
1 关于发布	1
2 概述	2
3 文档	3
4 IP 支持	4

1 关于发布

本次发布 I3C DDR eXtension 支持 IP Core Generator 编译生成 I3C DDR 软核。

I3C DDR eXtension 参考设计可在高云官网下载，参考设计已配置一例特定参数，可用于仿真，实例化加插用户设计后的综合，布局布线。

2 概述

高云 I3C DDR eXtension IP 应用于串行通讯接口和串行传感器接口中，用于接收或发送数据。I3C DDR eXtension 提供了带有同步 SRAM 接口的 I3C 总线通讯控制器。

表 2-1 I3C DDR eXtension 概览

I3C DDR eXtension	
IP 核应用	
芯片支持	GW1N、GW1NR 系列 GW2A、GW2AR 系列
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	Synplify_Pro
应用软件	GowinYunYuan

3 文档

本次软件发布文档包含 I3C DDR eXtension 用户指南，如下表所示：

文档	使用
Gowin I3C DDR eXtension 用户指南.pdf	PDF

4 IP 支持

因用户设计及最高频率要求各异，故参考设计未带与之相关的 FPGA 特定位置（.cst）与时序约束（.sdc）等文档，用户可按需自行确定。

如需定制化的 IP 设计与支持，请联系高云销售与支持热线。

电话：+86-755-8262-0391

电邮：support@gowinsemi.com

官网：<http://www.gowinsemi.com.cn/>

