



# Gowin 云源软件 用户指南

SUG100-2.3, 2020-05-13

## **版权所有© 2020 广东高云半导体科技股份有限公司**

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

日期	版本	说明
2019/11/08	2.0	<ul style="list-style-type: none"><li>● 添加 Options 窗口的 Synplify Pro 配置选项说明;</li><li>● 更新 SynplifyPro 属性及指示的取值说明。</li></ul>
2019/11/28	2.1	<ul style="list-style-type: none"><li>● Place&amp;Route 新增 General 配置项: Promote Physical Constraint Warning to Error、Report Auto-Placed IO Information、Place Option、Route Option;</li><li>● Hierarchy 层级显示窗口增加资源信息显示;</li><li>● Process 窗口的 Netlist 文件支持查找所有匹配项;</li><li>● IDE 自带编辑器支持添加/删除注释功能。</li></ul>
2020/03/09	2.2	<ul style="list-style-type: none"><li>● Hierarchy 窗口支持解析 VHDL 文件;</li><li>● GowinSynthesis 支持 VHDL 及 Verilog 与 VHDL 混合语言的综合;</li><li>● 新增工程文件未保存时执行综合或 PnR 流程弹出提示的功能;</li><li>● 添加信息输出窗口中使用 tcl 命令的介绍;</li><li>● 添加 Synthesize 和 PnR 配置选项的解释说明;</li><li>● 添加 User Flash 初始化文件编辑器的使用介绍。</li></ul>
2020/05/13	2.3	<ul style="list-style-type: none"><li>● 新增 Unused Pin 配置功能;</li><li>● Hierarchy 窗口新增文件加密功能。</li></ul>

# 目录

目录 .....	<b>i</b>
图目录.....	<b>iv</b>
表目录.....	<b>vi</b>
<b>1 关于本手册.....</b>	<b>1</b>
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语 .....	1
1.4 技术支持与反馈.....	2
<b>2 云源软件概述 .....</b>	<b>3</b>
2.1 简介 .....	3
2.2 芯片支持.....	4
<b>3 云源软件用户界面 .....</b>	<b>5</b>
3.1 标题栏 .....	6
3.2 菜单栏 .....	6
3.2.1 File 菜单栏 .....	6
3.2.2 Edit 菜单栏.....	6
3.2.3 Project 菜单栏.....	6
3.2.4 Tools 菜单栏 .....	7
3.2.5 Window 菜单栏 .....	7
3.2.6 Help 菜单栏 .....	7
3.3 工具栏 .....	7
3.4 工程管理区（Design 窗口） .....	8
3.5 过程管理区（Process 窗口） .....	8
3.6 设计层级显示区（Hierarchy 窗口） .....	8
3.7 源文件编辑区 .....	12
3.8 信息输出区 .....	13
<b>4 云源软件使用 .....</b>	<b>15</b>
4.1 新建工程.....	15
4.2 打开工程.....	17

4.3 编辑工程.....	19
4.3.1 修改工程 Device .....	19
4.3.2 编辑工程文件 .....	20
4.3.3 修改工程配置 .....	26
4.4 管理工程.....	36
4.4.1 Design Summary.....	37
4.4.2 User Constraints.....	38
4.4.3 Synthesize.....	38
4.4.4 Place & Route .....	40
4.4.5 Program Device.....	41
4.5 工程打包及恢复.....	42
4.5.1 工程打包 .....	42
4.5.2 恢复被打包工程 .....	43
4.6 退出软件.....	43
<b>5 云源软件集成工具 .....</b>	<b>44</b>
5.1 Synplify Pro.....	44
5.2 FloorPlanner .....	44
5.3 时序约束编辑器.....	46
5.4 IP Core 产生器 .....	46
5.5 在线逻辑分析仪.....	47
5.6 功耗分析工具 .....	48
5.7 块存储器初始化文件编辑器.....	49
5.7.1 二进制格式 (Bin File) .....	51
5.7.2 十六进制格式 (Hex File) .....	52
5.7.3 带地址十六进制格式 (Address-Hex File) .....	52
5.8 User Flash 初始化文件编辑器.....	53
5.8.1 二进制格式 (Bin File) .....	53
5.8.2 十六进制格式 (Hex File) .....	54
<b>6 云源软件输出文件介绍.....</b>	<b>57</b>
6.1 综合报告.....	57
6.1.1 Synplify Pro 综合报告 .....	57
6.1.2 GowinSynthesis 综合报告 .....	58
6.2 布局布线报告 .....	59
6.3 端口属性报告 .....	60
6.4 时序报告.....	61
6.5 功耗分析报告 .....	62
<b>附录 A Tcl 命令说明 .....</b>	<b>64</b>
A.1 启动命令行模式 .....	64
A.1.1 gw_sh.exe.....	64
A.2 命令介绍 .....	64

---

A.2.1 add_file .....	64
A.2.2 rm_file .....	65
A.2.3 set_device.....	65
A.2.4 set_file_prop .....	66
A.2.5 run.....	66
A.2.6 set_file_enable.....	66
A.2.7 saveto.....	66
A.2.8 set_option .....	67

# 图目录

图 2-1 Gowin 云源软件界面图 .....	4
图 3-1 软件用户界面 .....	5
图 3-2 Hierarchy 窗口右键列表显示 .....	9
图 3-3 Hierarchy 窗口资源信息显示 .....	10
图 3-4 Pack User Design 窗口 .....	10
图 3-5 Pack User Design 窗口打印信息 .....	11
图 3-6 Pack User Design 窗口提取错误信息 .....	11
图 3-7 Find & Replace 窗口 .....	12
图 3-8 Search Result 窗口 .....	13
图 3-9 信息输出界面 .....	13
图 3-10 tcl 编辑窗口 .....	14
图 4-1 新建工程 .....	15
图 4-2 新建工程向导 .....	16
图 4-3 设置 FPGA 芯片型号 .....	17
图 4-4 工程信息 .....	17
图 4-5 打开工程 .....	18
图 4-6 工程文件窗口 .....	19
图 4-7 工程配置 Device 信息 .....	20
图 4-8 右键菜单 .....	20
图 4-9 新建文件界面 .....	21
图 4-10 新建 Verilog File 界面 .....	21
图 4-11 新建配置文件界面 .....	22
图 4-12 GPA 配置文件 .....	22
图 4-13 Design 窗口右键菜单 .....	23
图 4-14 工程文件编辑菜单 .....	23
图 4-15 外部编辑器 .....	24
图 4-16 工程文件属性 .....	25
图 4-17 选中多个同类型文件右键框图 .....	25
图 4-18 选中多个不同类型文件右键框图 .....	26

图 4-19 Save Modified Files 提示框 .....	26
图 4-20 工程配置页面 .....	27
图 4-21 Synplify Pro 参数配置项 .....	28
图 4-22 GowinSynthesis 参数配置项 .....	29
图 4-23 配置布局布线属性 .....	30
图 4-24 Unused Pin 属性配置 .....	31
图 4-25 配置复用管脚属性 .....	32
图 4-26 配置比特流文件属性 .....	33
图 4-27 工程 Process 窗口 .....	37
图 4-28 工程信息显示 .....	37
图 4-29 右键单击 Synthesize .....	40
图 4-30 Programmer 界面 .....	41
图 4-31 工程打包界面 .....	42
图 4-32 恢复打包工程界面 .....	43
图 5-1 Chip Array 窗口 .....	45
图 5-2 Package View 窗口 .....	45
图 5-3 创建时序约束界面 .....	46
图 5-4 IP Core Generator 界面 .....	47
图 5-5 GAO 配置界面 .....	48
图 5-6 GAO 界面 .....	48
图 5-7 GPA 配置界面 .....	49
图 5-8 初始化文件新建 New 提示框 .....	50
图 5-9 初始化文件新建 New File 提示框 .....	51
图 5-10 初始化文件配置界面 .....	51
图 5-11 列数配置 .....	51
图 5-12 批量设置 .....	51
图 5-13 初始化文件新建 New 提示框 .....	55
图 5-14 初始化文件新建 New File 提示框 .....	55
图 5-15 初始化文件配置界面 .....	55
图 5-16 批量设置 .....	56
图 6-1 Synplify Pro 综合报告 .....	58
图 6-2 GowinSynthesis 综合报告 .....	59
图 6-3 Place & Route Report .....	60
图 6-4 Ports & Pins Report .....	61
图 6-5 时序报告内容 .....	62
图 6-6 功耗分析报告 .....	63



# 表目录

表 1-1 术语、缩略语 .....	2
表 3-1 常见的 Warning 和 Error 信息 .....	14
表 4-1 配置属性含义描述 .....	27
表 4-2 Loading Rate 值及计算方式 (一) .....	34
表 4-3 Loading Rate 值及计算方式 (二) .....	35

# 1 关于本手册

## 1.1 手册内容

本手册主要描述高云半导体云源软件(Gowin 云源软件)的安装及操作,旨在帮助用户快速熟悉 Gowin 云源软件的使用流程,提高设计效率。本手册中的软件界面截图和支持的产品列表等信息均参考 1.9.6Beta 版本,因软件版本升级,部分信息可能会略有差异,具体以用户软件版本的信息为准。

## 1.2 相关文档

通过登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可下载、查看以下相关文档:

1. [DS100](#), GW1N 系列 FPGA 产品数据手册
2. [DS117](#), GW1NR 系列 FPGA 产品数据手册
3. [DS821](#), GW1NS 系列 FPGA 产品数据手册
4. [DS102](#), GW2A 系列 FPGA 产品数据手册
5. [DS226](#), GW2AR 系列 FPGA 产品数据手册
6. [DS841](#), GW1NZ 系列 FPGA 产品数据手册
7. [DS861](#), GW1NSR 系列 FPGA 产品数据手册
8. [DS871](#), GW1NSE 系列安全 FPGA 产品数据手册
9. [DS891](#), GW1NRF 系列蓝牙 FPGA 产品数据手册
10. [SUG940](#), Gowin 设计时序约束指南
11. [SUG935](#), Gowin 设计物理约束指南
12. [SUG113](#), Gowin 器件设计优化与分析手册
13. [SUG114](#), Gowin 在线逻辑分析仪用户指南
14. [SUG282](#), Gowin 功耗分析工具用户指南
15. [SUG284](#), Gowin IP 核产生工具用户指南

## 1.3 术语、缩略语

本手册中的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
CRC	Cyclic Redundancy Check	循环冗余校验
FPGA	Field Programmable Gate Array	现场可编程门阵列
GowinSynthesis	GowinSynthesis	高云半导体综合工具
IP Core	Intellectual Property Core	知识产权核
PnR	Place & Route	布局布线
GAO	Gowin Analyzer Oscilloscope	在线逻辑分析仪
GPA	Gowin Power Analyzer	功耗分析工具

## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 云源软件概述

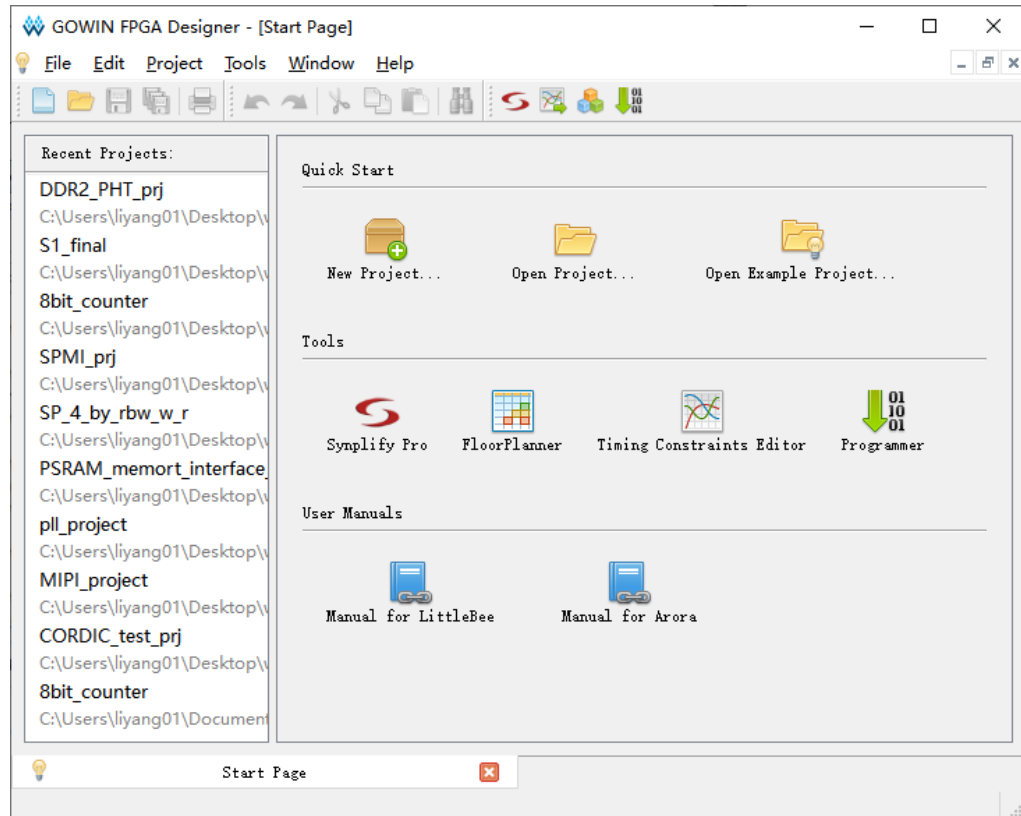
## 2.1 简介

Gowin 云源软件是专为高云 FPGA 芯片配套的集成电路设计与实现工具，是基于 GUI 的完整 FPGA 设计和验证环境。云源软件针对高云 FPGA 芯片构架的低功耗、低成本特点进行了全面的优化设计，覆盖了从 HDL 电路功能描述到 FPGA 位流 (bitstream) 下载整个过程所需的设计工具，包括优化设计、自动设计、图形交互设计等功能，具有功能丰富、性能优越、易使用等特点。

Gowin 云源软件支持高云 FPGA 芯片的所有功能，具有专为高云器件而优化的设计流程。内嵌 Synopsys 的 Synplify Pro 综合工具，支持高性能的逻辑设计和综合。云源软件支持自动设计和交互式图形设计并用，可分阶段完成，也可全流程自动完成。软件支持 VHDL、Verilog 及 system verilog 等硬件描述语言，支持资源分析和优化，支持分层线网结构输入和输出以及扁平化线网结构输入和输出。软件具有独创的快速、高性能算法的布局和布线系统，提供了时序约束、物理约束以及功耗管理等交互式图形设计环境，可对设计约束进行输入、选择和更新，产生精确的时序分析报告和功耗分析报告。

为了满足用户的不同需求，可选择命令行模式或图形交互模式完成设计。利用脚本设计，可灵活地设计任何单一模块而不影响一体化设计过程。此外，Gowin 云源软件集成了 IP 核生成器，帮助用户快捷地实现复杂设计；集成了在线 debug 工具在线逻辑分析仪 GAO (Gowin Analysis Oscilloscope)，便于用户快速定位分析设计信号问题。软件支持 Linux 和 Windows 平台，用户界面简单清晰，可快速启动高云半导体 FPGA 下载工具将位流文件下载到芯片，实现用户设计所需的功能，是一套完整的 EDA 软件工具链。Gowin 云源软件界面图如图 2-1 所示。

图 2-1 Gowin 云源软件界面



## 2.2 芯片支持

Gowin 云源软件目前支持小蜜蜂系列芯片和晨曦系列芯片，具体的芯片类型、芯片主要资源及封装方式等详见高云官方网站介绍。

- 小蜜蜂系列芯片：[www.gowinsemi.com.cn/prod\\_view.aspx](http://www.gowinsemi.com.cn/prod_view.aspx)
- 晨曦系列芯片：[www.gowinsemi.com.cn/prod\\_view.aspx](http://www.gowinsemi.com.cn/prod_view.aspx)

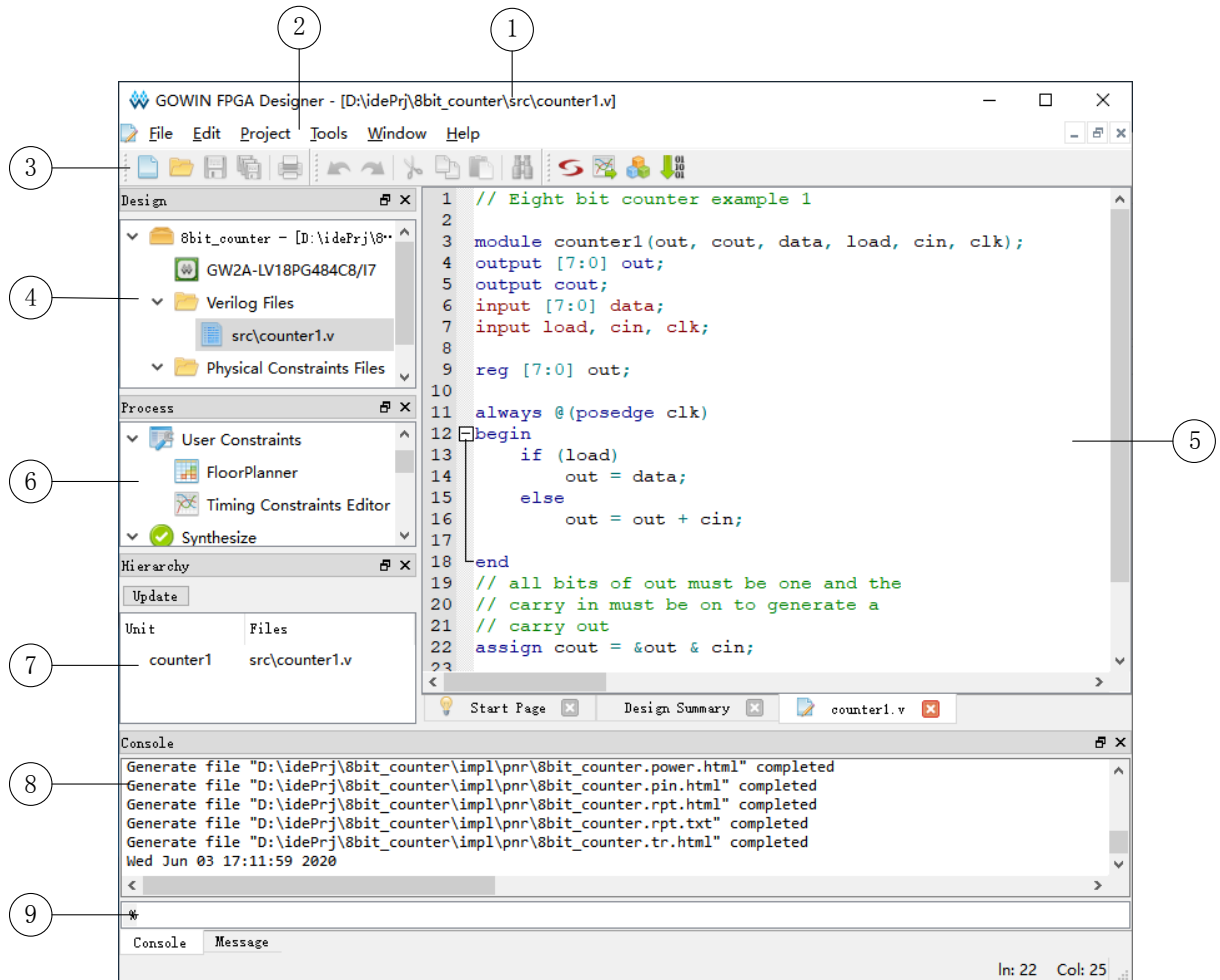
注！

软件版本不同，支持的芯片可能会略有差异，具体信息请参考所使用的软件版本。

# 3 云源软件用户界面

云源软件用户界面图 3-1 所示，主要分为标题栏、菜单栏、工具栏、工程管理区（Design 窗口）、过程管理区（Process 窗口）、源文件编辑区、设计层级显示区、信息输出区（Output）和 TCL 命令编辑区。

图 3-1 软件用户界面



① 标题栏

② 菜单栏

③ 工具栏

④ 工程管理区

- ⑤ 源文件编辑区
- ⑥ 过程管理区
- ⑦ 设计层级显示区
- ⑧ 信息输出区
- ⑨ TCL 命令编辑区

## 3.1 标题栏

主要显示当前工程的路径、名称及当前打开的文件名称。

## 3.2 菜单栏

主要提供一些常用菜单以及工程所需的启动工具,包括 File、Edit、Project、Tools、Window 和 Help 选项,详情如下:

### 3.2.1 File 菜单栏

- New: 新建文件和工程
- Open: 打开文件和工程
- Save: 保存工程中的文件
- Save As...: 文件另存为
- Save All: 保存所有文件
- Close: 关闭工程或者工程中的文件、页面
- Close All: 关闭所有文件、页面
- Close Project: 关闭当前工程
- Print Preview: 打印预览
- Recent Files: 最近打开的文件,可以重新进行打开
- Recent Projects: 最近打开过的工程,可以重新选择打开
- Exit: 软件退出

### 3.2.2 Edit 菜单栏

- Undo: 撤销
- Redo: 重做
- Cut: 剪切
- Copy: 复制
- Paste: 粘贴;
- Select All: 选择全部
- Find: 查找替换关键词
- Toggle Comment Selection: 对所选内容添加注释
- Macros: 宏

### 3.2.3 Project 菜单栏

- Archive Project: 工程打包

- Restore Archived Project: 恢复被打包的工程
- Set Device: 设置当前工程的 device
- Configuration: 打开配置界面
- Design Summary: 在显示当前工程的具体信息

### 3.2.4 Tools 菜单栏

- Start Page: 开始页
- Synplify Pro: 前端综合软件
- Gowin Analyzer Oscilloscope: 高云在线逻辑分析仪
- IP Core Generator: IP Core 产生器
- Programmer: FPGA 编程器
- FloorPlanner: FloorPlanner
- Timing Constraints Editor: 时序约束编辑器
- Options: 用户可在此处设置 IDE 参数、配置外部文本编辑器及设置 synplify Pro 软件路径。

注!

Options 窗口的 Synplify Pro 选项，若选择的是 Custom，使用本地自定义的 SynplifyPro，即使更新软件也会使用本地自定义的；若选择的是 Default，使用当前软件路径下的 SynplifyPro。

### 3.2.5 Window 菜单栏

- Full Screen: 全屏显示
- Tile: 平铺显示
- Cascade: 覆盖显示
- Reset Layout: 恢复初始设置；
- Panels: 对界面中各区域显示模块的选择；
- Start Page: 在源文件编辑区显示 Start Page；
- Design Summary: 在源文件编辑区显示 Design Page。

### 3.2.6 Help 菜单栏











- View Help: 查看帮助文档
- Contact Us: 联系我们
- Manage License: 许可证管理
- About: 软件版本信息

## 3.3 工具栏

提供一些常用功能的快速访问入口，按钮从左至右依次为：

- “”：新建文件或工程（New File or Project）



- “”：打开文件或工程 (Open File or Project)
- “”：保存文件 (Save)
- “”：保存所有文件 (Save All)
- “”：打印 (Print)
- “”：撤销 (Undo)
- “”：重做 (Redo)
- “”：剪切 (Cut)
- “”：复制 (Copy)
- “”：粘贴 (Paste)
- “”：查找 (Find)
- “”：Synplify Pro
- “”：Gowin Analyzer Oscilloscope
- “”：IP Core Generator
- “”：Programmer

### 3.4 工程管理区 (Design 窗口)

提供工程及其相关文件的管理和显示功能，显示或更改工程所用器件信息、用户设计文件、用户设计约束文件以及配置文件等。

### 3.5 过程管理区 (Process 窗口)

提供用户 FPGA 设计流程，包括综合 (Synthesize)、布局布线 (Place & Route) 以及下载比特流文件 (Program Device)，同时可双击打开时序约束和物理约束工具进行约束文件编辑。

### 3.6 设计层级显示区 (Hierarchy 窗口)

加载设计文件后，软件会先对设计文件进行解析，Hierarchy 窗口会显示当前工程的设计层级关系。Unit 列显示设计文件的 module 层级结构，Files 列显示 module 定义所在的文件。目前 Hierarchy 已支持对 Verilog 语言、VHDL 语言以及 System Verilog 语言的解析。Hierarchy 窗口中 module 处的右键列表中目前已支持的功能：

- Goto Module Instantiation: 跳转到该 module 在源文件中的实例化位置，用高云软件自带的编辑器打开；
- Goto Module Instantiation With...: 跳转到该 module 在源文件中的实例化位置，用第三方编辑器打开；
- Goto Module Definition: 跳转到该 module 在源文件中的定义位置，用高云软件自带的编辑器打开；

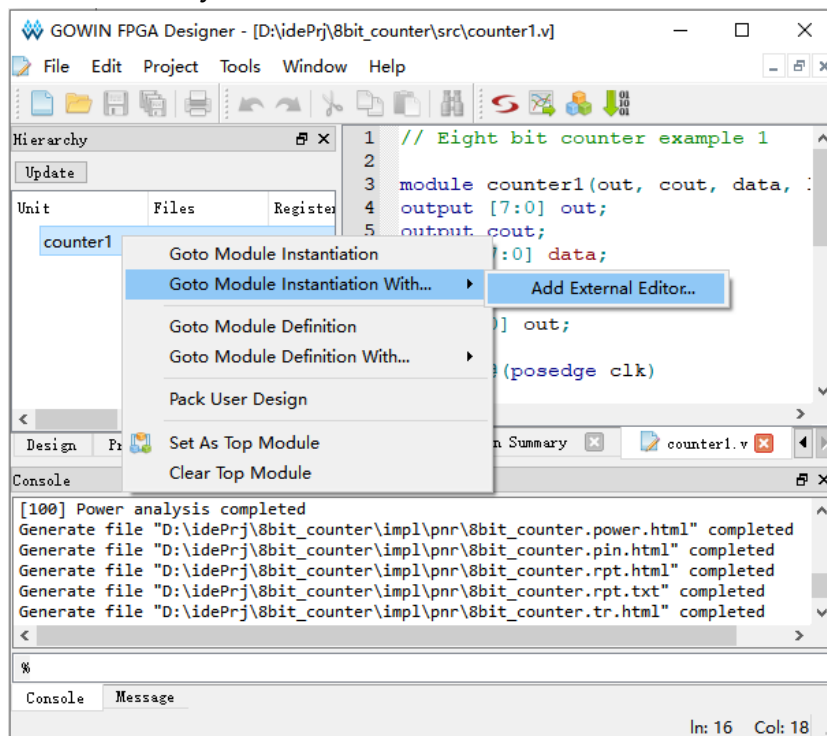
- **Goto Module Definition With...**: 跳转到该 module 在源文件中的定义位置，用第三方编辑器打开；
- **Pack User Design**: 打开文件加密窗口，可对该 module 及其子 module 进行加密；
- **Set As Top Module**: 将该 module 设为 top module；
- **Clear Top Module**: 清除该 module 的 top module 设置；

如果对工程文件进行 hierarchy 解析时存在 error 信息，在 Hierarchy 窗口右上方会显示红色字体标识的 Error 提示。

通过 Hierarchy 窗口可以定位某个 module 的定义以及实例化在设计文件中的位置，还可以将某个 module 设为 top module。

- 单击某个 module 后点击右键弹出右键菜单，可以通过右键菜单中的“Goto Module Instantiation”和“Goto Module Definition”定位 module 定义和 module 实例化在设计文件中的位置。
- 定位 module 在设计文件中的位置时，可以用默认的软件文本编辑器打开，也可以用第三方的编辑器打开。在向右的列表中提供已设置的第三方编辑器和“Add External Editor”，如图 3-2 所示。如果选择“Add External Editor”，则弹出“External Editor”的 Options 配置界面。
- 每个 module 都支持右键选择“Set As Top Module”，被设置为 top 的 module 会添加标记“🏠”表明当前 module 是 top module，且原有的 hierarchy 层级结构不变。

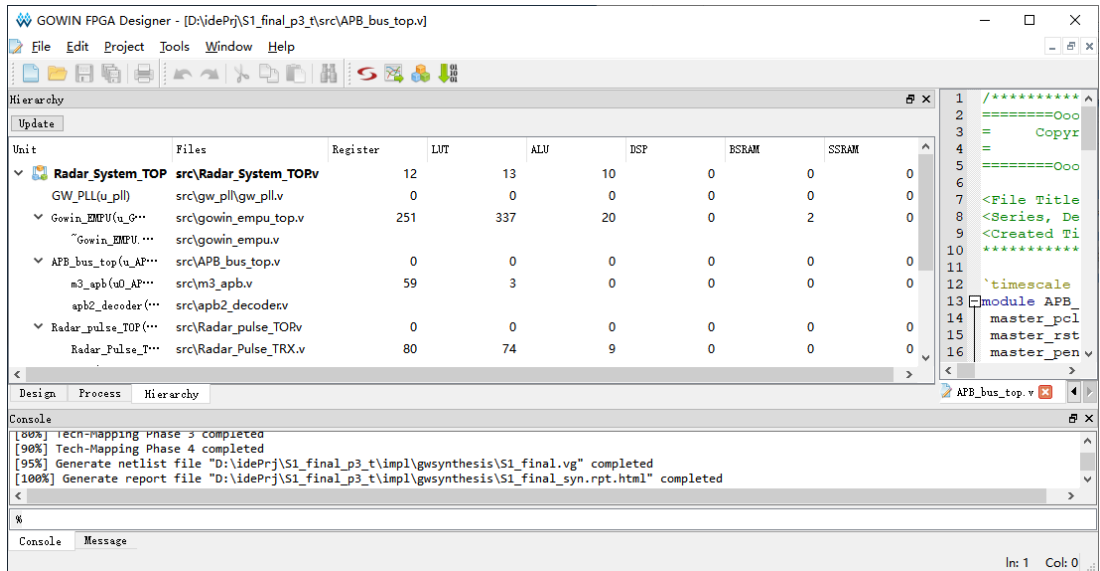
图 3-2 Hierarchy 窗口右键列表显示



综合完成后 Hierarchy 窗口会自动显示当前工程设计中的资源信息，如图 3-3 所示。如果设计中 module 的定义为加密模块，则不会显示它的资源信息，

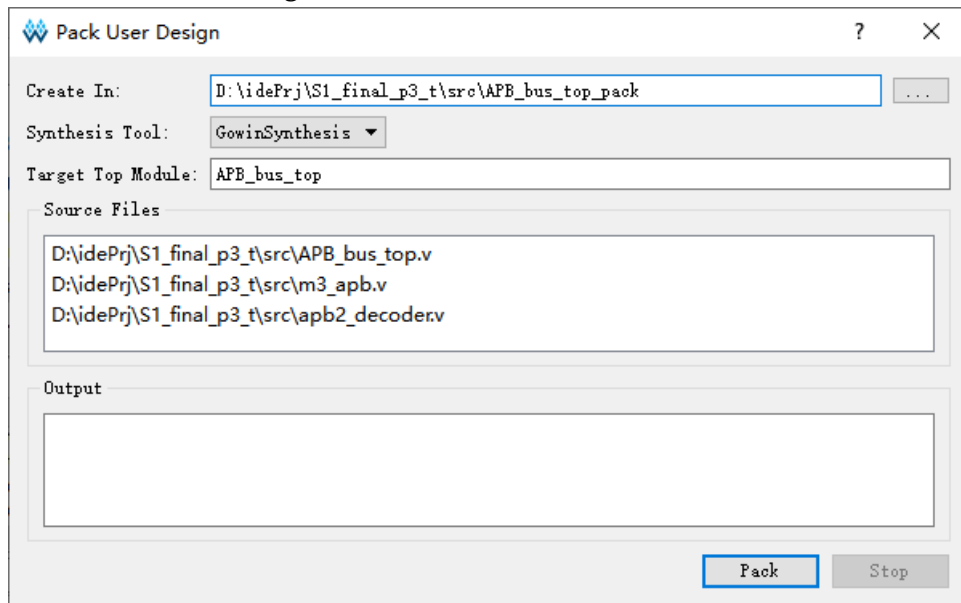
该加密模块的资源信息会被统计到其上层模块中。

图 3-3 Hierarchy 窗口资源信息显示



在打开工程的情况下，可以通过 Hierarchy 窗口对所选 top module 及其 sub module 所在的源文件生成综合后的加密文件。在 Hierarchy 窗口中右键单击所要加密的 module，选择右键列表中的“Pack User Design”，打开文件加密窗口，如图 3-4 所示。

图 3-4 Pack User Design 窗口



Pack User Design 窗口各项配置含义如下：

- Create In: 生成加密文件的目标路径，默认为工程路径 \src<topmodule\_name>\_pack;
- Synthesis Tool: 选择综合工具，下拉列表支持 GowinSynthesis 和 Synplify\_pro，默认选择 GowinSynthesis;

- **Target Top Module:** 想要进行加密的 top module。默认为在 Hierarchy 窗口选择的 module，允许用户进行修改；
- **Source Files:** 列出 Hierarchy 窗口选择的 module 及其 sub module 所在的源文件；
- **Output 窗口:** 执行信息窗口；
- **Pack 按钮:** 执行加密；
- **Stop:** 终止 pack 流程。

开始加密及加密成功后会在 Output 窗口打印相关信息，如图 3-5 所示。开始加密后，进行加密时如果有 error 信息，会把 error 信息显示到 Output 窗口，同时会打印加密失败的信息，如图 3-6 所示。

图 3-5 Pack User Design 窗口打印信息

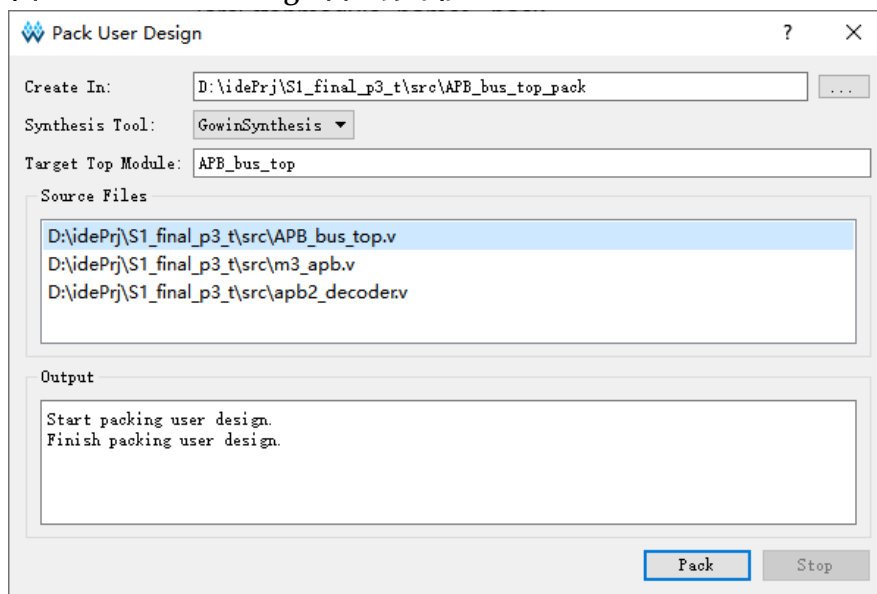
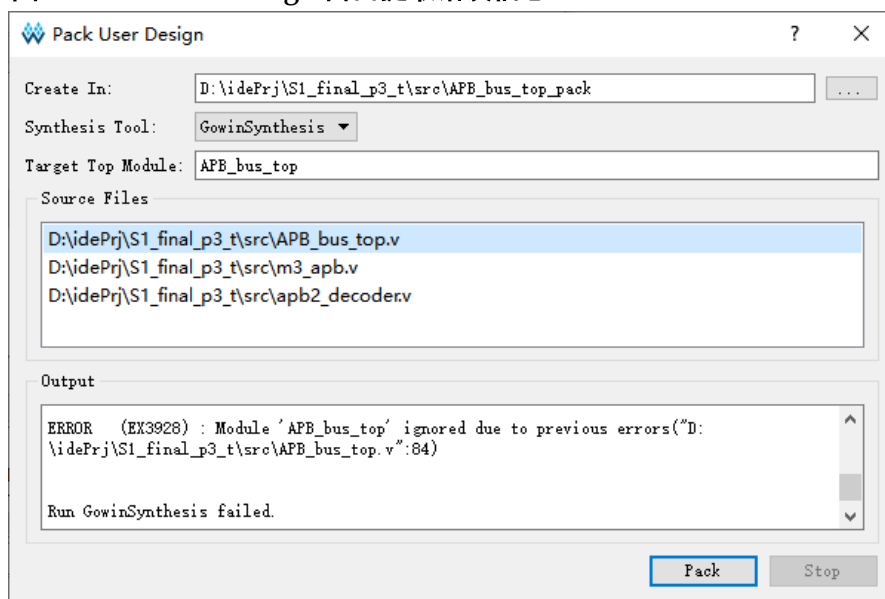


图 3-6 Pack User Design 窗口提取错误信息



加密完成后会在目标路径下生成两个文件：  
<topmodule\_name>\_gowin.vp 和 <topmodule\_name>\_sim.v。  
<topmodule\_name>\_gowin.vp 是用于保密的加密文件，可以提供给他人使用。<topmodule\_name>\_sim.v 是打平的综合后明文网表文件，可以用于内部仿真。

## 3.7 源文件编辑区

提供基本的文件编辑、查看及选中关键词高亮功能。

在 **File** 窗口新建或打开的文件、综合后生成的文件以及 **Place & Route** 后生成的文件均可显示在文本编辑区，另外“**Start Page**”及工程的“**Design Summary**”同样会显示在文本编辑区。

如文件显示在文本编辑区内，在外部对文件进行了修改操作，则在文本编辑区内会弹出“**File Changed**”提示，选择“**Reload**”则会重新加载该文件。

单击“**File**”菜单栏中“**Close**”选项或文本编辑区当前显示文件名右侧“**X**”，会关闭文本编辑区内当前显示的文件。

单击“**File**”菜单栏中“**Close All**”选项，则会关闭文本编辑区内显示的所有文件。

打开某个文件后，可以通过快捷键 **ctrl+f** 或单击工具栏中的 **Find** 按钮来打开“**Find & Replace**”窗口。窗口中的 **Find All** 选项可以选择三个查找范围：**Current File**、**Open Files** 以及 **Current Project**，如图 3-7 所示。点击 **Find All** 后，软件下方会弹出“**Search Result**”窗口，搜索内容会高亮显示，如图 3-8 所示。

图 3-7 Find & Replace 窗口

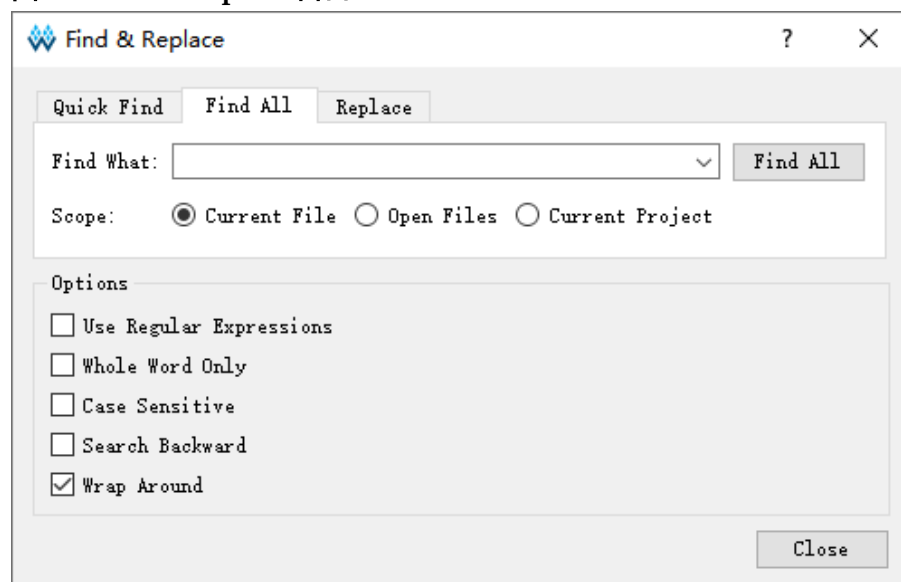
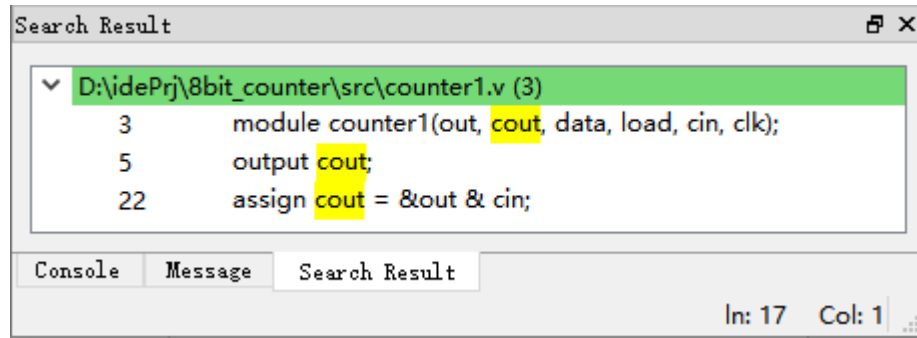


图 3-8 Search Result 窗口



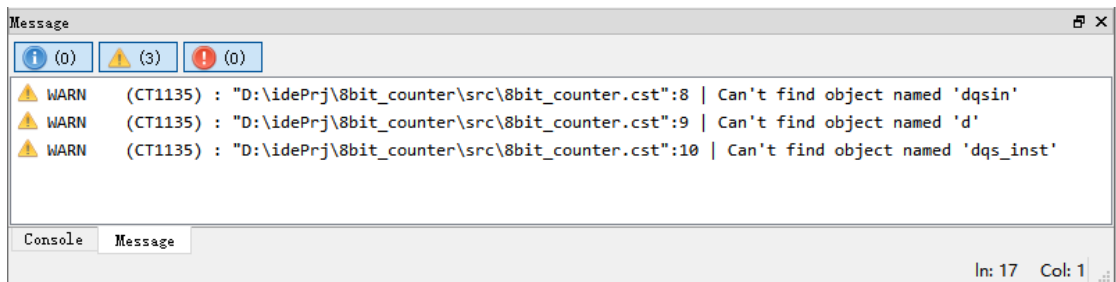
## 3.8 信息输出区

显示软件在运行过程中处理信息，可手动切换标签页查看不同类型的输出信息：

- 全部信息页（Console 页），包括 tcl 命令、警告信息、错误信息等；
- 信息汇总页（Message 页）；包括 Note 信息、警告信息、错误信息；

在 Console 窗口单击右键，选择“Clear”，可清空所有页的信息；Message 页包含 Note、Warning 和 Error 三个子选项，可控制 Message 页面只显示 Note 信息、warning 信息或 error 信息，每个子选项会在相关的信息页标签处记录出现信息的个数，如图 3-9 所示。在 Message 窗口单击右键，选择“Clear”，可清空当前页面的信息。

图 3-9 信息输出界面



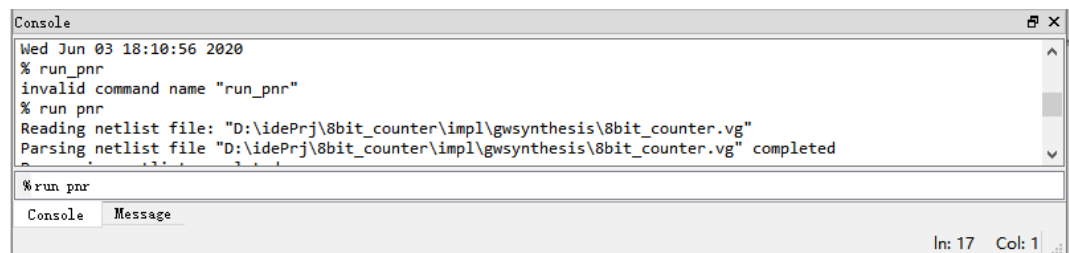
选中 PnR 报出的某条 Error 或 Warning 信息后单击右键选择“Help”，或者按快捷键“F1”，会弹出该条 Error 或 Warning 的“GOWIN Help”帮助文档，文档中会详细描述该条 Error 或 Warning 的帮助信息。一些常见的 Warning 或 Error 信息如表 3-1 所示，详细的帮助文档可通过菜单栏 Help > View Help 查看，该帮助文档支持中英文显示。

表 3-1 常见的 Warning 和 Error 信息

名称	代码	描述
Warning	WARN (PA1002): <file>:<line>   Invalid parameterized value <value>(<parameter>) specified for instance <instanceName>	指定位置处的器件设置了错误的参数值
	WARN (PA1008): <file>:<line>   Object <name> is already defined	存在连线或接口的重复定义
	WARN (PA1001) : Dangling net <netName>(source:<instanceName>) in module <moduleName> has no destination	指定模块中的连线没有连接目的器件
	WARN (CT1098) : <file>:<line>   Group name <name> is already defined	约束文件中存在约束组的重复定义
	WARN (CT1101) : <file>:<line>   Location column <number> is out of chip range(<maxColumn>)	约束位置信息中的列超出了芯片的范围
Error	ERROR (PA2000): <file>:<line>   Syntax error near token <name>	指定位置处存在语法错误
	ERROR (PA2001): <file>:<line>   Module <moduleName> is already defined	存在模块的重复定义
	ERROR (PA2017): The number(<value>) of <instType> in the design exceeds the resource limit(<maxValue>) of current device	设计文件中器件的数量超出了该器件的总数
	ERROR (PA2025): No <instType> resource in current device	设计文件中含有本芯片不支持的器件资源
	ERROR (PA2054): <file>:<line>   <name> is already declared	设计文件中存在器件名称重复

在 Console 信息输出页的最下方是 tcl 命令编辑窗口，可以在窗口中输入 tcl 命令后通过回车键来执行相关命令，如图 3-10 所示。详细的 tcl 命令使用方法见本文档附录 A Tcl 命令说明。

图 3-10 tcl 编辑窗口



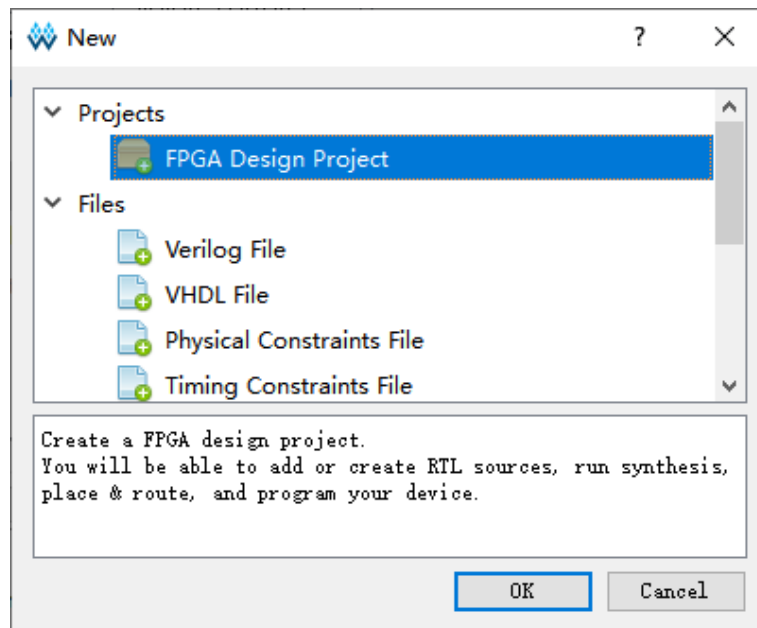
# 4 云源软件使用

云源软件支持界面模式和命令行模式运行，命令行模式可参考本文档的[附录 A Tcl 命令说明](#)。以 Windows10 版本云源软件界面运行为例，介绍软件的使用方法。

## 4.1 新建工程

1. 单击“File > New...”，打开“New”对话框，如图 4-1 所示。

图 4-1 新建工程



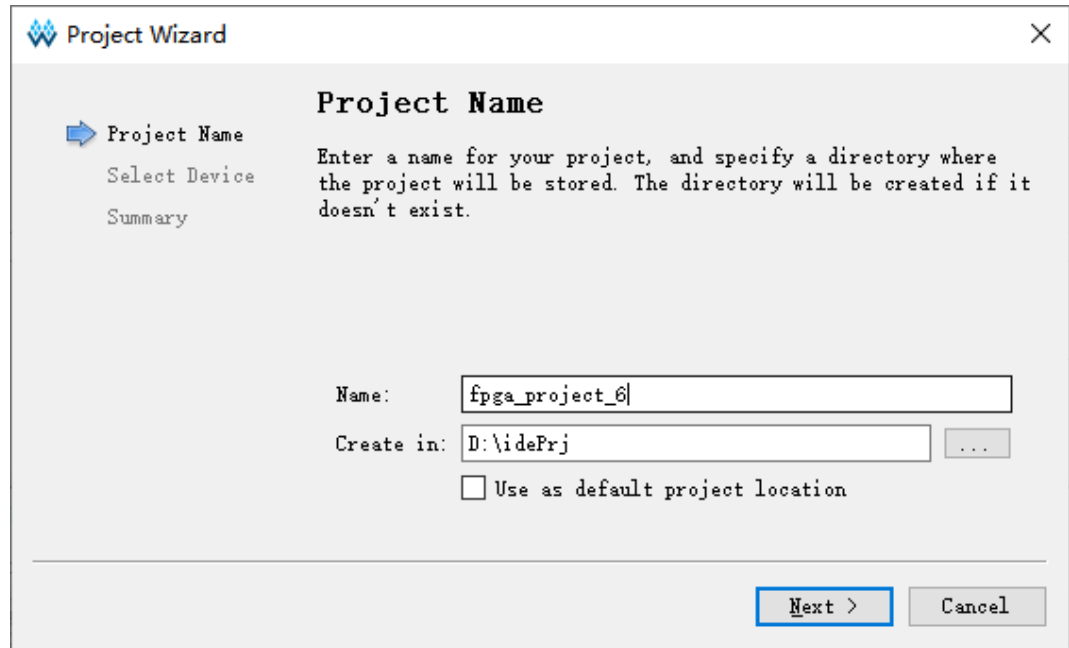
注！

亦可通过以下三种方式打开“New”对话框：

- 使用快捷键 **Ctrl+N**；
  - 单击工具栏上“New File or Project”图标；
  - 单击 **Start Page** 界面上“Quick Start > New Project”。
2. 打开“New”对话框后软件默认已选择“FPGA Design Project”，单击“OK”，打开“Project Wizard”窗口，如图 4-2 所示。



图 4-2 新建工程向导



3. 创建工程名和路径，如图 4-2 所示：

- a) 在“Name”文本框中输入工程名。
- b) 单击“...”选择工程路径。

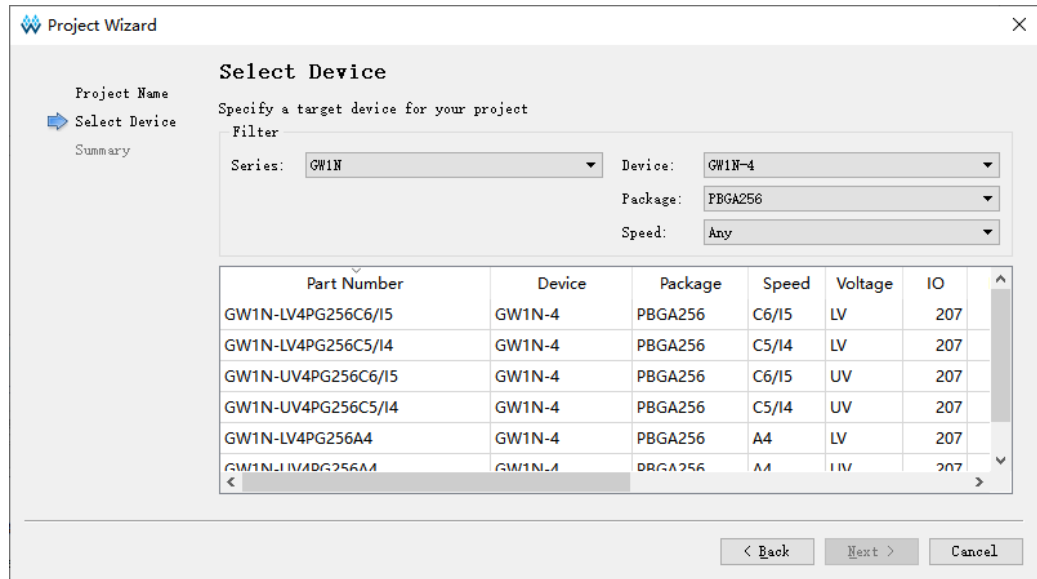
注！

- 软件尚不支持含有中文或空格的文件路径，所以工程路径中不应含有中文或空格；
- Windows 和 Linux 下的文件路径长度均有限制，在路径下存在文件长度超出系统限制的情况下，删除或者拷贝路径都会失败；
- 与 Linux 不同，在 Windows 中路径分隔符为“\”，如 E:\Gowin\ide；
- 若选中“Use as default project location”，即会将该工程路径设置为默认路径，下次新建工程时会默认工程创建在该路径。

4. 单击“Next”，设置 FPGA 芯片的型号，如图 4-3 所示。

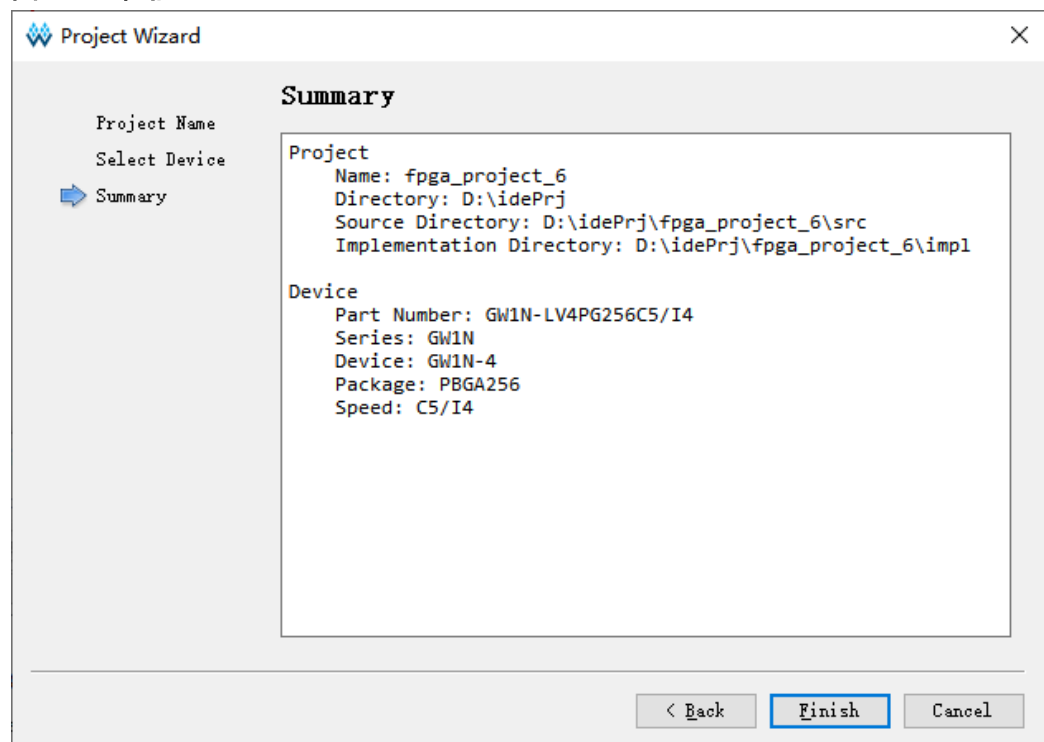
- 在“Select Device”窗格中选择“Series”和“Device”；
- 在“Package”下拉列表中选择封装类型；
- 在“Speed”下拉列表中选择速度等级；
- 在“Part Number”栏中选择最终的型号，并且该栏中显示所选择芯片的详细资源信息。

图 4-3 设置 FPGA 芯片型号



- 单击“Next”，在 Summary 窗格中核对新建的 FPGA 工程的工程信息及芯片信息，如图 4-4 所示。

图 4-4 工程信息



- 单击“Finish”，工程创建完成。

## 4.2 打开工程

用户可直接通过云源软件界面打开已创建的高云软件工程，有以下四种方式打开工程：

## 菜单栏打开

1. 菜单栏中，选择“File> Open ...”打开“Open File”对话框，如图 4-5 所示。

注！


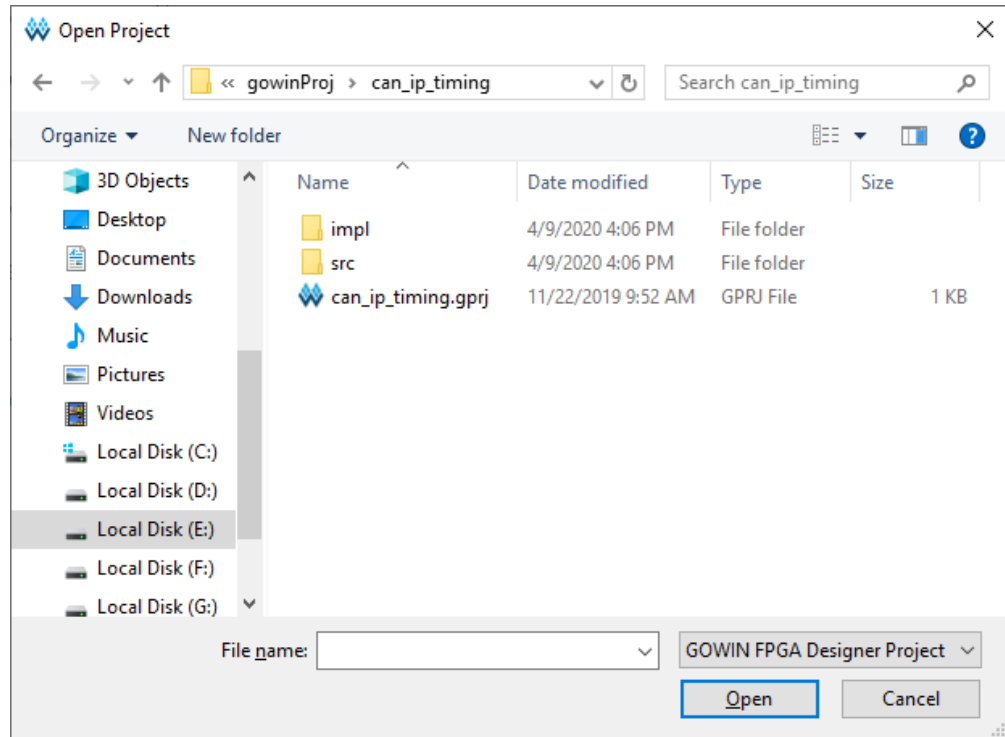

亦可通过单击工具栏上的“”图标，打开“Open File”对话框。

图 4-5 打开工程



2. 选择“Open File > 工程文件 (\*.gprj)”，单击“Open”，打开工程。

## Start Page 打开

1. 在“Start Page”页面中，单击“”，打开“Open Project”对话框。
2. 点击“Open”，打开工程。

## Recent Projects 打开

菜单栏中，单击“File> Recent Projects”，选择需打开的工程。

注！

- 亦可在“Start Page >Recent Projects”列表中，选择需打开的工程；
- “Recent Projects”为最近打开过的工程列表；
- 若该工程已被删除，会弹出“Open Project”提示框。

## 工程文件打开

在本地找到建立的工程，在工程中找到工程文件\*.gprj，双击工程文件，就会自动识别云源软件打开工程。

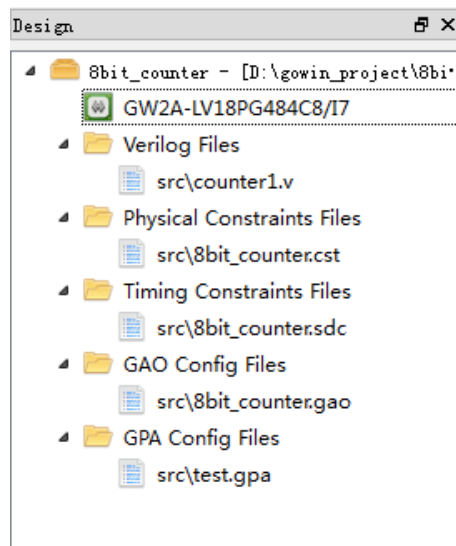
## 4.3 编辑工程

新建或打开工程后，可在工程管理区对 FPGA 工程器件信息及相关文件等进行编辑，如图 4-6 所示。

工程管理区主要包含以下信息：

- FPGA 工程的路径信息；
- 使用的芯片信息：芯片型号、封装方式及速度；
- 当前工程包含的文件信息，包括用户设计文件、物理约束文件（.cst）、时序约束文件（.sdc）、GAO 配置文件（.gao）、功耗分析 GPA 配置文件（.gpa）等。

图 4-6 工程文件窗口



### 4.3.1 修改工程 Device

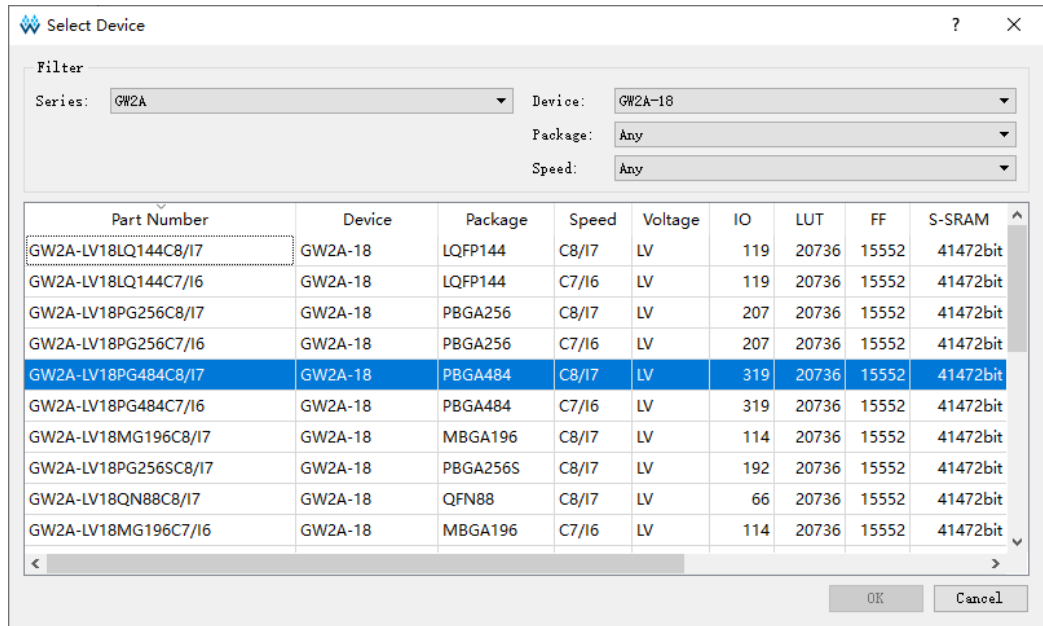
可在工程管理区内修改当前 FPGA 工程所使用的芯片信息：

1. 如图 4-6 所示，双击“GW2A-LV18PG484C8/I7”，打开“Select Device”窗口，如图 4-7 所示；
2. 在“Select Device”窗口中选择“Series”和“Device”，在“Package”下拉列表中选择封装类型，在“Speed”下拉列表中选择速度等级，在“Part Number”栏选择具体的型号，即可修改当前工程所用的 Device 信息。

注！

“Part Number”栏中显示所选芯片的详细资源信息。

图 4-7 工程配置 Device 信息



### 4.3.2 编辑工程文件

工程中需添加的文件类型包括用户设计文件（Source Files）、约束文件和配置文件。其中，约束文件包括物理约束文件（Physical Constraints File）、时序约束文件（Timing Constraints File），配置文件包括 GAO 配置文件（GAO Config File）、GPA 配置文件（GPA Config File）。

下面介绍如何编辑工程所需文件。

#### 新建工程设计文件

1. 如图 4-8 所示，在工程管理区空白处单击鼠标右键，选择“New File...”，打开新建文件 New 对话框，软件已默认选择了对话框对中的第一项“Verilog File”，如图 4-9 所示。
2. 选择需新建的文件类型，如图 4-9 所示。

图 4-8 右键菜单

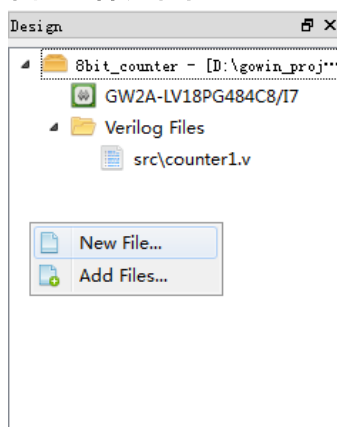
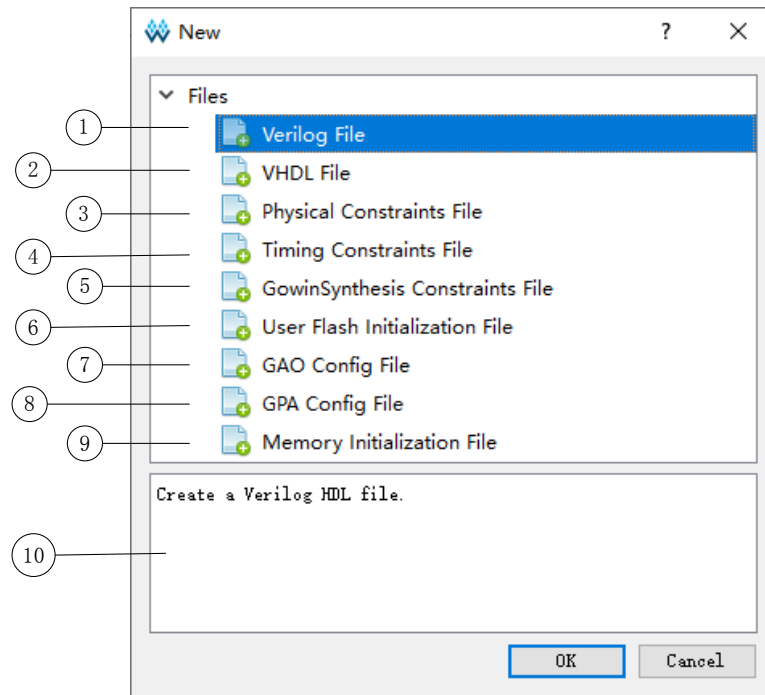


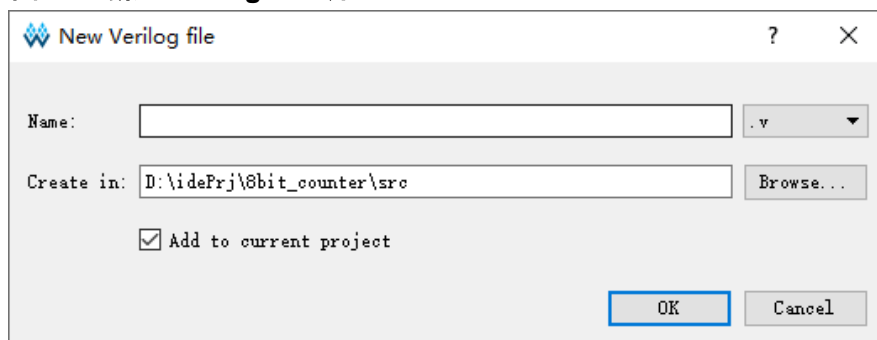
图 4-9 新建文件界面



- |                       |                    |
|-----------------------|--------------------|
| ① 用户 Verilog 设计文件     | ② 用户 VHDL 设计文件     |
| ③ 物理约束文件              | ④ 时序约束文件           |
| ⑤ GowinSynthesis 约束文件 | ⑥ User Flash 初始化文件 |
| ⑦ GAO 配置文件            | ⑧ GPA 配置文件         |
| ⑨ 块存储器初始化文件           | ⑩ 文件类型解释区          |

3. 如图 4-10 所示，以新建 Verilog File 为例，选中“Verilog File”打开新建 Verilog File 窗口。

图 4-10 新建 Verilog File 界面



4. 填写文件名，单击“OK”。

注！

- 可选择文件扩展格式，默认勾选“Add to current project”。
- 可在源文件编辑区打开新建空白文件，并允许用户进行编辑。

## 新建配置文件

1. 如图 4-8 所示，在工程管理区空白处单击鼠标右键，选择“New File…”，打开新建文件 New 对话框，如图 4-9 所示；
2. 在图 4-9 中，选择需新建的配置文件类型。以新建 GPA Config File 为例，选中“GPA Config File”打开新建 GPA Config File 窗口，如图 4-11 所示；
3. 新建配置文件时，不会直接在源文件编辑区打开新建空白配置文件，需在工程管理区双击配置文件，以界面形式打开空白配置文件，进行编辑，如图 4-12 所示。新建的 GPA 配置文件会自动添加到工程管理区。

图 4-11 新建配置文件界面

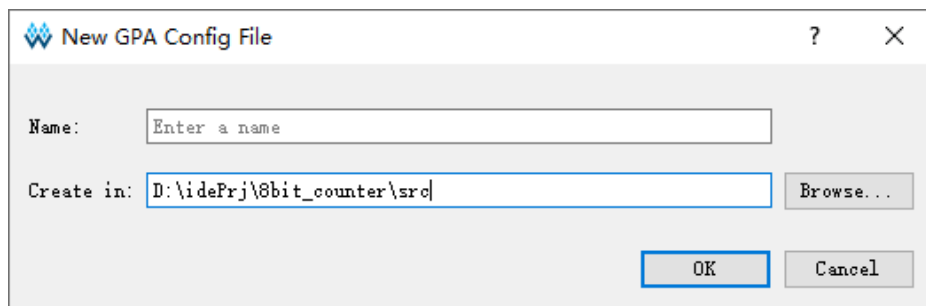
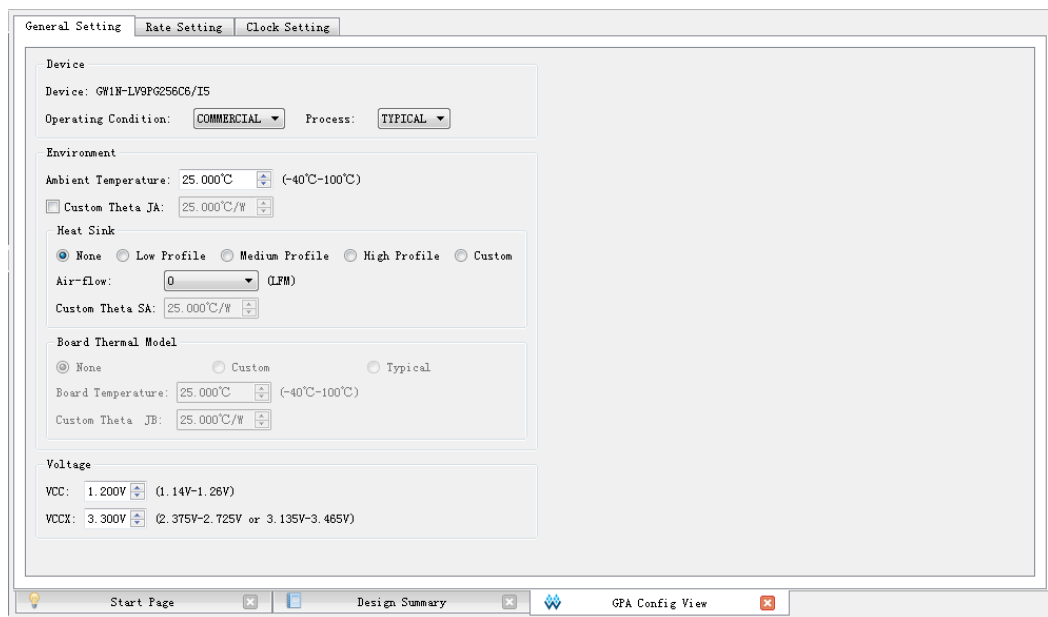


图 4-12 GPA 配置文件



### 注！

如用户新建的设计文件、约束文件或配置文件与已有的文件重名，则无法新建，并在窗口中给出提示信息；

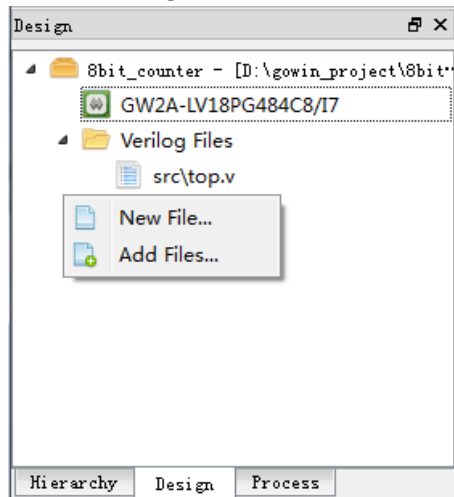
## 添加工程文件

1. 如图 4-13 所示，在工程管理区空白处，单击鼠标右键，选择“Add Files…”，打开“Select Files”对话框；
2. 选择工程文件，可同时选择多个文件或单个文件添加，完成添加用户设计文件。

注！

- 添加文件时，选择“Add Files...”，如果添加的文件不是工程中的文件会进行提示是否需要将该文件复制到工程目录，便于工程归档；
- 如同时添加 RTL 文件、约束文件等，软件会自动在工程文件管理区将文件进行分类；
- 如果添加的文件既不是 RTL 设计文件或网表文件，也不是约束文件和 GPA、GAO 配置文件，则在工程管理区会增加一个文件分类“Other Files”。

图 4-13 Design 窗口右键菜单

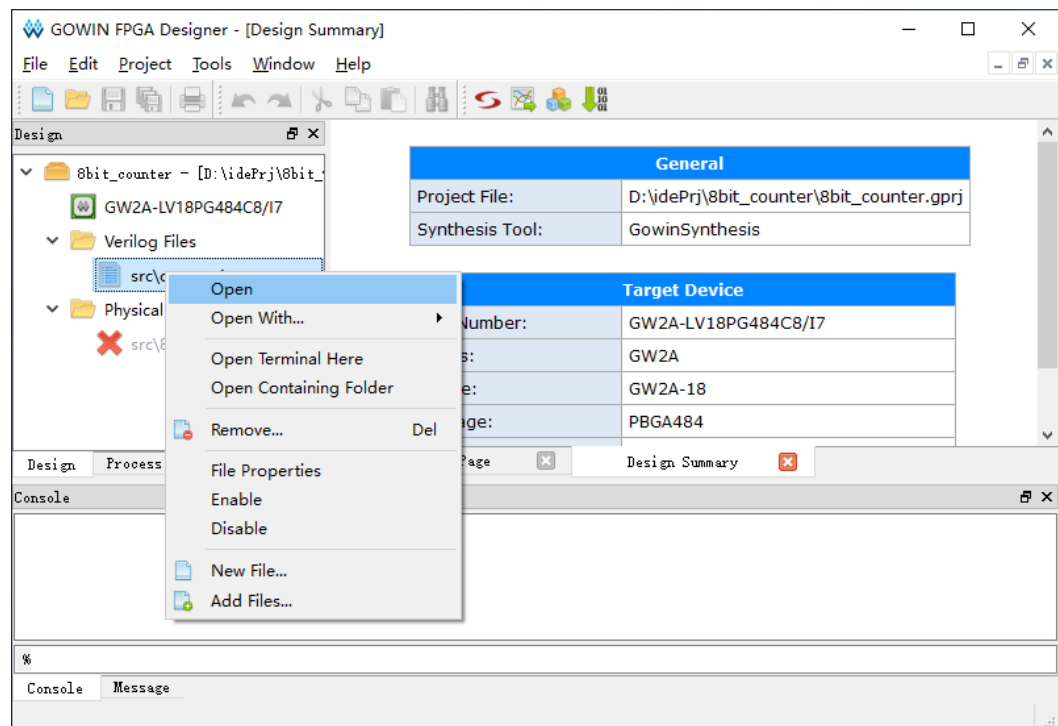


### 修改工程文件

如图 4-14 所示，可通过以下两种方式打开文件：

1. 双击工程管理区内的任一文件，需编辑的文件即会显示在源文件编辑区；
2. 右键单击需要修改的文件，单击“Open”。

图 4-14 工程文件编辑菜单

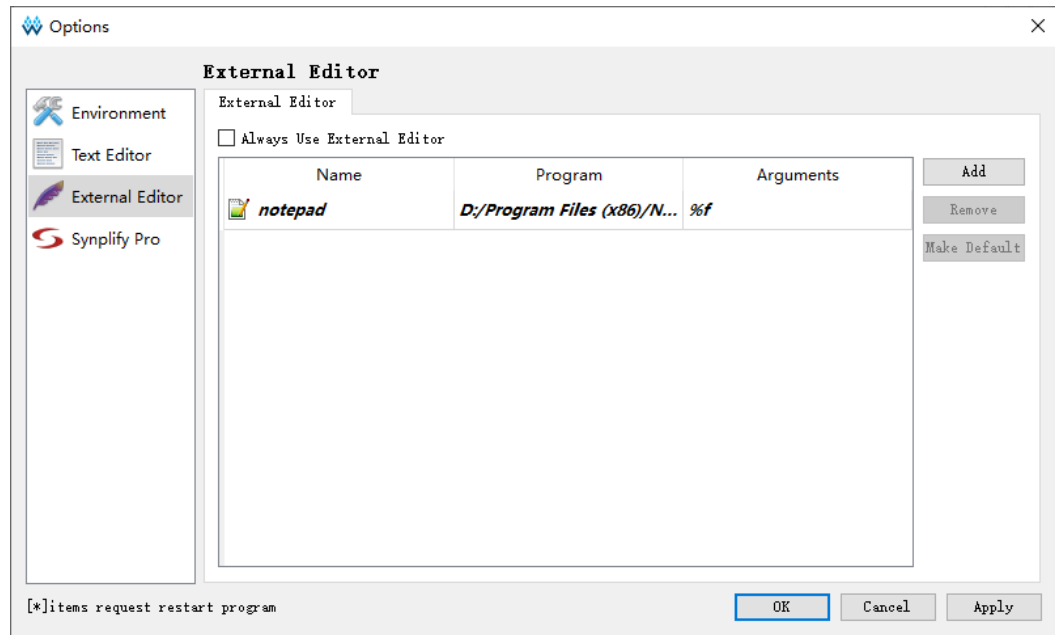


注！



- 如果用户已经通过菜单栏 **Tools > Options** 配置了第三方文本编辑软件，选择“**Open With...**”可以用第三方的文本编辑软件打开设计文件。如果选择的是“**Add External Editor**”，用户打开 **Options** 窗口添加其他外部编辑器，如图 4-15 所示；
- 选择“**Open Containing Folder**”可打开文件所在的文件夹；
- 选择“**Open Terminal Here**”可打开命令行运行窗口，用户可通过命令行模式运行；
- 用户使用外部编辑器对已经在云源软件编辑区打开的文件修改并保存之后，**Gowin** 云源软件会弹出工程文件变更通知；
- 用户关闭编辑后未保存的文件，云源软件会弹出工程文件保存通知。

图 4-15 外部编辑器



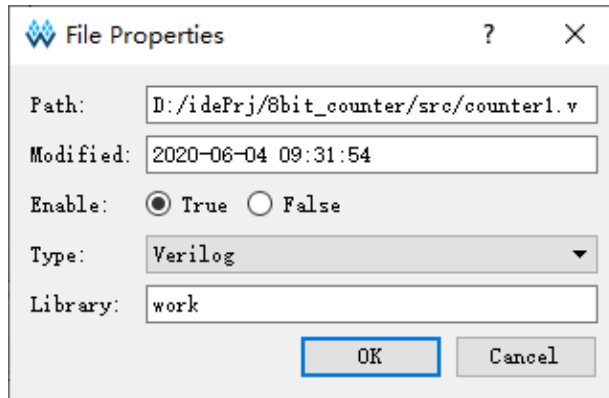
## 删除工程文件

1. 选中工程管理区内的文件；
2. 单击鼠标右键，选择“**Remove**”或直接按键盘“**Delete**”键，弹出“**Delete File**”对话框，若选中“**Delete Permanently**”复选框，则该文件从当前工程删除且在磁盘上删除，否则，该文件仅从当前工程删除。如在磁盘上删除当前处于编辑区的文件，软件会弹出文件删除通知。

## 查看工程文件属性

在工程管理区内的任一文件处单击鼠标右键，选择右键菜单列表里的 **File Properties**，会弹出该文件的文件属性对话框，如图 4-16 所示。对话框中包含该文件的路径信息、修改时间、是否 **Enable**、**Type** 以及 **Library** 信息。通过 **Type** 下拉菜单按钮可以选择修改文件的 **type** 信息，点击“**OK**”后，该文件会在 **Design** 窗口中自动移动到所选的 **type** 类型下。**Library** 用于指定 Synplify Pro 综合 VHDL 文件时所用到的库，默认为 **work**。

图 4-16 工程文件属性



### 工程文件的 Enable/Disable 功能

在工程管理区内的任一文件处单击右键，弹出的选项框中有 **Enable** 和 **Disable** 选项，如图 4-14 所示。**Enable / Disable** 设置后，**Synthesize** 或 **Place & Route** 能够正确读取 enable 文件的内容。

1. 通过右键菜单选项设置文件的 **Enable / Disable**（包括单独文件的设置及文件的批量设置）；
2. 选中多个设计文件（Verilog Files、VHDL Files 或 Netlist Files）时，**Enable** 和 **Disable** 都可用；
3. 对于同一种约束类文件或配置类文件，选中多个时，**Enable** 不可用，**Disable** 可用，如图 4-17 所示；
4. 对于同一种约束类文件或配置类文件，工程中只有一个会处于 **Enable** 状态，再次新建或添加时，会将前一个约束文件或配置文件 **Disable**；当选中多个不同类型的文件时，**Enable** 和 **Disable** 功能不可用，如图 4-18 所示。

图 4-17 选中多个同类型文件右键框图

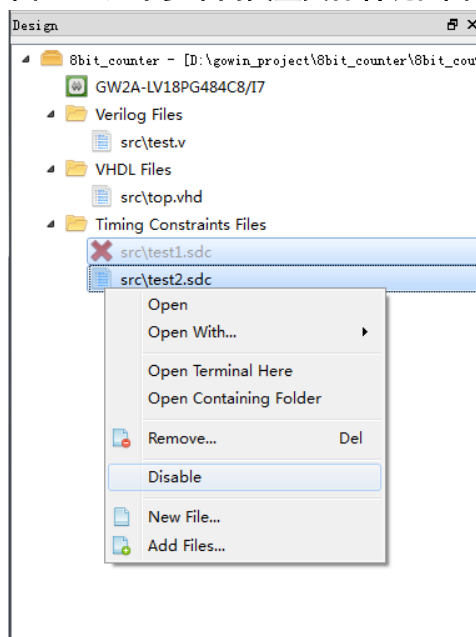
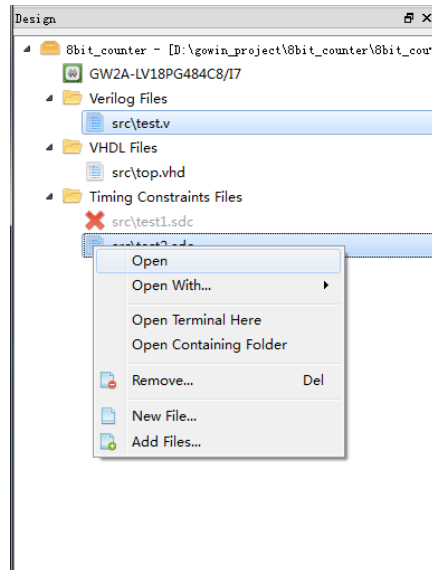


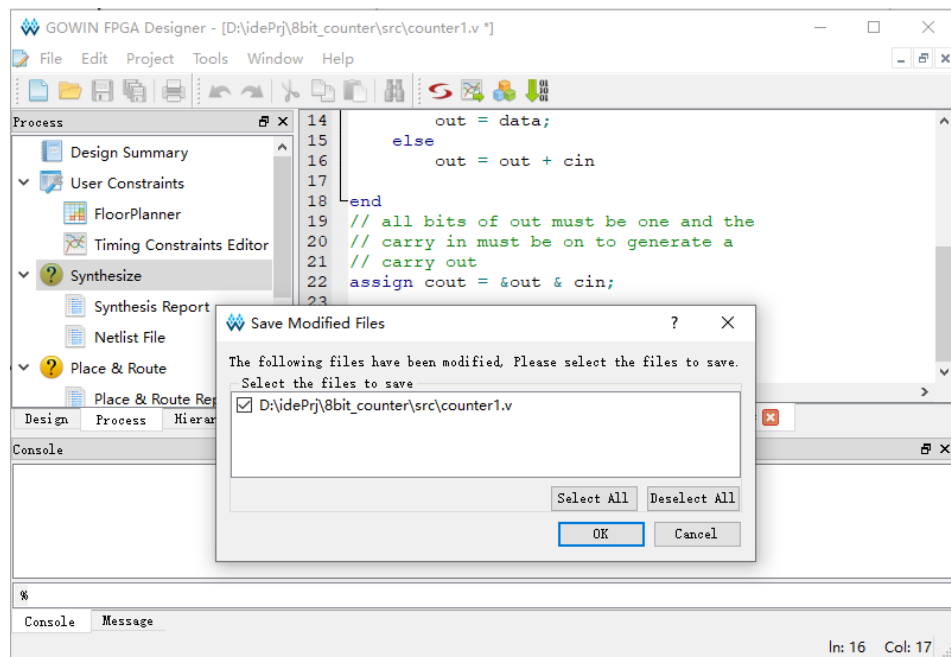
图 4-18 选中多个不同类型文件右键框图



### 工程文件修改后未保存的提示功能

在工程文件修改后,如果忘记保存直接执行 Synthesize 或 Place&Route, 会弹出“Save Modified Files”的提示框,如图 4-19 所示。

图 4-19 Save Modified Files 提示框



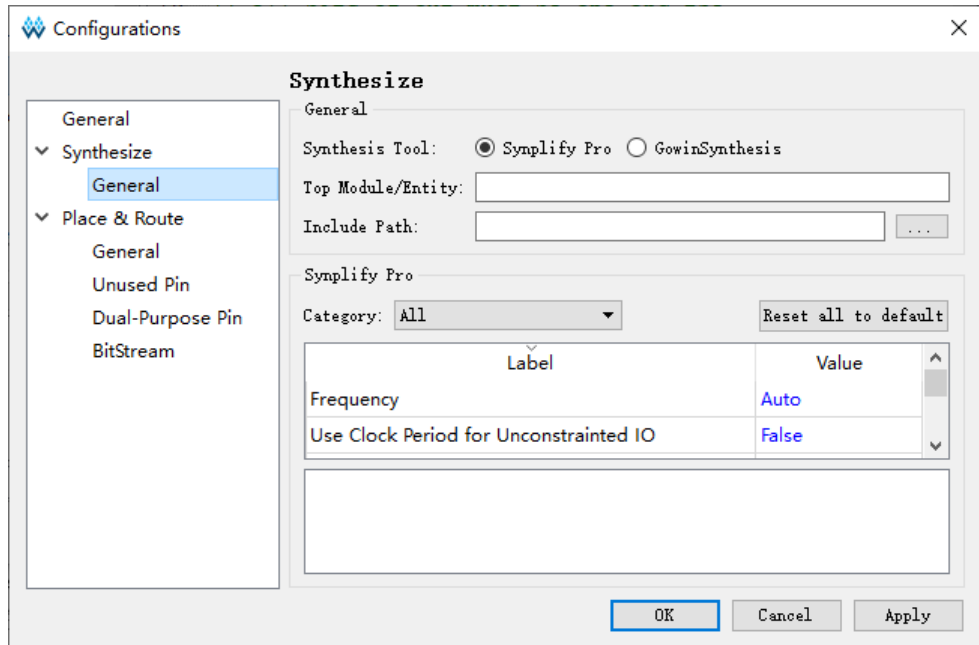
单击“OK”后,文件会被保存且自动执行弹出提示框之前想要执行的流程。如果点击“Cancel”,则文件不会被保存,且不会再执行 Synthesize 或 Place&Route。

### 4.3.3 修改工程配置

在工程管理区内的 Synthesize 处或 Place & Route 处,单击鼠标右键;

选择“Configuration”，打开工程配置属性页面，如图 4-20 所示。

图 4-20 工程配置页面



如图 4-20 所示，可配置的工程属性包含 Synthesize 属性和 Place & Route 属性，其中 Place & Route 属性又包括 General 属性、Unused Pin 属性、Dual-Purpose Pin 属性以及 BitStream 属性，各属性含义如表 4-1 所示。

表 4-1 配置属性含义描述

工程属性	描述
Synthesize	用于配置综合工具优化用户设计时所需的参数属性
General	用于配置运行布局布线时的参数信息
Unused Pin	用于对 unused pin（除去复用管脚的未使用管脚）设置不同 IO 类型和属性
Dual-Purpose Pin	用于配置所选 Device 信息中封装方式对应的 I/O 信息，主要用于配置复用管脚。
BitStream	用于配置产生的 BitStream 文件是否允许 CRC 校验、是否压缩以及下载频率等配置

有关可配置的各个工程属性的详细介绍如下：

### Synthesize

工程配置界面，选择 Synthesize 属性页。在 General 标签页内，可以选择 Synthesis Tool: Synplify Pro 或者 GowinSynthesis。

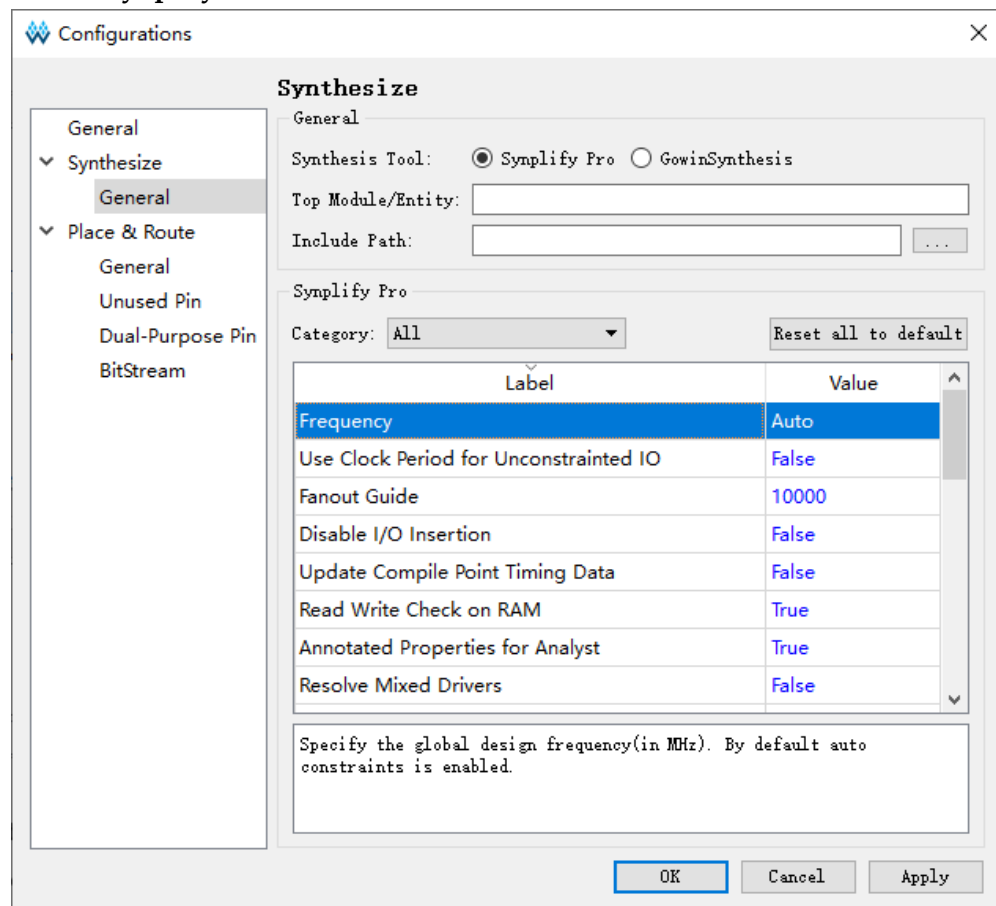
- 如果选择的 Synthesis Tool 为 Synplify Pro:
  - 可以指定 Top Module/Entity 和 Include Path 路径；
  - 在“Category”下拉列表中选择参数配置选项分类，默认为“ALL”；
  - 在“Lable”列表中选择需配置的参数名称，“Configuration”窗口底部相应显示该配置项的含义，如图 4-21 所示。

- 双击所选配置参数的“Value”值，根据需求配置，单击“Apply”，可使当前配置生效，并可继续配置；单击“OK”，完成所有配置。

注！

- 关于 Synplify Pro 所有属性配置的详细用法，具体可参考云源软件安装目录下的 SynplifyPro 相关文档，即路径 installPath\SynplifyPro\doc 下的 fpga\_attribute\_reference.pdf 和 fpga\_command\_reference.pdf；
- Reset all to default: 当前配置页面全部恢复默认设置，单击后弹出 Reset 提示框。

图 4-21 Synplify Pro 参数配置项



注！

图 4-21 中各项参数配置详细使用说明请参考软件安装目录下的 path/x.x.xBeta/SynplifyPro/doc/ fpga\_command\_reference.pdf。

- 如果选择的 Synthesis Tool 为 GowinSynthesis，可以指定 Top Module/Entity、Include Path 路径、Verilog Language、VHDL Language、Looplimit 值。
  - Verilog Language 有三个选择：System Verilog 2017、Verilog 2001 和 Verilog 95；
  - VHDL Language 目前仅支持 VHDL 2008。
  - 此外，还可以通过勾选的方式选择 Disable Insert Pad、Raw R/W Check 和 DSP Balance，如图 4-22 所示。

图 4-22 GowinSynthesis 参数配置项

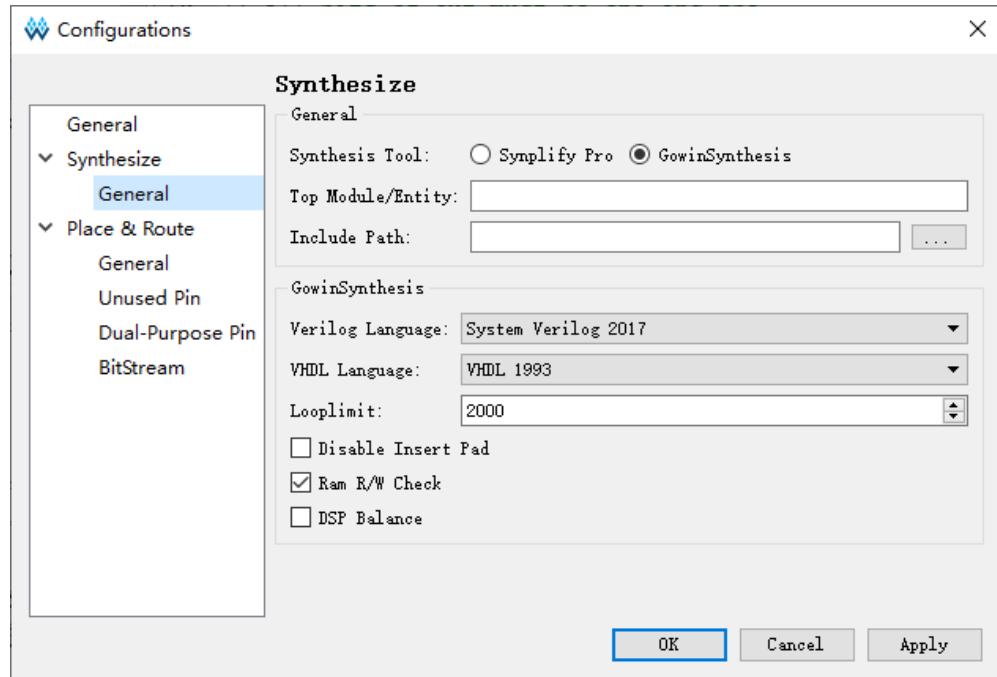


图 4-22 中的各项参数释义如下所示：

- **Looplimit:** 设置 RTL 中默认的编译器循环限制值，默认值为 2000；
- **Disable Insert Pad:** 综合后的网表中是否插入 I/O BUF；
- **Ram R/W Check:** 如果 RAM 存在读或写冲突，勾选该选项后会在 RAM 周围插入旁路逻辑以防止仿真不匹配，禁用该选项不会生成旁路逻辑。默认为勾选。
- **DSP Balance:** 如果对设计进行综合时 DSP 资源超过了限制，勾选该项后会将超出的 DSP 综合为 registers。

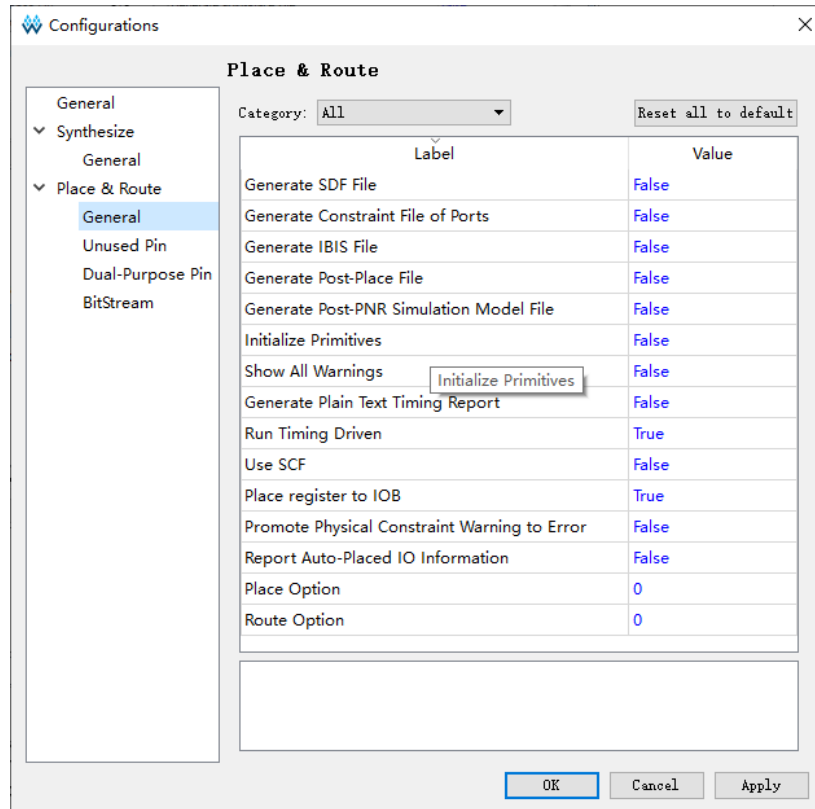
注！

关于所有属性配置的详细用法，具体可参考 [SUG550](#)，GowinSynthesis 用户指南。

### Place & Route

Place & Route 中的 General 配置是高云独立自主研发的符合云源软件的属性配置项目，可在 Value 数据修改属性值，具体属性含义如图 4-23 所示。

图 4-23 配置布局布线属性



注！

Reset all to default: 当前配置页面全部恢复默认设置。

图 4-23 中的各项参数配置使用说明如下：

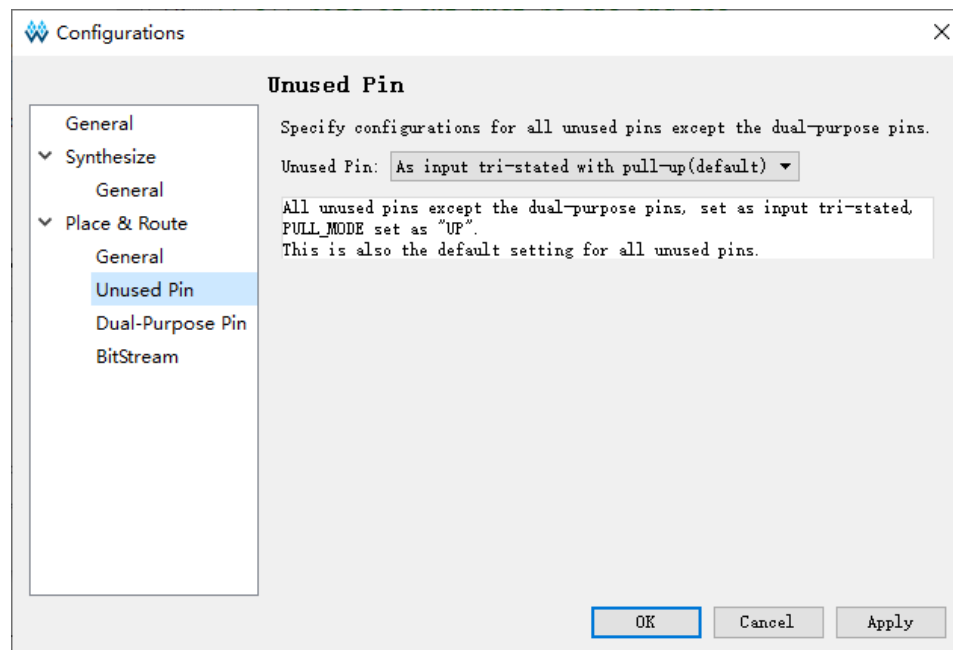
- **Generate SDF File:** 生成文件名为\*.sdf 的标准延迟格式文件，默认值为 False；
- **Generate Constraint File of Ports:** 生成文件名为\*.io.cst 的 port 端口的物理约束文件，默认值为 False。可以通过该文件查看 port 端口的 place 位置，也可将其加载到物理约束工具 FloorPlanner 中，查看当前 port 的布局情况；
- **Generate IBIS File:** 生成文件名为\*.ibs 的输入/输出缓冲区信息指定文件，默认为 False；
- **Generate Post-Place File:** 生成文件名为\*.posp 的器件布局文件，默认值为 False。产生的\*.posp 文件可以加载到物理约束工具 FloorPlanner 中，在 Chip Array 中查看当前布局情况；
- **Generate Post-PNR Simulation Model File:** 生成文件名为\*.vo 的后仿模型文件，默认值为 False；
- **Initialize Primitives:** 将默认初始值添加到生成的 PNR 后仿真模型文件中的 instance 中，默认值为 False；
- **Show All Warnings:** pnr 运行时输出所有的 warning 信息，默认值为 False；
- **Generate Plain Text Timing Report:** 产生文件名为\*.tr 的文本格式的时序报告，默认值为 False；

- **Run Timing Driven:** 启用该选项后会对布局布线进行时序驱动优化，默认值为 True;
- **Use SCF:** 使用 Synplify Pro 生成的\*.scf 文件作为附加的时序约束文件，默认值为 False;
- **Place register to IOB:** 将寄存器布局到 IOB 上，默认值为 True;
- **Promote Physical Constraint Warning to error:** 将物理约束警告提升为错误信息，默认值为 False;
- **Report Auto-Placed IO Information:** 报告自动 place 的 IO 位置信息，默认值为 False;
- **Place Option:** 布局算法选项，可选项有 0 和 1。为 0 时采用默认布局算法，为 1 时采用布局算法 1 进行布局，默认值为 0。算法 1 是在算法 0 的基础上，牺牲一些时间效率来尝试找到更优的布局结果;
- **Route Option:** 布线算法选项，可选项有 0、1 和 2。为 0 时采用默认布线算法，根据拥塞调整布线。为 1 时采用布线算法 1 进行布线，根据时序数据调整布线。采用算法 2 的布线算法时，布线速度会相对快一点。如果算法 0 的布线算法效果不好时建议尝试 1 或 2 算法。默认值为 0。

### Unused Pin

Unused Pin 配置可以对未使用的管脚（除去复用管脚）设置不同的 IO 类型和属性值，目前有两个配置项：As input tri-stated with pull-up (default) 、As open drain driving ground，如图 4-24 所示。

图 4-24 Unused Pin 属性配置



- **As input tri-stated with pull-up (default) :** 默认选项，所有没有被用户设计用到的管脚（除去复用管脚）会按照 input LVCMOS18 的 IO 属性进行配置，并且 PULL\_MODE 配置为 UP;



- **As open drain driving ground:** 所有没有被用户设计用到的管脚（除去复用管脚），按照 output LVCMOS18 的 IO 属性进行配置，并且 OPEN\_DRAIN 配置为 ON；

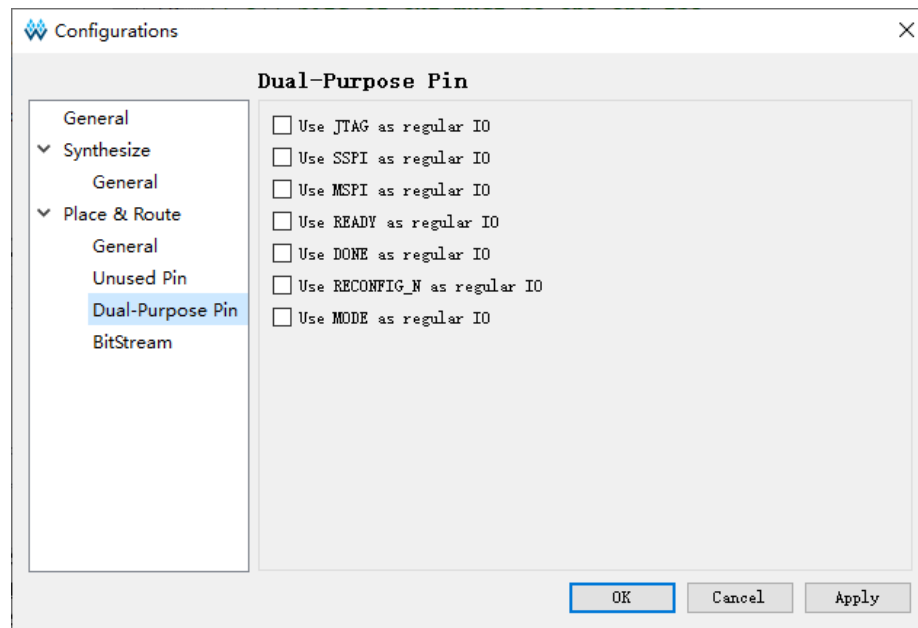
注！

复用管脚的不会受到 unused pin 设置的影响。

### Dual-Purpose Pin

Dual-Purpose Pin 配置是符合高云芯片定制的复用管脚配置，具体配置项目如图 4-25 所示。

图 4-25 配置复用管脚属性



注！

复用管脚配置中 JTAG 和 JTAGSEL\_N 管脚为互斥关系，即当不勾选 JTAG 管脚时，JTAG 管脚为专用管脚，JTAGSEL\_N 为普通 IO 管脚，当勾选 JTAG 管脚时，JTAG 管脚为普通 IO 管脚，JTAGSEL\_N 为专用管脚。

图 4-25 中的各项复用管脚说明如下：

- **Use JTAG as regular IO:** 将 JTAG 相关管脚复用为普通 IO 管脚，JTAG 相关的管脚为 TCK、TMS、TDI、TDO；
- **Use SSPI as regular IO:** 将 SSPI 相关管脚复用为普通 IO 管脚，SSPI 相关的管脚为 SI、SO、SSPI\_CS\_N；
- **Use MSPI as regular IO:** 将 MSPI 相关管脚复用为普通 IO 管脚，MSPI 相关的管脚为 FASTRD\_N、MCLK、MCS\_N、MI、MO；
- **Use READY as regular IO:** 将 READY 相关管脚复用为普通 IO 管脚，READY 相关的管脚为 READY；
- **Use DONE as regular IO:** 将 DONE 相关管脚复用为普通 IO 管脚，DONE 相关的管脚为 DONE；
- **Use RECONFIG\_N as regular IO:** 将 RECONFIG\_N 相关管脚复用为普通 IO 管脚，RECONFIG\_N 相关的管脚为 RECONFIG\_N；

- Use MODE as regular IO: 将 MODE 相关管脚复用为普通 IO 管脚，MODE 相关的管脚为 MODE0、MODE1、MODE2；

### BitStream

BitStream 配置是符合高云芯片下载模式的 bitstream 文件格式以及下载频率等，具体配置含义如图 4-26 所示。

图 4-26 配置比特流文件属性

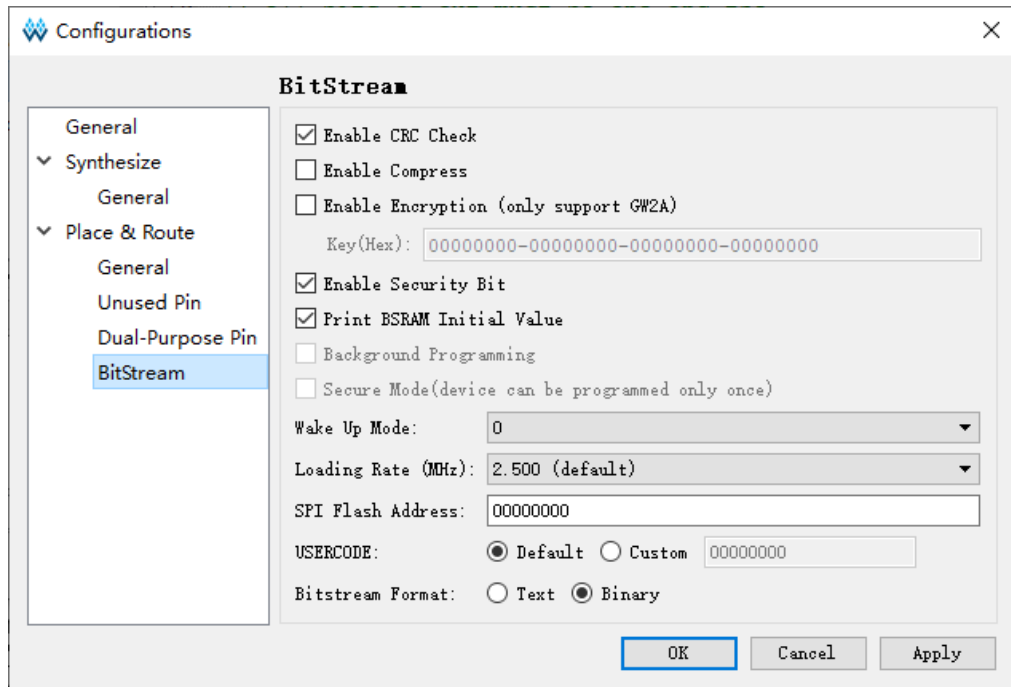


图 4-26 的各项参数配置使用说明如下：

- Enable CRC Check: 启用循环冗余校验，默认为勾选状态；
- Enable Compress: 对生成的 bit 文件进行压缩，默认不勾选；
- Enable Encryption (only support GW2A): 对 bit 文件进行加密处理，仅支持 GW2A 系列，默认不勾选；
- Key (Hex) : 勾选“Enable Encryption (only support GW2A)”后才可以对该项进行编辑，该项可以使用户对加密的密钥进行自定义，默认 key 全为 0；
- Enable Security Bit: 安全位使能控制，默认为勾选状态；
- Print BSRAM Initial Value: 将 BSRAM 的初始值打印进 bit 文件中，默认为勾选状态；
- Background Programming: 远程升级功能，在不中断 FPGA 芯片现有功能执行的前提下对 Flash 进行烧录。可选择该功能的器件有 GW1N-4B、GW1NR-4B、GW1N-9、GW1NR-9、GW1NZ-1，默认不勾选。对于器件 GW1NS-2、GW1NS-2C、GW1NSR-2、GW1NSE-2C、GW1NSR-2C，该功能是其硬件固有配置，默认已支持。

- **Secure Mode (device can be programmed only once)** : 启用安全模式, 此时 JTAG 管脚为 GPIO, 码流文件只能对设备编程一次。该功能仅支持器件 GW1NSE-2C 和 GW1NSER-4C, 默认为不勾选状态;
- **Wake Up Mode:** Wake Up Mode 的使能控制, 可选信息有 0 和 1, 默认值为 0。当 Wake Up Mode 为 0 时, DONE 管脚拉高或拉低对 Wake Up 没有影响, 当 Wake Up Mode 为 1 时, 如果 DONE 管脚处于拉高状态, 可以正常下载且芯片正常工作。如果下载时 DONE 管脚处于拉低状态, 则可以正常下载, 下载完后 DONE 管脚需要拉高且同时保持 TCK 连接脉冲信号芯片才能 Wake Up;
- **Loading Rate:** AutoBoot 配置模式和 MSPI 配置模式下, 比特流数据从 flash 到 sram 的加载速度, 默认为 2.500MHz。AutoBoot 配置模式和 MSPI 配置模式参考文档 [UG290](#), Gowin\_FPGA 产品编程配置手册.pdf。不同器件 Loading Rate 的取值及其计算方式如下所示。
  - GW1NZ-1/GW1NSER-4C/GW1NS-4/GW1NSR-4/  
GW1NS-4C/GW1NSR-4C/GW1N-4B/GW1NR-4B/GW1NRF-4B/  
GW1N-4/GW1NR-4/GW1N-9/GW1N-9C/GW1NR-9/  
GW1NR-9C/GW2A-18/GW2A-18C/GW2AR-18/GW2AR-18C/  
GW2ANR-18C/GW2A-55/GW2A-55C 器件下 Loading Rate 的取值及计算方式如表 4-2 所示。

表 4-2 Loading Rate 值及计算方式 (一)

Loading Rate (MHz)	计算公式
2.500 (default)	250 / 100
5.435	250 / 46
5.682	250 / 44
5.952	250 / 42
6.250	250 / 40
6.579	250 / 38
6.944	250 / 36
7.353	250 / 34
7.812	250 / 32
8.333	250 / 30
8.929	250 / 28
9.615	250 / 26
10.417	250 / 24
11.364	250 / 22
12.500	250 / 20
13.889	250 / 18
15.625	250 / 16
17.857	250 / 14
20.833	250 / 12
25.000	250 / 10

Loading Rate (MHz)	计算公式
31.250	250 / 8
41.667	250 / 6
62.500	250 / 4

- GW1N-1/GW1N-1S/GW1NS-2/GW1NSR-2/GW1NS-2C/GW1NSR-2C/ GW1NSE-2C 器件下 Loading Rate 的取值及计算方式如表 4-3 所示。

**表 4-3 Loading Rate 值及计算方式（二）**

Loading Rate(MHz)	计算公式
2.500 (default)	240 / 96
2.553	240 / 94
2.609	240 / 92
2.667	240 / 90
2.727	240 / 88
2.791	250 / 86
2.857	240 / 84
2.927	240 / 82
3.000	240 / 80
3.077	240 / 78
3.158	240 / 76
3.243	240 / 74
3.333	240 / 72
3.429	240 / 70
3.529	240 / 68
3.636	240 / 66
3.750	240 / 64
3.871	240 / 62
4.000	240 / 60
4.138	240 / 58
4.286	240 / 56
4.444	240 / 54
4.615	240 / 52
4.800	240 / 50
5.000	240 / 48
5.217	240 / 46
5.455	240 / 44
5.714	240 / 42
6.000	240 / 40
6.316	240 / 38

Loading Rate(MHz)	计算公式
6.667	240 / 36
7.059	240 / 34
7.500	240 / 32
8.000	240 / 30
8.571	240 / 28
9.231	240 / 26
10.000	240 / 24
10.909	240 / 22
12.000	240 / 20
13.333	240 / 18
15.000	240 / 16
17.143	240 / 14
20.000	240 / 12
24.000	240 / 10
30.000	240 / 8
40.000	240 / 6
60.000	240 / 4

- **SPI Flash Address:** 指定 SPI Flash 地址。SPI Flash 地址是指下一次 multiboot 时，加载 bitstream 文件的起始地址，默认为 00000000。具体可参考 [SUG502](#)，Gowin Programmer 用户指南。
- **USERCODE:** 用户可以自定义 User Code，默认为 Default(00000000)；
- **Bitstream Format:** 用于指定生成的比特流文件格式，可选项有 Text 和 Binary，默认为 Binary。当选择 Text 选项时，会生成纯文本格式的\*.fs 文件；选择 Binary 选项时会生成\*.fs、\*.bin 和\*.binx 格式的比特流文件。\*.bin 和\*.binx 是二进制格式的比特流文件，\*.binx 文件含有头部注释信息，\*.bin 没有头部注释信息。

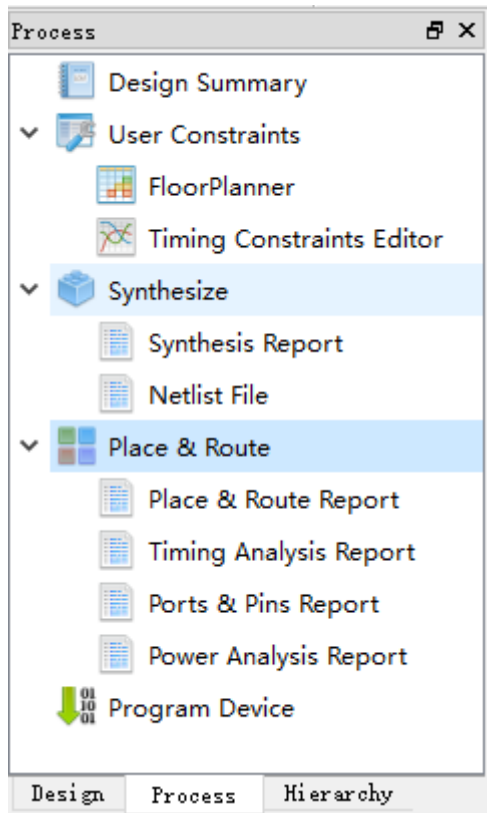
## 4.4 管理工程

在过程管理区，列出了高云云源软件的过程管理，如图 4-27 所示。在该窗口可进行以下操作：

- 查看 Design 概述；
- 启动 FloorPlanner；
- 启动时序约束编辑器；
- 执行综合过程；
- 查看综合设计报告；
- 执行布局布线；
- 查看 Place&Route 后的生成报告；

- 启动高云半导体 FPGA 编程器等功能。

图 4-27 工程 Process 窗口



### 4.4.1 Design Summary

新建工程时，软件会分析工程并提供一份报告 Design Summary，报告中包括工程文件路径、综合工具的信息以及器件信息，如图 4-28 所示，有三种方法打开 Design Summary：

- 在 GOWIN FPGA Designer 菜单栏上，选择“Window > Design Summary”；
- 在 Process 窗格中，双击“Design Summary”；
- 在 Process 窗格中，在“Design Summary”处单击鼠标右键，选择“Open”。

图 4-28 工程信息显示

General	
Project File:	D:\gowin_project\1.9.0\fpga_project_1\fpga_project_1.gprj
Synthesis Tool:	SynplifyPro


Target Device	
Part Number:	GW1N-LV4PG256C6/I5
Series:	GW1N
Device:	GW1N-4
Package:	PBGA256
Speed Grade:	C6/I5
Core Voltage:	LV

## 4.4.2 User Constraints

User Constraints 提供了快速打开和创建约束文件的方法。User Constraints 分为 FloorPlanner 和 Timing Constraints Editor。

有关约束编辑器的详细使用方法,请参考 [SUG940](#), Gowin 设计时序约束指南; [SUG935](#), Gowin 设计物理约束指南。

### FloorPlanner

1. 双击“FloorPlanner”或在右键菜单中选择“Run”,如果工程尚未进行综合,则会弹出提示框。综合成功后双击“FloorPlanner”或在右键菜单中选择“Run”将会打开 FloorPlanner;
2. 打开 FloorPlanner 时,若工程中包含物理约束文件 (.cst),编辑器会直接读取物理约束文件以便编辑;
3. 打开编辑器,如果工程中包含的物理约束文件 (.cst) 发生了变化,在源文件编辑区进行了修改并保存后,点击 FloorPlanner 中的 reload“

注!

通过选择“Tools”菜单的“Floor Planner”和“Timing Constraints Editor”,可直接打开 Floor Planner 和时序约束编辑器,而不进行设计文件和约束文件的加载。

### Timing Constraints Editor

1. 双击“Timing Constraints Editor”或在右键菜单中选择“Run”,如果工程尚未进行综合,则会弹出提示框。综合成功后双击“Timing Constraints Editor”或在右键菜单中选择“Run”将会打开时序约束编辑器;
2. 打开约束编辑器时,若工程中包含时序束文件 (.sdc),综合成功后,编辑器会直接读取约束文件以便编辑;
3. 若工程中不包含相应的约束文件,软件会弹出创建约束文件的通知;
4. 若工程中不包含约束文件,但源文件目录下存在与工程同名的约束文件 (.sdc 文件) 时,打开软件时会报出在源文件目录下有一个与工程同名的约束文件,是否要覆盖它的 Warning 提示框。

## 4.4.3 Synthesize

执行 Synthesize 时云源软件提供两种综合工具进行选择, Synplify Pro 和 GowinSynthesis,如果不进行选择,默认综合工具是 Synplify Pro。

通过在工程管理区的 Synthesize 处单击鼠标右键,选择“Configuration”,打开综合属性配置页面选择综合工具,如图 4-20 所示。

Synplify Pro 是 Synopsys 公司为高云半导体专门定制的前端综合软件,

支持高云半导体的库文件及其实现，支持 VHDL、Verilog 等编程语言。



**GowinSynthesis** 是高云研发的综合软件，支持高云半导体的库文件及其实现，目前 Verilog 语言支持 System Verilog 2017、Verilog 2001 和 Verilog 95，VHDL 语言支持 VHDL 2008。

**Synthesize** 提供了运行综合、设置综合属性参数及管理网表文件 (Netlist File) 和综合报告 (Synthesis Report) 的功能。

参考以下步骤运行 Synthesize:

1. 配置 Synthesis 属性, 综合工具选择 Synplify Pro 或者 GowinSynthesis;
2. 有关 Synthesis 属性配置, 请参考 4.3.3 修改工程配置;
3. 运行 Synthesize;
4. 在过程管理区, 双击 “Synthesize” 或右键单击 “Synthesize> Run”, 启动综合工具对源文件进行综合。若综合成功, 则 Synthesize 栏前会出现图标 “✔”, 否则出现图标 “! ”;
5. 综合成功后, 双击 “Netlist File” 或在该项右键选择 Open 选项, 可查看网表文件, 且生成的网表文件名称与工程名称相同。若综合工具选择的是 Synplify Pro, 生成的综合后网表文件为\*.vm, 若综合工具选择的是 GowinSynthesis, 则生成的综合后网表文件为\*.vg。

注!

- 若综合之前 (Synthesize 图标为 “”) 双击 “Netlist File” 或在该项右键选择 Open 选项, 则会先进行综合, 综合成功后打开网表文件。
- 若综合之前 (Synthesize 图标为 “”) 双击 “Synthesis Report” 或在该项右键选择 Open 选项, 则会先进行综合, 综合成功后打开综合报告。

右键单击 “Synthesize”, 如图 4-29 可进行的操作包含:


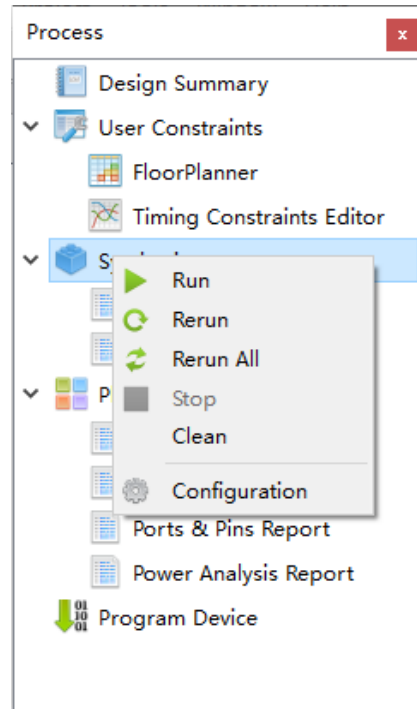
- **Run:** 只有 Synthesize 栏前图标为初始状态 “”、失败状态 “! ” 或过时状态 “? ” 时, 选择该选项会启动综合工具对源文件进行综合;
- **Rerun:** 无论 Synthesize 是何种状态, 选择该选项, 重新启动综合工具对源文件进行综合;
- **Rerun All:** 无论 Synthesize 和 Place & Route 是何种状态, 选择该选项, 都会重新对源文件进行综合及 Place & Route;
- **Stop:** 停止运行 Synthesize 过程;
- **Clean:** 清除综合后产生文件夹 (synplify Pro 产生的文件夹为 synthesize, GowinSynthesis 产生的文件夹为 gwsynthesis) 下的所有文件及文件夹, 点击该选项会弹出提示框;
- **Configuration:** 可对 Synthesis 中参数进行设置。



图 4-29 右键单击 Synthesize



#### 4.4.4 Place & Route

Place & Route 提供运行布局布线、设置布局布线参数及管理布局布线后生成文件的功能。

注！


Place & Route 依赖于综合过程，执行该步骤时，如其依赖项（Synthesize）未执行，则会先执行 Synthesize，再执行该步骤。

参考以下步骤运行 Place & Route：

1. 配置 Place & Route 属性；
2. 关于 Place & Route 属性配置，请参考 4.3.3 修改工程配置；
3. 运行 Place & Route；
4. 双击“Place & Route”或单击鼠标右键“Place & Route > Run”执行布局布线产生 bit 流文件和相关报告文件。如运行成功，则 Place & Route 栏前会出现图标“✔”，否则出现图标“❗”；
5. Place & Route 运行成功后，在 Place & Route 下方双击文件或右键选择“Open”可在文本编辑区浏览报告文件。
6. 可查看生成的四种文件，包括 Place & Route Report、Timing Analysis Report、Ports & Pins Report 及 Power Analysis Report，这四种文件均不可编辑。

注！

- 若当前已经打开报告文件，再运行 Place & Route 重新生成报告文件后会提示是否更新文件；

- 若运行 Place & Route 之前（Place & Route 栏前图标为“”），双击报告文件或在报告文件右键选择“Open”选项，则会先运行 Place & Route，运行成功后打开报告文件。

右键单击 Place & Route，可进行的操作包含：

- Run: 只有 Place & Route 栏前图标为初始状态“”或错误状态“”或过时状态“”时，选择该选项会运行 Place & Route；
- Rerun: 无论 Place & Route 是何种状态，选择该选项，重新运行 Place & Route；
- Rerun All: 无论 Synthesize 和 Place & Route 是何种状态，选择该选项，都会重新对源文件进行综合及 Place & Route；
- Stop: 停止运行 Place & Route 过程；
- Clean: 清除运行 Place & Route 后产生文件夹（pnr）下的所有文件及文件夹，点击该选项会弹出提示框；
- Configuration: 可对 Place & Route 参数进行设置。

## 4.4.5 Program Device

云源软件在布局布线运行成功后，会生成比特流文件，需启动高云半导体 FPGA 编程器，才可将比特流文件下载到芯片，实现用户所需的功能。

注！

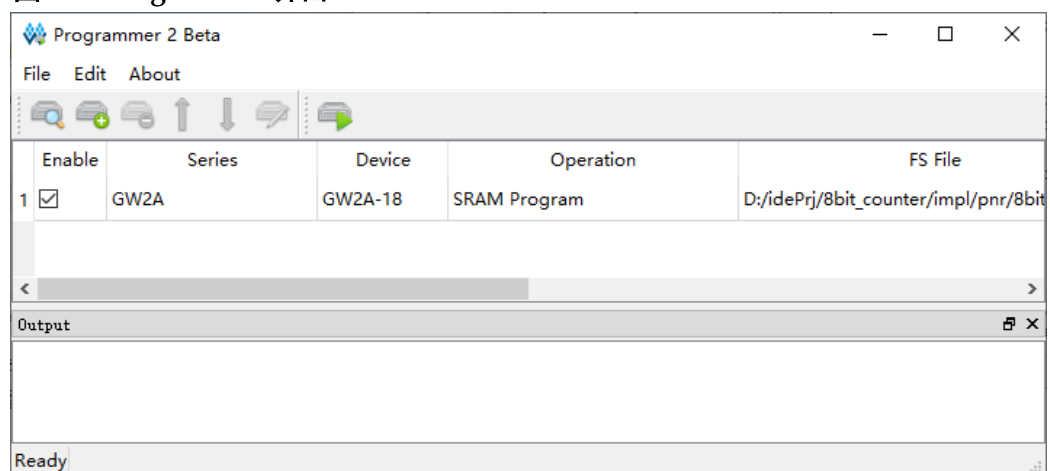
Program Device 依赖于 Synthesize 及 Place & Route 步骤，执行该步骤时，如其依赖项（Synthesize 及 Place & Route）未执行，会弹出警告提示。

双击“Program Device”或在该项右键单击“Run”选项，打开高云半导体 FPGA 编程器，如图 4-30 所示。

注！

Linux 安装包中的编程器适用于 Linux 版本 Red Hat 5.10，如需 Red Hat 6/7 版本的编程器，请到官网上下载安装后，将安装包替换为 Gowin 云源软件安装包中的文件夹“Programmer”。

图 4-30 Programmer 界面



有关高云半导体 FPGA 编程器的详细使用方法，请参考 [SUG502](#), Gowin

Programmer 用户指南。

## 4.5 工程打包及恢复

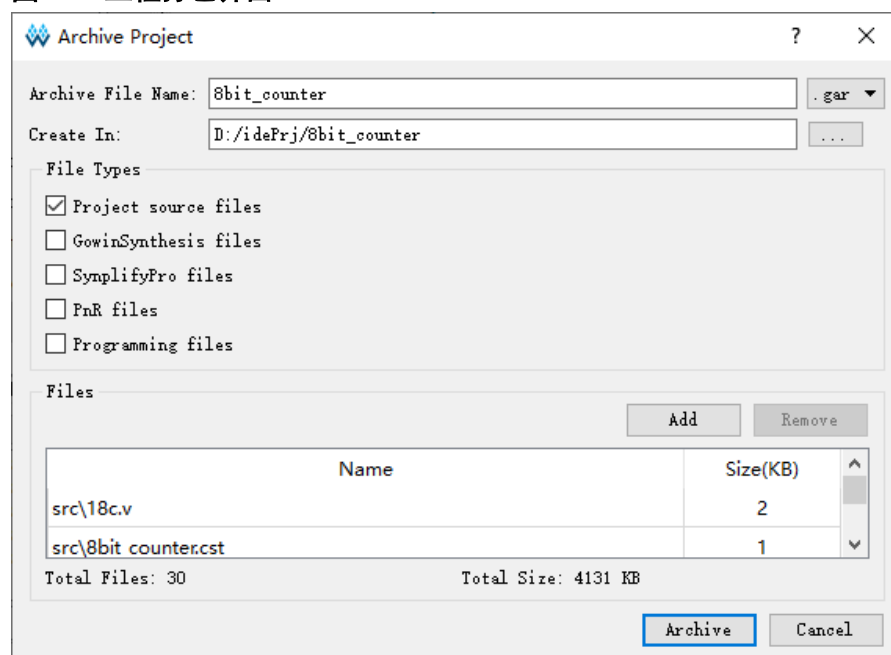
云源软件支持对当前工程进行打包以及恢复被打包的工程。通过菜单栏 Project 中的“Archive Project”和 Restore Archived Project 对工程进行打包或恢复。

### 4.5.1 工程打包

单击菜单栏 Project 中的“Archive Project”会弹出打包工程对话框，如图 4-31 所示。

- **Archive File Name** 是打包后的文件名，默认和当前要打包的工程名一致，后缀是.gar 格式。
- **Create In** 为打包后的文件要存放的路径，默认为当前工程路径。
- 打包工程项包括 **Project source files**(默认勾选)、**GowinSynthesis files**、**SynplifyPro files**、**PnR files**、**Programming files**。
- 当勾选了某一打包工程项后，下方会显示该项在当前工程下的源文件、所在路径以及大小。
- **Add** 和 **Remove** 按钮可以用来自行增删打包的文件。
- 点击 **Archive** 后，如果工程中的文件未保存，则会弹出警告提示框，提示先保存文件。
- 打包完成后会弹出提示窗口，提示打包成功或失败。
- 打包完成后在 **Create In** 路径下会生成两个文件：打包工程\*.gar 和与 gar 同名的打包文件\*.garlog。后缀为 gar 的文件压缩存储所有被打包的文件，日志文件\*.garlog 供参考使用，可以查看哪些文件被打包以及打包是否成功。

图 4-31 工程打包界面



## 4.5.2 恢复被打包工程

单击菜单栏 Project 中的“Restore Archived Project”会弹出恢复被打包工程对话框，如图 4-32 所示。


图 4-32 恢复打包工程界面



点击“Archived File”右面的路径选择按钮，选择要恢复的打包文件。选择要恢复的打包文件后，“Destination Folder”会自动更新为打包文件所在的路径。点击“OK”后会弹出恢复成功的对话框。

## 4.6 退出软件

通过以下方式退出云源软件：

1. 单击“File > Exit”选项；
2. 单击软件界面右上角图标“”。

注！

- 若有未保存的文件，则会先提示是否对文件进行保存；
- 软件提供的保存（Save）、保存所有（Save All）和另存为（Save As...）功能只针对文本编辑动作的保存；
- 软件对于工程配置（Configuration）信息的修改或对工程中文件的增删等操作不会即时保存到工程配置文件中，在软件关闭时自动保存；
- 如果软件在运行中，无法通过点击退出软件。

# 5 云源软件集成工具

## 5.1 Synplify Pro

Synplify Pro 是 Synopsys 公司为高云半导体专门定制的前端综合软件，支持高云半导体的库文件及其实现，支持 VHDL、Verilog 等编程语言。

关于 Synplify Pro 的详细信息及操作可参考 Synplify Pro 菜单栏中 Help 下拉列表中的相关用户文档。

## 5.2 FloorPlanner

Gowin FloorPlanner 是高云半导体面向市场自主研发的布局与物理约束编辑以及时序优化工具，支持对 I/O、Primitive（原语）、block（BSRAM、DSP）、Group 等的属性及位置信息的读取与修改功能，同时可根据用户的配置生成新的布局与约束文件，文件中规定了 I/O 的属性信息，原语、模块的位置信息等。Gowin FloorPlanner 提供了快捷的布局与约束编辑功能，有效地提高编写物理约束文件的效率，同时可以根据器件布局和时序路径进行时序优化，可支持高云半导体的各款 FPGA 芯片产品。

启动 FloorPlanner 两种方式：

1. 未建立 FGPA 工程时，可直接在软件菜单栏的“Tools”下拉列表中选择“FloorPlanner”，此时需通过“File > new”加载网表和约束文件及所需器件信息；
2. 建立 FPGA 工程时，直接在过程管理区运行 Synthesize 后双击“FloorPlanner”，此时，FloorPlanner 会直接加载工程文件并显示在 FloorPlanner 界面。FloorPlanner 分为 Chip Array 和 Package View 两个窗口，如
3. 图 5-1 和图 5-2 所示。

注！

- 该工具的详细使用方法请参考 [SUG935](#)，Gowin 设计物理约束指南。
- 除此之外 FloorPlanner 还可以进行时序优化。

图 5-1 Chip Array 窗口

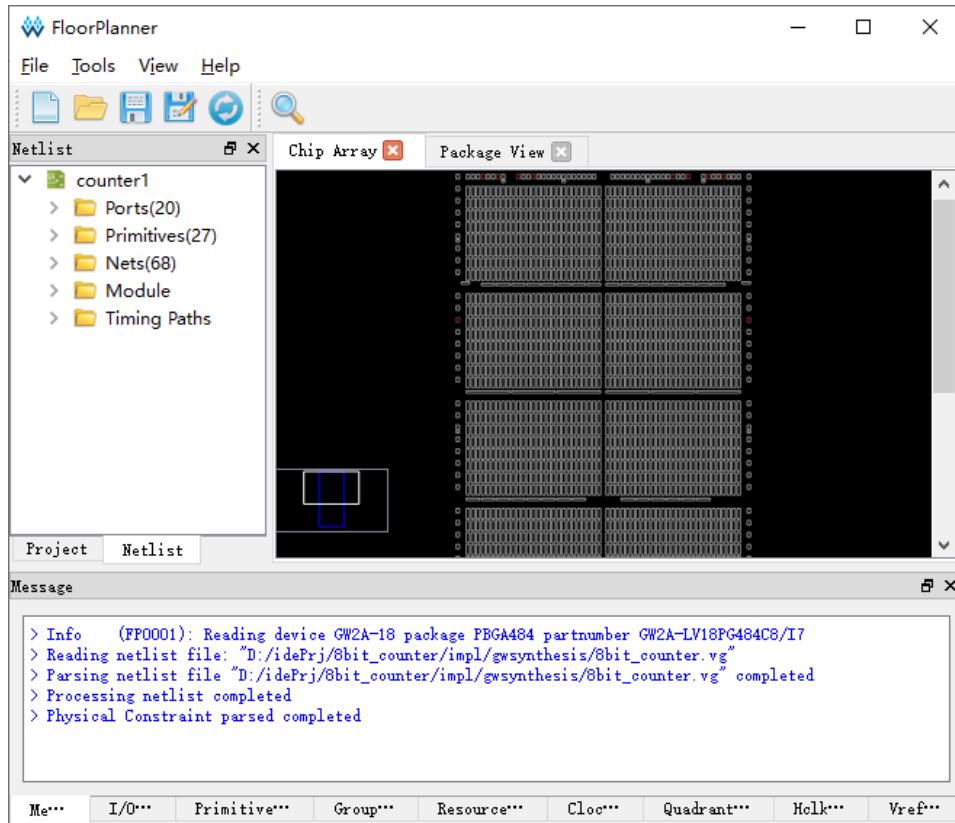
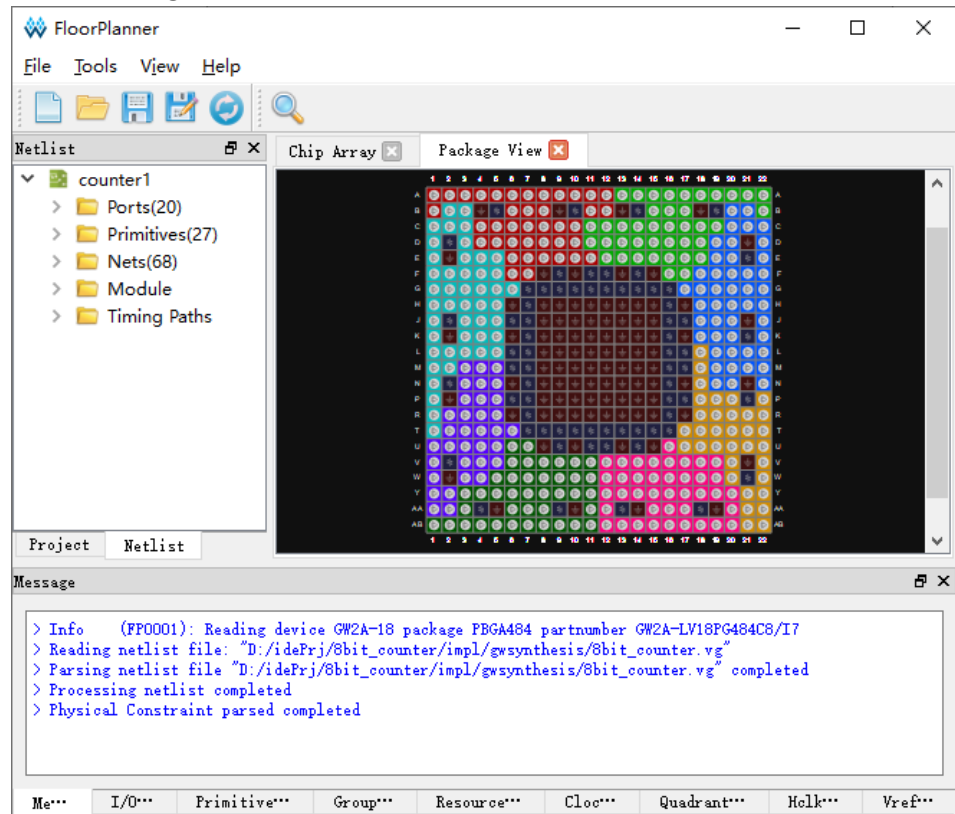


图 5-2 Package View 窗口



## 5.3 时序约束编辑器

高云时序约束编辑器（Timing Constraints Editor）是高云半导体面向市场自主研发的时序约束编辑工具，支持多种时序约束命令的编辑，包括时钟约束、输入输出约束、路径约束和时钟报告等约束编辑。Timing Constraints Editor 提供了简单快捷的时序约束编辑功能，可支持高云半导体的各 FPGA 芯片产品。

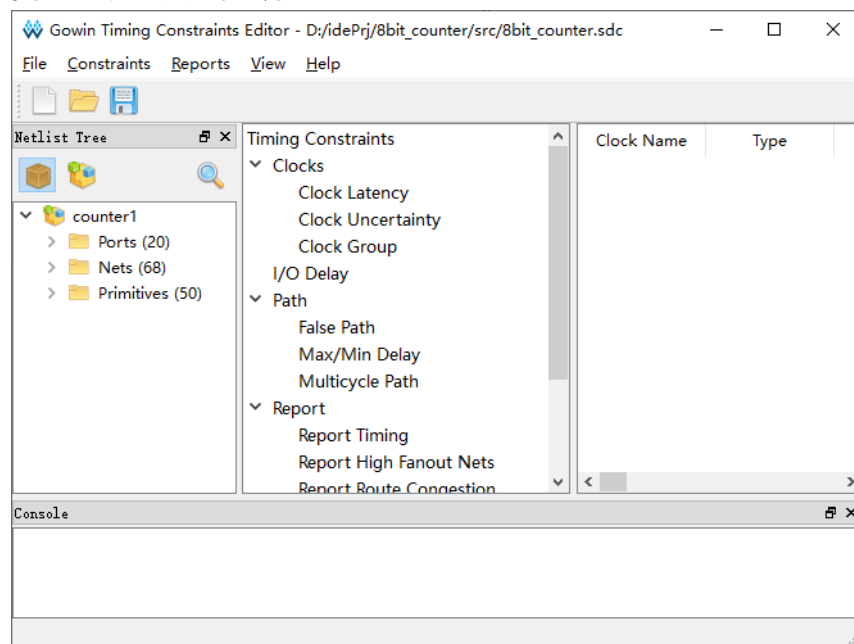
启动 Timing Constraints Editor 的方式有两种：

1. 如未建立 FPGA 工程，在菜单栏中，选择“Tools > Timing Constraints Editor”，此时，需要通过“File > New”加载网表文件；
2. 如已建立 FPGA 工程，在过程管理区运行 Synthesize 后，双击“Timing Constraints Editor”，则 Timing Constraints Editor 会直接加载工程文件并显示在 Timing Constraints Editor 界面，如图 5-3 所示。

注！

有关时序约束编辑器的详细使用方法，请参考 [SUG940](#), Gowin 设计时序约束指南。

图 5-3 创建时序约束界面



## 5.4 IP Core 产生器

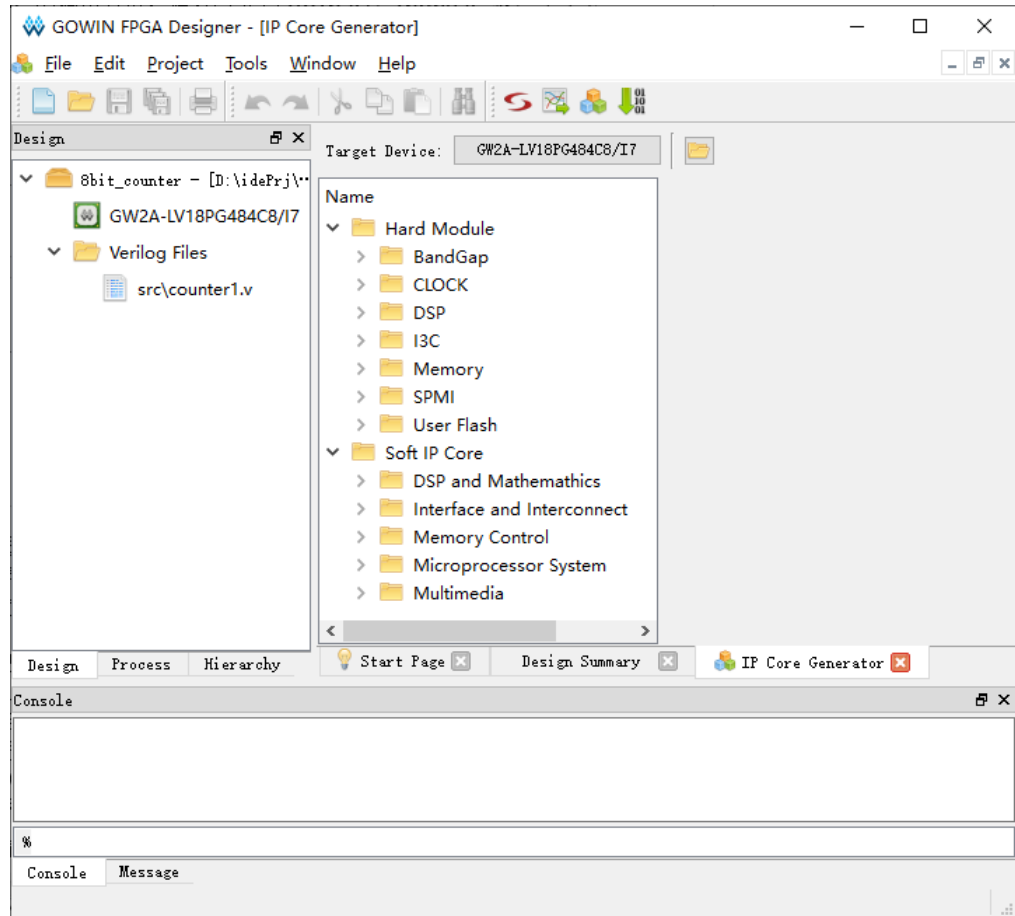
IP Core Generator 工具主要用于产生实例化的高云器件硬核以及高云发布的 IP，通过工具产生实例化的设计之后，用户可调用该实例化模块实现设计所需的功能。目前 IP Core Generator 包括原语相关的 Module 部分和参考设计相关的 IP Core 两个大组成部分，如图 5-4 所示。

通过单击菜单栏中 Tools 下拉列表中“IP Core Generator”启动 IP Core Generator 工具，进行 IP 调用。

注！

具体每个 IP 的调用方法，请参考文档 [SUG284](#), Gowin IP 核产生工具用户指南。

图 5-4 IP Core Generator 界面



注！

置灰的 Hard Module 或者 Soft IP Core 为当前 device 所不支持的。

## 5.5 在线逻辑分析仪

高云在线逻辑分析仪（GAO）是高云半导体自主研发的一款数字信号分析工具，旨在帮助用户更加简便地分析设计中信号之间的时序关系，快速进行系统分析和故障定位，提高设计效率。

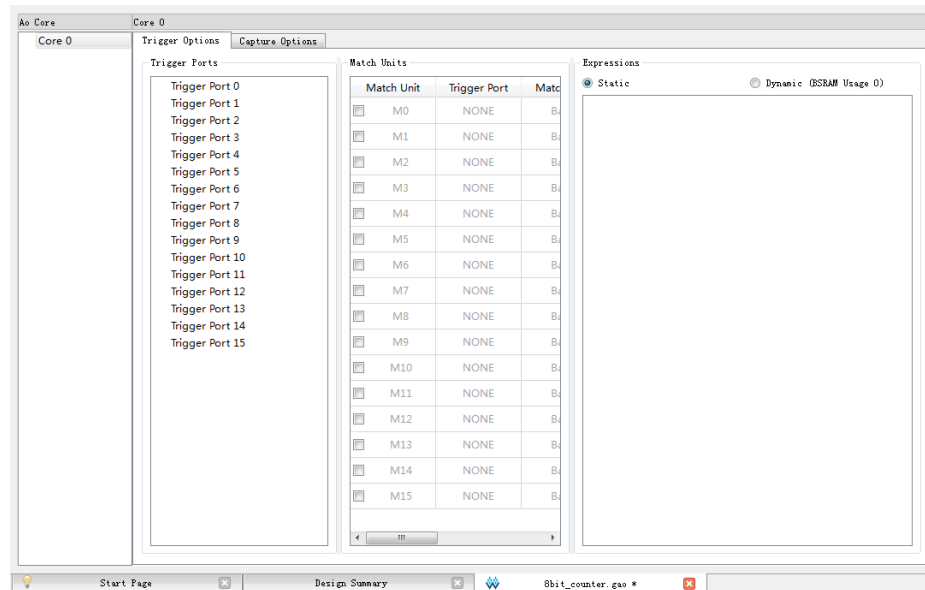
GAO 支持 RTL 级信号捕获和综合后网表级信号捕获两种捕获信号来源，并且提供标准版（Standard）和简化版（Lite）两个版本的 GAO。标准版 GAO 最多可以支持 16 个功能内核，每个内核可配置一个或多个触发端口，支持多级静态或动态触发表达式。简化版 GAO 配置简便，无需设置触发条件，简化版 GAO 还可以捕获信号的初始值，方便用户分析上电瞬间的工作状态。信号捕获后可以将其波形导出，支持\*.csv、\*.vcd 和\*.prn 三种导出文件格式，\*.csv 和\*.prn 两种类型的文件可直接用于 matlab 等第三方仿真工具使用。

GAO 包括 Gowin GAO 配置和 Gowin Analyzer Oscilloscope 两个工具。Gowin GAO 配置主要用于把定位信息配置到设计中，这些定位信息主要基于采样时钟、触发单元和触发表达式；Gowin Analyzer Oscilloscope 通过 JTAG 接口连接软件和目标硬件，将 GAO 配置文件设置的采样信号的数据直观地通过波形显示出来。



启动 GAO 配置界面之前，需在工程管理区新建 GAO 配置文件，打开配置文件界面，以下是以标准版 GAO 为例，如图 5-5 所示。

图 5-5 GAO 配置界面

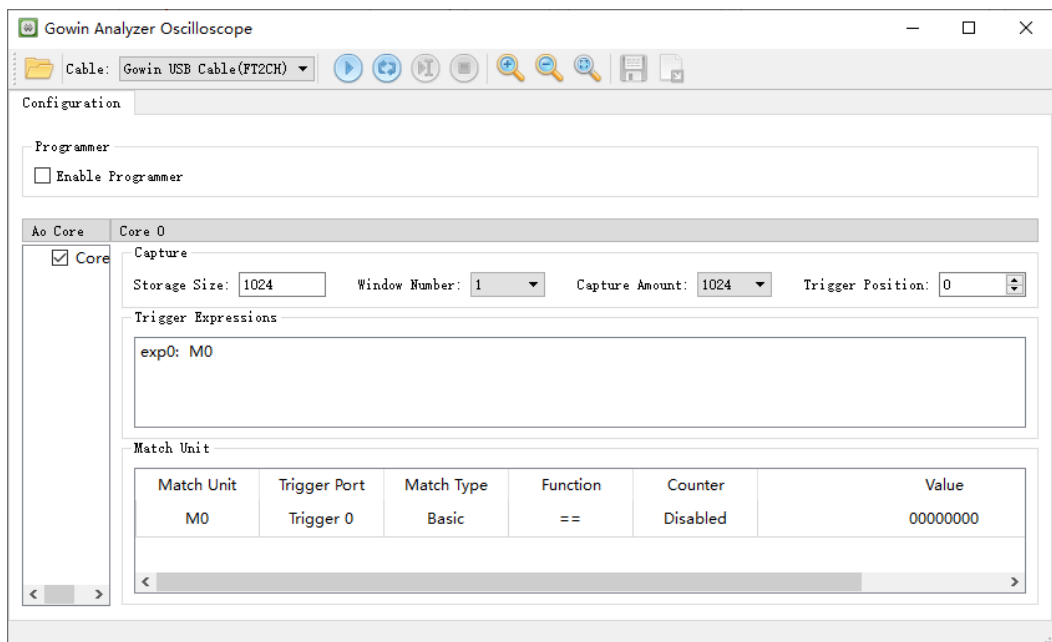


配置文件建立之后，在菜单栏中，选择“Tools > Gowin Analyzer Oscilloscope”，打开高云半导体在线逻辑分析仪工具，如图 5-6 所示。

注！

在线逻辑分析仪的配置和使用方法请参考 [SUG114](#)，Gowin 在线逻辑分析仪用户指南。

图 5-6 GAO 界面



## 5.6 功耗分析工具

高云功耗分析工具（GPA）为用户提供尽可能准确的功耗分析，提供了丰富的用户设置选项，用户可根据实际完成分析前的配置，配置越接近设计的实际情况，高云功耗分析工具提供的功耗分析结果越准确。

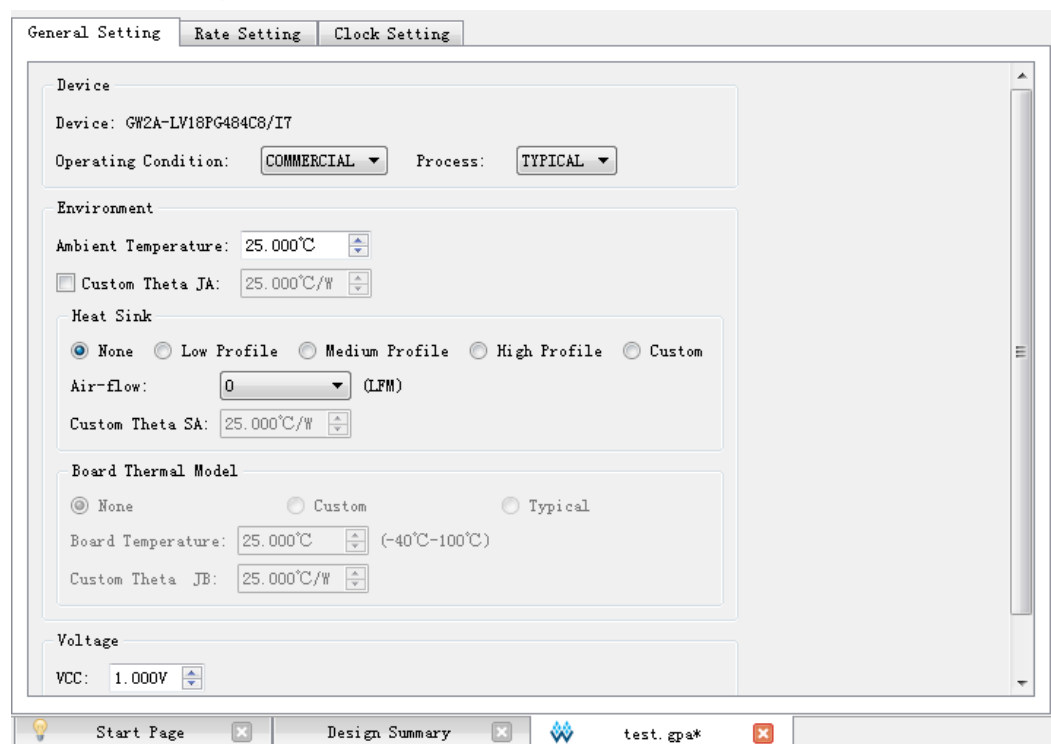
目前，GPA 工具的启动首先是以新建配置文件（.gpa）为基础，步骤如下所示：

1. 在软件工程管理区（Design），单击“File> New...”，打开“New”对话框；
2. 选择“GPA Config File”，在弹出的窗口中填写“Name”；
3. 单击“OK”，即可在“Design”窗口看到新建的 GPA Config File；
4. 双击文件名，在源文件编辑区显示“GPA Config View”即可配置，如图 5-7 所示。

注！

有关高云功耗分析工具的配置和使用方法，请参考 [SUG282](#)，Gowin 功耗分析工具用户指南

图 5-7 GPA 配置界面



## 5.7 块存储器初始化文件编辑器

块存储器初始化文件是一个 ASCII 文件，其扩展名为.mi；用户可根据自身设计要求，生成相应格式的初始化文件，用以指定存储器中每个地址下的初始值。如果已有.mi 文件，可以在 IDE 中用块存储器初始化文件编辑器打开该.mi 文件，可以再次编辑后进行保存。

块存储器初始化文件的文件名为\*.mi (file\_name.mi)，文件中每一行代表一个存储单元，行数即为存储单元的个数，也代表存储器的地址深度 Address Depth；列数代表每个存储单元有多少位，即内存的数据宽度 Data Width。地址从上到下依次递增，每行数据高位在前，低位在后。

高云块存储器初始化文件的编辑是以新建配置文件（.mi）为基础，初始化文件格式支持二进制、十六进制、带地址十六进制格式。初始化文件编辑器具体使用步骤如下：

1. 在软件工程管理区 (Design), 单击 “File> New...”, 打开 “New” 窗口;
2. 选择 “Memory Initialization File”, 如图 5-8 所示点击 “OK”, 在弹出的 New File 提示框中填写初始化文件名字后点击 “OK”, 如图 5-9 所示;
3. 启动如图 5-10 所示的初始化文件配置界面, 界面左侧部分表格填写初始值, 右侧部分配置初始化文件大小和视图格式;
4. 在配置界面的右侧配置初始化文件的 Depth 和 Width, 以及左侧表格中地址和初始值的数值显示格式。
  - Depth 和 Width 要与用户在 IP Core Generator 界面上所选择 Block Memory 或 Shadow Memory 的 Address Depth 及 Data Width 一致, 若初始化文件中 Address Depth 或 Data Width 大于界面上所选择的值, IP Core Generator 将会提示错误信息; 若 Address Depth 或 Data Width 小于各自界面上所选择的值, 则未指定的地址下的值默认初始化为 0, 设置完点击 “Update”;
  - 左侧表格中地址和数值的显示格式可以选择二进制, 十六进制, 带地址十六进制等格式;
5. 在配置界面的左侧表格中进行初始值的写入, 此外在左侧表格中可以对表格的视图格式进行设置。
  - 通过表头右键可以配置列数的显示, 有 1、8、16 三种选择, 如图 5-11 所示;
  - 表格中的初始值既可以通过双击后手动写入, 也可以通过右键进行设置, 在要输入数值处右键, 选择 “Fill with 0” 是指初始值为 0, “Fill with 1” 是指初始值每位都为 1, “Custom Fill” 使用户可以根据需要进行数值写入, 同样也可批量设置初始值如图 5-12 所示。
6. 保存文件。

图 5-8 初始化文件新建 New 提示框

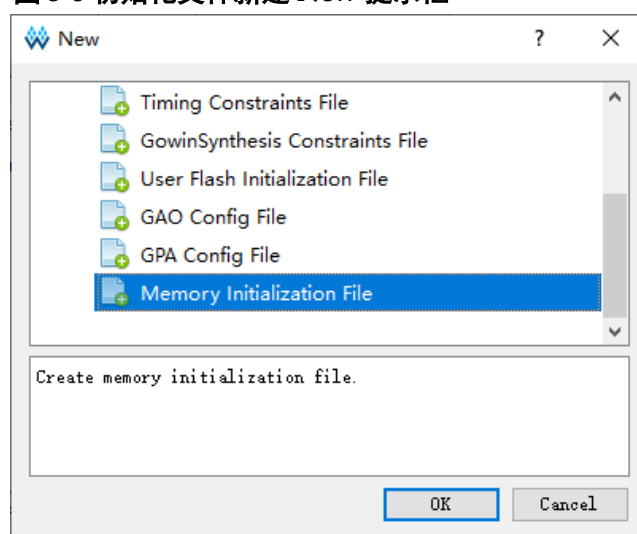


图 5-9 初始化文件新建 New File 提示框

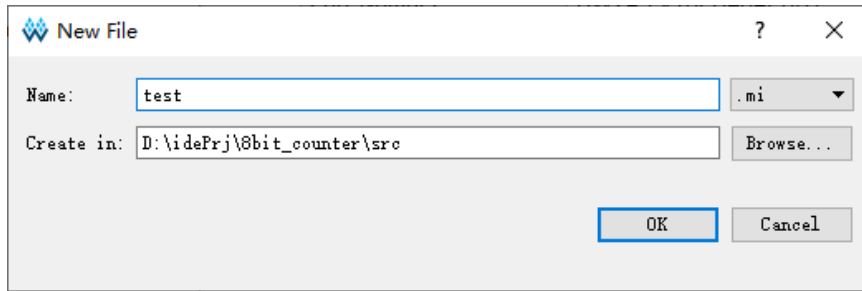


图 5-10 初始化文件配置界面

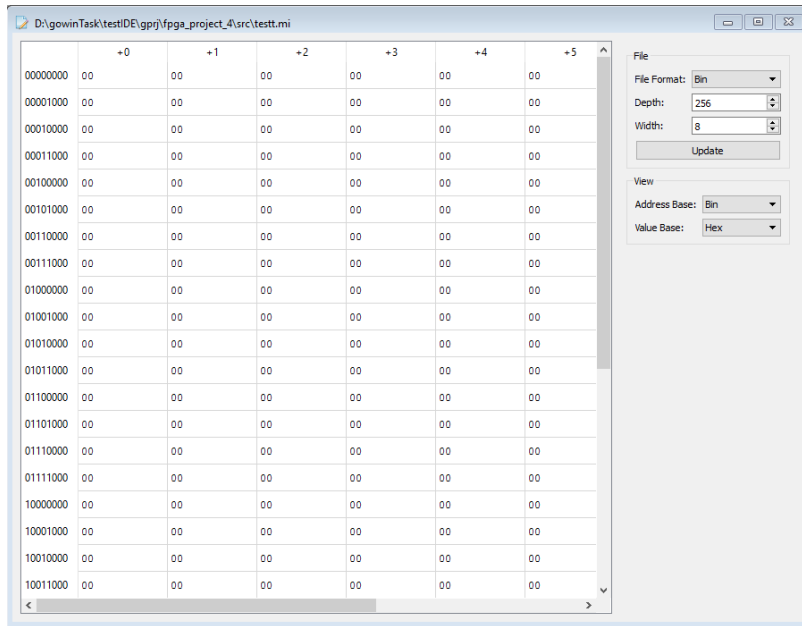


图 5-11 列数配置

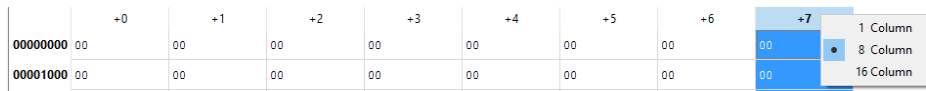
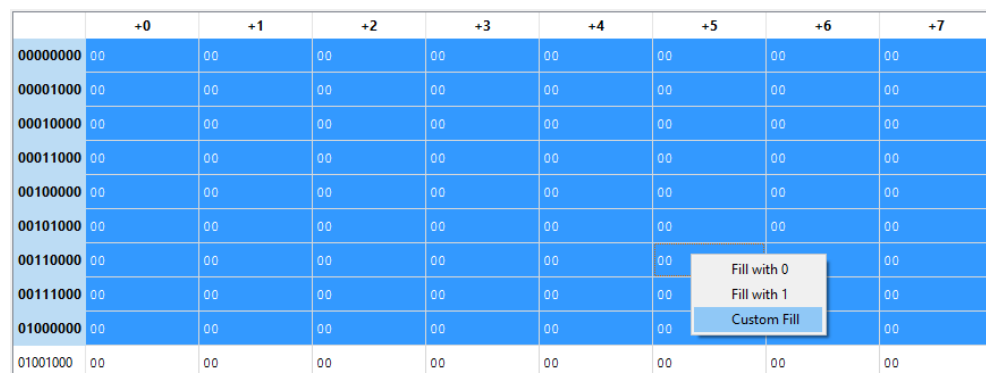


图 5-12 批量设置



### 5.7.1 二进制格式 (Bin File)

Bin 文件是由二进制数 0 和 1 组成的文本文件，行数代表存储器的地址深度，列数代表存储器的数据宽度。

```
#File_format=Bin
#Address_depth=16
#Data_width=32
00001100000100000000100100010000
10000000100100001000000010000000
01000000100000001000000010000000
00100000100001001100000011000000
00000100000001000000010000000100
01000010001010100000101000001010
00100010010001000000010001000110
01000101000001110000010101000001
01100100001001001000010000100100
01001001010010010010100101001001
01100101001001010000010100100101
11000001101001010000010110100101
01001000100010000010110000001100
10000101001011010100110100101101
01101100001100110000011100011001
00001001001010010100000110010000
```

## 5.7.2 十六进制格式 (Hex File)

Hex 文件与 Bin 文件格式类似，由十六进制数 0~F 组成，行数代表存储器的地址深度，每一行数据的二进制位数，代表存储器的数据宽度。

```
#File_format=Hex
#Address_depth=8
#Data_width=16
3A40
A28E
0B52
1C49
D602
0801
03E6
4C18
```

## 5.7.3 带地址十六进制格式 (Address-Hex File)

Address-Hex 文件是在文件中对有数据记录的地址和数据都进行记录，地址和数据都是由十六进制数 0~F 组成，每行中冒号前面是地址，冒号后面是数据，文件中只对写入数据的地址和数据进行记录，没有记录的地址默认数据为 0。

```
#File_format=AddrHex
#Address_depth=256
#Data_width=16
9:FFFF
23:00E0
2a:001F
30:1E00
```

## 5.8 User Flash 初始化文件编辑器

User Flash 初始化文件是一个 ASCII 文件，其扩展名为 .fi；用户可根据自身设计要求，生成相应格式的初始化文件，用以指定 User Flash 中每个地址下的初始值。如果已有 .fi 文件，可以在软件中用 User Flash 初始化文件编辑器打开该 fi 文件，可以再次编辑后进行保存。

User Flash 初始化文件的文件名为 \*.fi(file\_name.fi)，文件中每一行代表一个存储单元，行数即为需要初始化数据的存储单元的个数；行头中括号内容分别表示纵坐标地址、横坐标地址，使用分号隔开；每行中括号后的内容表示存储单元初始化的数据，数据支持二进制和十六进制，数据高位在前，低位在后。

高云 User Flash 初始化文件格式支持二进制、十六进制格式，.fi 文件内容格式举例如下：

### 5.8.1 二进制格式（Bin File）

Bin 文件是存储数据由二进制数 0 和 1 组成的文本文件。

```
//Copyright (C)2014-2020 Gowin Semiconductor Corporation.
//All rights reserved.
//File Title: User Flash Initialization File
//GOWIN Version: V1.9.6Beta
//Part Number: GW1N-LV4QN32C6/I5
//Device-package: GW1N-4-QFN32-6
//Flash Type: FLASH256K
//File Format: Bin
//Created Time: 2020-05-14 13:07:11
[1:0] 00000001000000010000000100000000
[2:1] 00000000000000010001000100000001
[3:1] 00010000000100010000000100000001
[3:2] 00000001000000010000000100000001
[5:1] 00010001000000000001000000000000
[6:3] 00010000000100010000000100000001
```

## 5.8.2 十六进制格式 (Hex File)

Hex 文件与 Bin 文件格式类似，存储数据由十六进制数 0~F 组成。

```
//Copyright (C)2014-2020 Gowin Semiconductor Corporation.
```

```
//All rights reserved.
```

```
//File Title: User Flash Initialization File
```

```
//GOWIN Version: V1.9.6Beta
```

```
//Part Number: GW1N-LV4QN32C6/I5
```

```
//Device-package: GW1N-4-QFN32-6
```

```
//Flash Type: FLASH256K
```

```
//File Format: Hex
```

```
//Created Time: 2020-05-14 13:15:17
```

```
[0:1] ff156fa2
```

```
[0:2] 00111111
```

```
[0:4] 03fa21bc
```

```
[2:1] e22efffa
```

```
[3:2] 0011def2
```

```
[3:3] 000e2bc3
```

高云 User Flash 初始化文件的编辑是以新建配置文件 (.fi) 为基础，初始化文件编辑器具体使用步骤如下：

1. 在软件工程管理区 (Design)，单击 “File> New...”，打开 “New” 窗口；
2. 选择 “User Flash Initialization File”，如图 5-13 所示点击 “OK”，在弹出的 New File 提示框中填写初始化文件名字，默认 .fi 文件生成的路径是当前工程下的 src 文件夹，选择所需器件后点击 “OK”，如图 5-14 所示。目前 User Flash 初始化文件编辑器所支持的器件与 User Flash 原语所支持的器件信息一致，如果选择的器件不支持 User Flash，则点击 “OK” 后会在 New File 提示框的底部打印提示信息 “Current device do not support flash”；

图 5-13 初始化文件新建 New 提示框

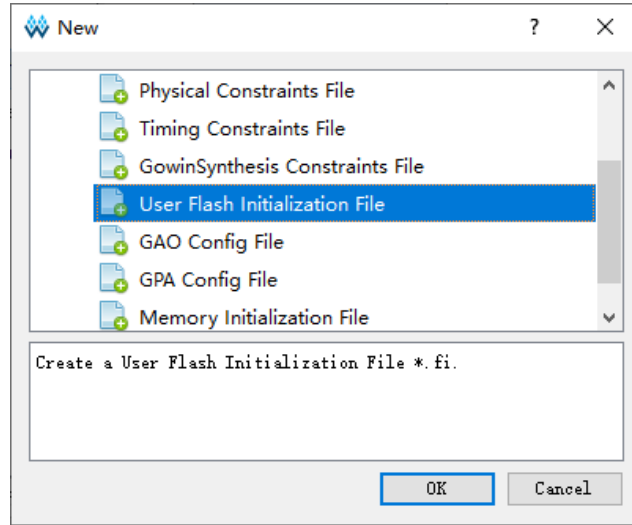
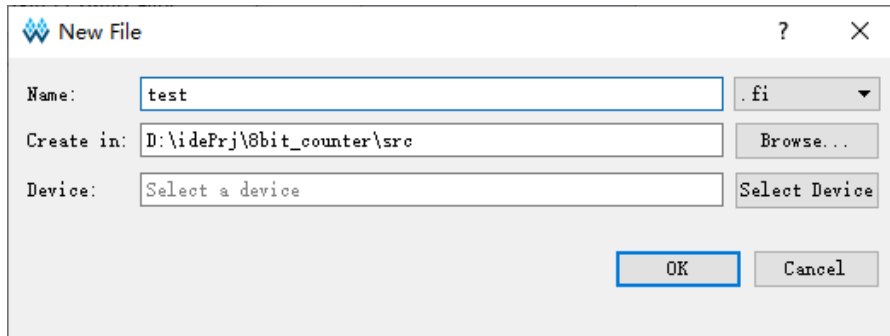
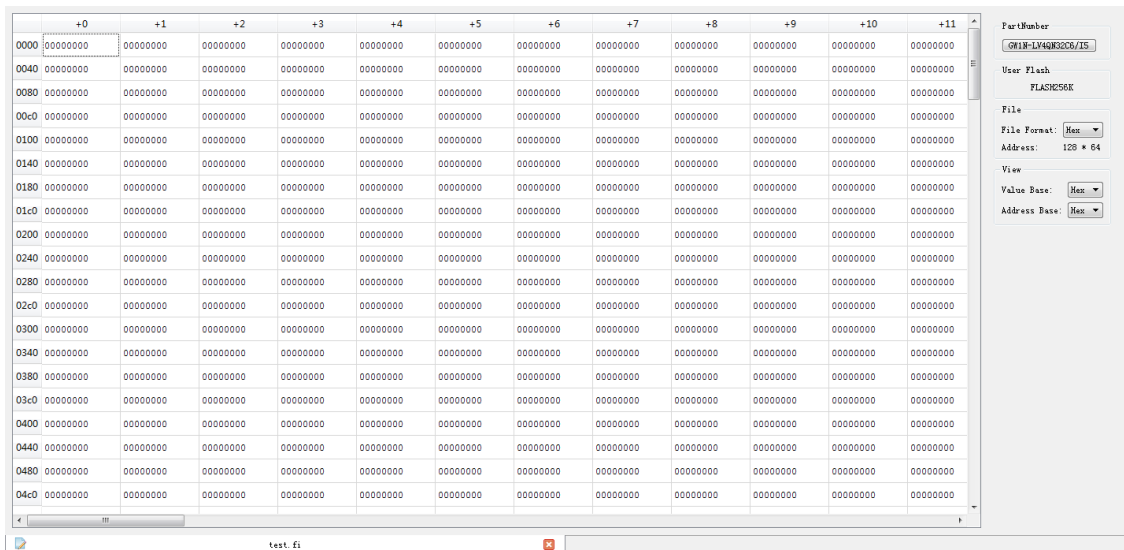


图 5-14 初始化文件新建 New File 提示框



3. 启动如图 5-15 所示的初始化文件配置界面，界面左侧部分表格填写初始值，右侧部分配置初始化文件格式和视图格式，并且会显示 Part Number 信息以及 User Flash 类型；

图 5-15 初始化文件配置界面





4. 在配置界面的右侧配置 **Part Number** 信息、初始化文件的显示格式以及左侧表格中地址和初始值的数值显示格式。
  - 单击 **Part Number** 信息后会弹出“**Select Device**”配置框，可以重新选择其他器件；
  - 左侧表格中地址和数值的显示格式可以选择二进制、八进制、十进制、十六进制等格式；
5. 在配置界面的左侧表格中进行初始值的写入，此外在左侧表格中可以对表格的视图格式进行设置。  
 表格中的初始值既可以通过双击后手动写入，也可以通过右键进行设置，在要输入数值处右键，选择“**Fill with 0**”是指初始值为 0，“**Fill with 1**”是指初始值每位都为 1，“**Fill Custom**”使用户可以根据需要进行数值写入，同样也可批量设置初始值如图 5-16 所示。

图 5-16 批量设置

	+0	+1	+2	+3	+4	+5	+6	+7	+8	+9	+10	+11
0000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
0040	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
0080	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
00c0	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
0100	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
0140	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
0180	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
01c0	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000

6. 保存文件。

# 6 云源软件输出文件介绍

高云云源软件在 **FPGA** 设计过程中，除生成比特流文件以外，亦可通过使用不同的运行参数，可生成多个 **Gowin** 云源软件报告供用户参考，默认生成的报告包括综合报告、布局布线报告、端口属性文件、时序报告和功耗分析报告等。此外，用户可通过右键单击 **Place & Route**，修改配置属性生成管脚约束文件、后仿真模型文件等。

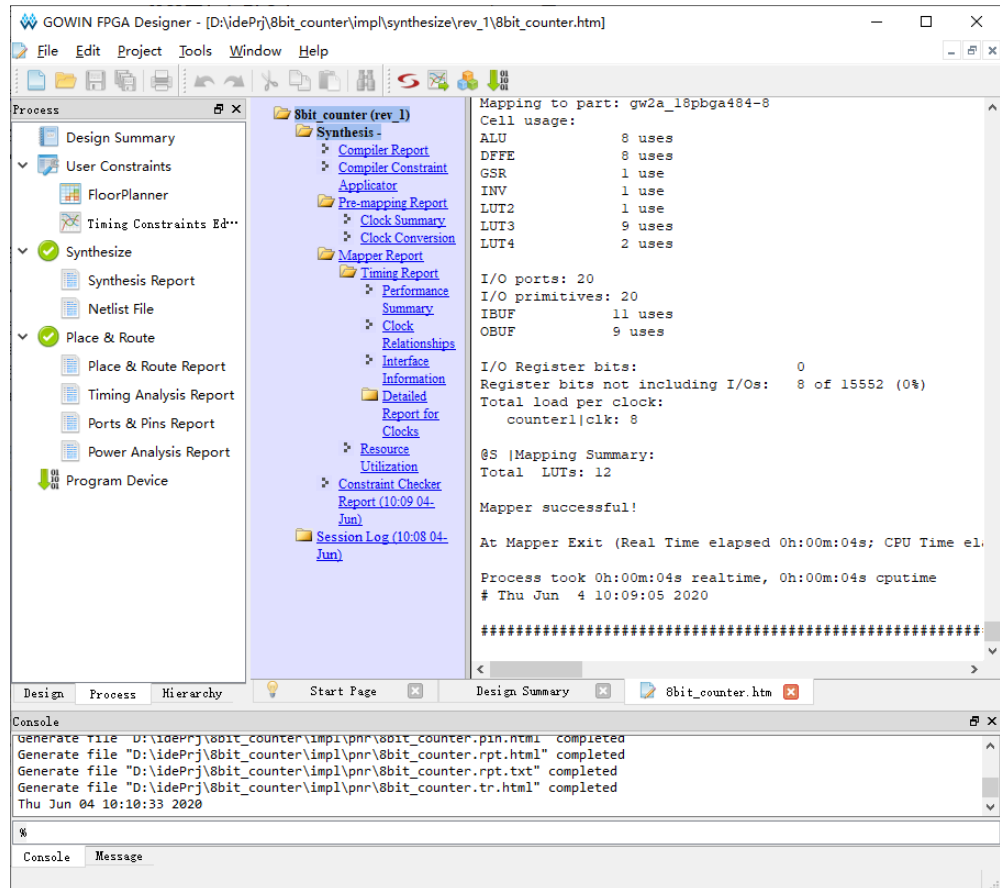
## 6.1 综合报告

综合完成后会生成相应的综合报告及 **Netlist** 文件，包括 **synplifyPro** 和 **GowinSynthesis** 不同类型的文件。

### 6.1.1 Synplify Pro 综合报告

综合工具选择 **Synplify Pro**，综合完成后会生成综合报告。在 **Synplify Pro** 综合报告中含有器件信息、综合编译信息、时序信息、综合用时及占用内存大小以及综合后的资源信息等。用户可在过程管理区的 **Synthesize** 区，双击“**Synthesis Report**”，打开 **FPGA** 工程对应的综合报告，如图 6-1 所示。

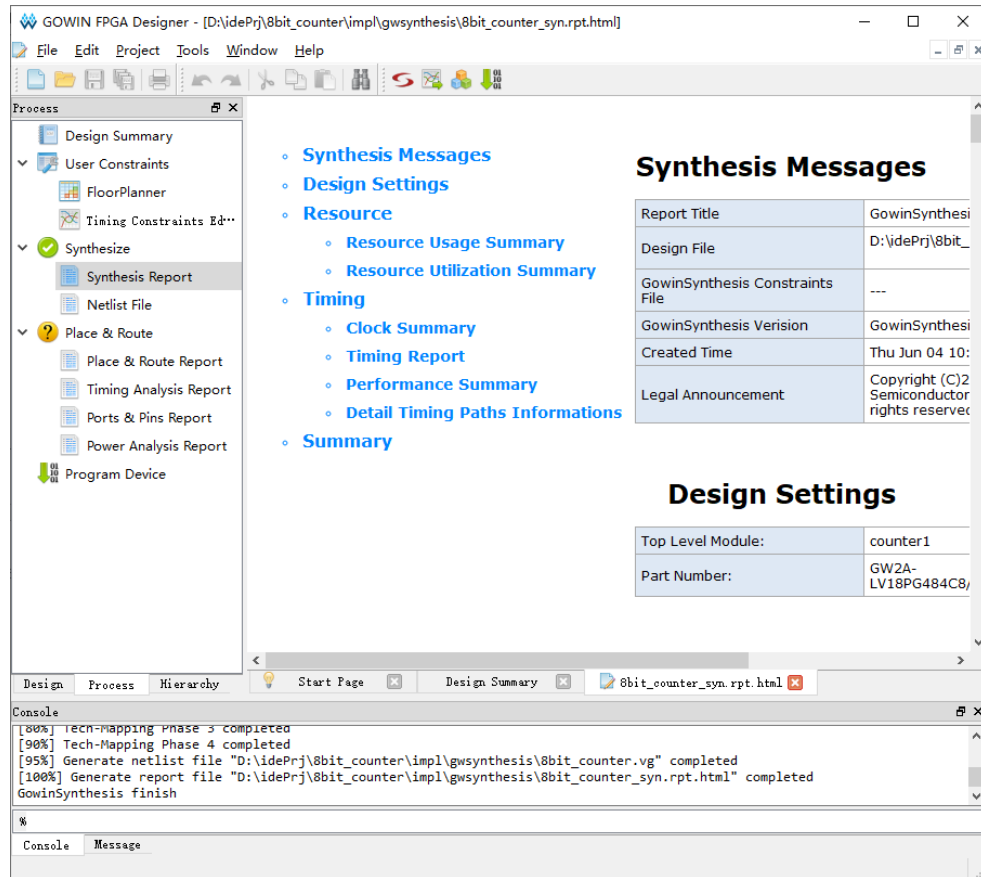
图 6-1 Synplify Pro 综合报告



## 6.1.2 GowinSynthesis 综合报告

综合工具选择 GowinSynthesis，综合完成后会生成综合报告，报告名为 \*\_syn.rpt.html，包含 Synthesis Message、Design Settings、Resource、Timing、Message、Summary 等，如图 6-2 所示。

图 6-2 GowinSynthesis 综合报告



报告的左侧会显示具体的索引信息，详细介绍如下：

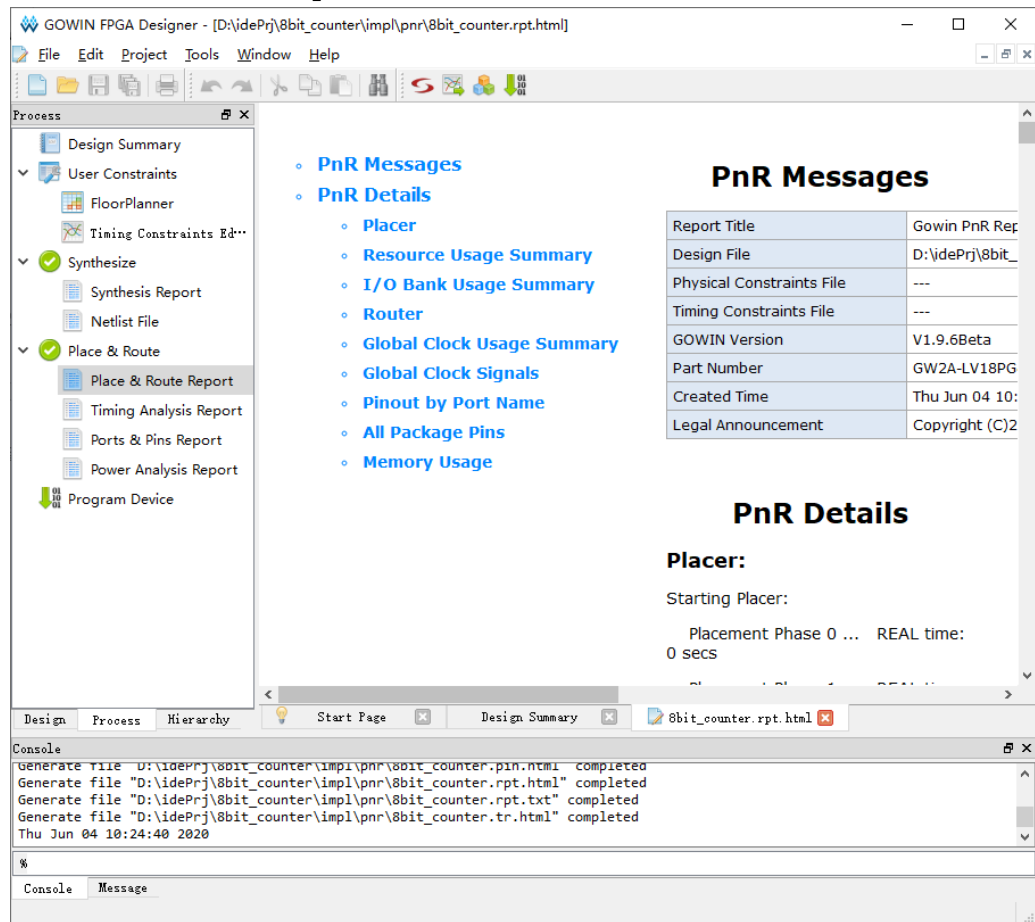
- **Synthesis Message:** 综合基本信息，主要包括综合的设计文件、当前 GowinSynthesis 版本、运行时间等信息；
- **Design Settings:** 设计配置信息，包括设计文件的顶层模块和指定的芯片类型信息；
- **Resource:** 资源信息，主要包括资源使用统计和芯片占用统计；
- **Timing:** 时序统计，主要包括 Clock Summary、Timing Report、Performance Summary、Detail Timing Paths Informations 等信息；
- **Summary:** 统计输出信息中的 warning, error, information 数量，并给出综合的实际运行时间和 CPU 运行时间，以及综合过程中的 Memory peak 即内存占用峰值情况。

## 6.2 布局布线报告

布局布线报告，列出了用户设计占用的芯片资源信息、内存消耗信息、时间消耗信息等，方便用户了解设计的大小及与目标芯片是否匹配等内容。文件后缀名为.rpt.html，具体信息可查看\*.rpt.html 文件。

用户可在过程管理区的 Place & Route 区，双击“Place & Route Report”，打开 FPGA 工程对应的布局布线报告，如图 6-3 所示。

图 6-3 Place &amp; Route Report



布局布线报告的左侧会显示具体的索引信息，详细介绍如下：

- **PnR Messages:** 布局布线报告的总览信息，包括报告名称、设计案例的路径及名称、物理约束文件、时序约束文件、软件版本号、器件信息、报告创建时间及法律声明；
- **Placer:** 各阶段 place 所用时间及 place 总时间；
- **Resource Usage Summary:** 用户设计所占用的芯片资源信息；
- **I/O Bank Usage Summary:** 用户设计所占用的 I/O bank 信息；
- **Router:** 各阶段 route 所用时间及 route 总时间；
- **Global Clock Usage Summary:** 所用全局时钟信息；
- **Global Clock Signals:** 用户设计中所用的时钟信号；
- **Pinout by Port Name:** 用户设计中的 port 所占用的引脚信息；
- **All Package Pins:** 当前器件封装下所有引脚的详细信息；
- **Memory Usage:** PnR 的内存消耗信息。

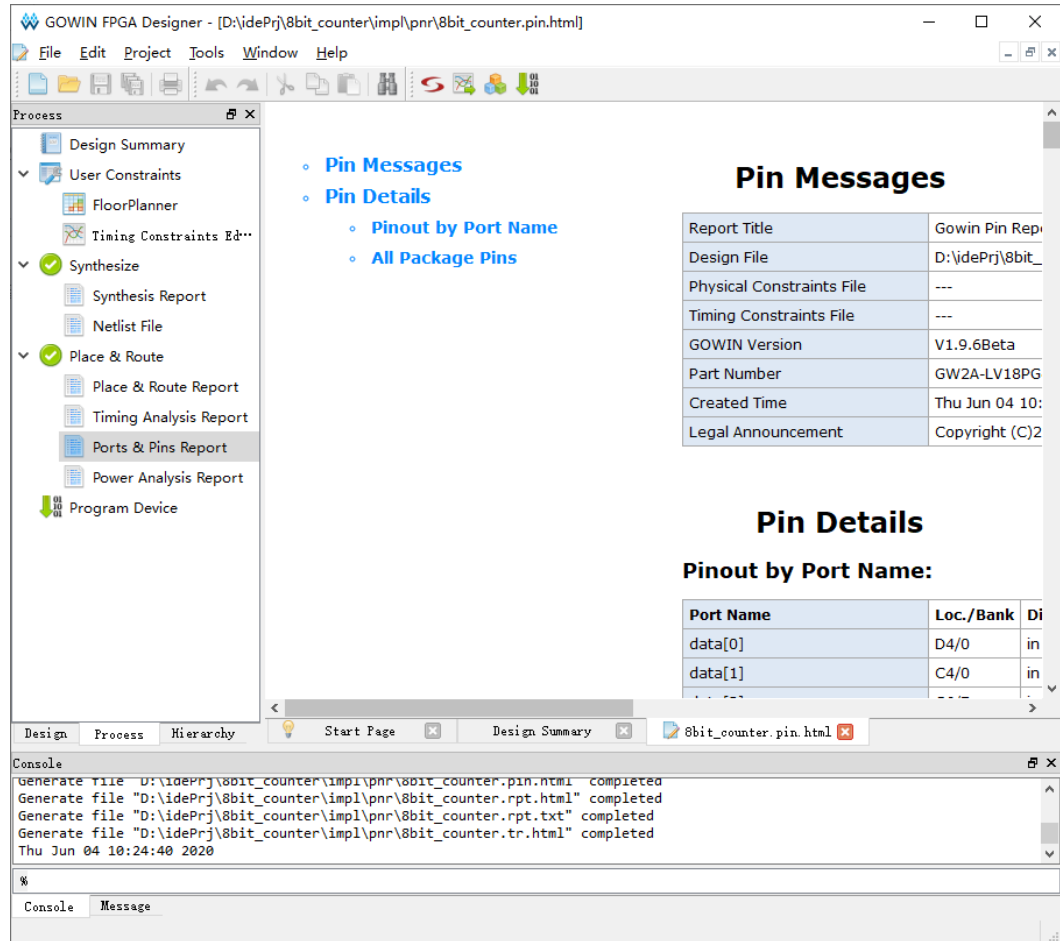
## 6.3 端口属性报告

端口属性报告，是在布局之后输出的端口属性的文件，包括端口的类型、属性及端口位置信息等，生成的文件后缀名为.pin.html，具体信息可查看

\*.pin.html 文件。

用户可在过程管理区的 Place & Route 区, 双击 “Ports & Pins Report”, 打开 FPGA 工程对应的端口属性报告, 如图 6-4 所示。

图 6-4 Ports & Pins Report



端口属性报告的左侧会显示具体的索引信息, 详细介绍如下:

- **Pin Messages:** 端口属性报告的总体信息, 包括报告名称、设计案例的路径及名称、物理约束文件、时序约束文件、软件版本号、器件信息、报告创建时间及法律声明;
- **Pinout by Port Name:** 用户设计中的 port 所占用的引脚信息;
- **All Package Pins:** 当前器件封装下所有引脚的详细信息。

## 6.4 时序报告

时序报告输出提供两种类型的时序报告: 网页格式和文本格式, 默认为网页格式。

目前产生的时序报告包括建立时间检查、保持时间检查、恢复时间检查、移除时间检查、最小时钟脉冲检查、最大扇出路径、布线拥塞度报告等部分, 默认情况下对上述所有检查进行报告, 并提供最大频率的报告。

用户可在过程管理区的 Place & Route 区, 双击 “Timing Analysis

Report”，打开 FPGA 工程对应的时序报告，如图 6-5 所示。

注！

时序报告的详细信息请参考 [SUG940](#), Gowin 设计时序约束指南中的时序报告部分。

图 6-5 时序报告内容

The screenshot shows the Gowin FPGA Designer interface with the Timing Messages report open. The report content is as follows:

Timing Messages	
Report Title	Gowin Timing Analysis Report
Design File	D:\idePrj\8bit_counter\impl\pnr\8bit_counter.tr.html
Physical Constraints File	---
Timing Constraint File	---
GOWIN version	V1.9.6Beta
Part Number	GW2A-LV18PG484C8/17
Created Time	Thu Jun 04 10:24:40 2020
Legal Announcement	Copyright (C)2014-2020 Gowin

Timing Summaries	
<b>STA Tool Run Summary:</b>	
Setup Delay Model	Slow 0.95V 85C
Hold Delay Model	Fast 1.05V 0C
Numbers of Paths Analyzed	44

## 6.5 功耗分析报告

功耗分析报告主要是针对用户设计，根据器件的特性做一个预估的功耗计算，帮助用户评估设计的基本功耗值。

用户可在过程管理区的 Place & Route 区，双击“Power Analysis Report”，可打开 FPGA 工程对应的功耗分析报告，如图 6-6 所示。

注！

有关功耗分析的影响因素及功耗分析报告的详细内容，请参考 [SUG282](#), Gowin 功耗分析工具用户指南

图 6-6 功耗分析报告

The screenshot displays the GOWIN FPGA Designer interface with the Power Analysis Report open. The Process tree on the left shows the report generation steps, with 'Power Analysis Report' selected. The central navigation menu lists the following sections:

- Power Messages
- Power Summary
  - Power Information
  - Thermal Information
  - Configure Information
  - Supply Information
- Power Details
  - Power By Block Type
  - Power By Hierarchy
  - Power By Clock Domain

The main content area displays the 'Power Messages' table:

Power Messages	
Report Title	Gowin Power A
Design File	D:\idePrj\8bit_
Physical Constraints File	---
Timing Constraints File	---
GOWIN Version	V1.9.6Beta
Part Number	GW2A-LV18PG
Created Time	Thu Jun 04 10:
Legal Announcement	Copyright (C)2

Below the table is the 'Power Summary' section, which includes 'Power Information' with the following data:

Power Information:	
Total Power (mW)	18.713
Quiescent Power (mW)	9.830
Dynamic Power (mW)	8.883

The console at the bottom shows the following messages:

```

Generate file "D:\idePrj\8bit_counter\impl\pnr\8bit_counter.pin.html" completed
Generate file "D:\idePrj\8bit_counter\impl\pnr\8bit_counter.rpt.html" completed
Generate file "D:\idePrj\8bit_counter\impl\pnr\8bit_counter.rpt.txt" completed
Generate file "D:\idePrj\8bit_counter\impl\pnr\8bit_counter.tr.html" completed
Thu Jun 04 10:24:40 2020
%
  
```



# 附录 A Tcl 命令说明

云源软件除了支持界面模式外还支持命令行模式运行。在以下说明中，尖括号<>包含的内容为必须指定的内容，方括号[]含的内容为可选的内容。

## A.1 启动命令行模式

### A.1.1 gw\_sh.exe

#### 语法

命令：安装目录下\x.x\IDE\bin\gw\_sh.exe

参数：

[script file]

[-help]

**参数为空：**直接进入命令行控制台模式；

**script file：**可选项，执行一个指定的脚本文件；

**-help：**可选项，打印帮助信息。

应用示例：

#启动命令行模式

gw\_sh.exe

#执行脚本文件

gw\_sh.exe script\_file

#打印帮助信息

gw\_sh.exe -help

## A.2 命令介绍

### A.2.1 add\_file

add\_file [options] <file...>

添加设计文件。

参数：

<file...> 要添加的设计文件，可以指定多个，多个文件以空格分隔。

选项:

- **-type <type>** `add_file` 命令会根据文件后缀名自动判断文件类型，也可以使用该选项来明确指定文件类型，支持的文件类型有 `verilog`、`vhdl`、`netlist`、`cst`、`sdc`、`fdc`、`gao`、`gpa`、`gsc`。
- **-disable** 将添加的文件置为失效状态。处于失效状态的文件仅添加到文件列表中，不参与流程实现。相关命令：`set_file_enable`。
- **-h, --help** 显示帮助信息。

例:

```
add_file abc.v
add_file -type vhdl 1.vhd 2.vhdl 3.vhd
```

## A.2.2 rm\_file

`rm_file [options] <files...>`

移除设计文件。

参数:

<file...>要移除的设计文件，可以指定多个。

选项:

**-h, --help** 显示帮助信息。

例:

```
rm_file a.v
rm_file a.v b.v c.v
```

## A.2.3 set\_device

`set_device [options] <part number>`

设置目标器件。

参数:

<part number> 目标器件的 Part Number, 如 `GW1N-UV4LQ144C6/I5`。

选项:

- **-name <name>** 指定器件的名称，如 `GW1N-4`。大部分情况下仅通过 Part Number 就可以定位唯一的目標器件，此时 **-name** 选项是可选的。但一些不同的器件可能具有相同的 Part Number，这种情况下必须通过 **-name** 选项来指定器件的名称。
- **-h, --help** 显示帮助信息。

例:

```
set_device GW1N-LV1CS30C6/I5
set_device -name GW1N-4 GW1N-UV4LQ144C6/I5
```

## A.2.4 set\_file\_prop

set\_file\_prop [options] <file...>

设置文件属性。

**参数:**

<file...> 指定要设置的文件，可以指定多个，多个文件之间以空格分隔。

**选项:**

- -lib <name> 设置文件的 library name。该选项仅对 VHDL 类型的文件有效。
- -h, --help 显示帮助信息。

**例:**

```
set_file_prop -lib work abc.vhd
```

## A.2.5 run

run [options] <process>

运行全部流程或某个流程。

**参数:**

<process> 指定要运行的流程名称，可以被执行的流程名称有 syn 和 pnr，分别表示综合及布局布线。也可以指定 all，表示运行全部的流程。

**选项:**

-h, --help 显示帮助信息。

**例:**

```
run pnr
```

```
run all
```

## A.2.6 set\_file\_enable

set\_file\_enable [options] <file> <true|false>

设置文件是否可以被使用。

**参数:**

- <file> 指定要设置的文件。
- <true|false> true 表示文件可以被使用，false 表示不可被使用。

**选项:**

-h, --help 显示帮助信息。

**例:**

```
set_file_enable abc.v fasle
```

## A.2.7 saveto

saveto [options] <file>

将当前工程设计数据保存到 tcl 脚本，包括当前的器件信息、设计文件和

流程选项等信息。

**参数:**

<file> 导出的文件名。

**选项:**

- -all\_options saveto 命令默认只保存修改过的选项信息，即与默认值不同的选项。可以通过指定-all\_options 来保存所有的选项信息。
- -h, --help 显示帮助信息。

**例:**

```
saveto project.tcl
saveto -all_options project.tcl
```

## A.2.8 set\_option

set\_option [options]

设置工程相关的属性配置及流程选项。

**选项:**

- -output\_base\_name <name>
 

指定输出文件的文件名。此选项仅指定文件的 base name，不同流程会根据输出文件的类型使用合适的扩展名。如-output\_base\_name abc，则 gowinsynthesis 综合产生的网表文件名为 abc.vg。
- -synthesis\_tool <tool>
 

指定综合工具，gowinsynthesis 或 synplify\_pro。
- -top\_module <name>
 

指定 Top Module/Entity。
- -include\_path <path or path list>
 

指定包含路径。当指定多个包含路径时，路径之间需要使用分号进行分隔，并使用一对大括号{}包含所有的路径信息，如-include\_path {/path1;/path2;/path3}。当指定相对路径时，结果为相对程序当前运行路径，即相对 pwd 命令返回的路径。

### 综合属性配置

- -verilog\_std <v1995|v2001|sysv2017>
 

指定 Verilog 语言标准：Verilog 95 / Verilog 2001 / System Verilog，默认为 System Verilog。
- -vhdl\_std <vhdl1993|vhdl2008|vhdl2019>
 

指定 VHDL 语言标准：VHDL 1993 / VHDL 2008 / VHDL2019。
- -dsp\_balance <0|1>
 

指定综合时是否自动进行 DSP Balance。仅对 GowinSynthesis 有效，默认为 0。

- **-allow\_duplicate\_modules <0|1>**

对于 Verilog 设计，启用该选项后允许使用重复的模块名，软件将使用模块的最后一个定义并忽略以前的任何定义，默认为 0。
- **-auto\_constraint\_io <0|1>**

是否将默认约束用于没有用户定义约束的 I/O 端口。
- **-compiler\_compatible <0|1>**

禁止跨进程/跨边界综合出三态。
- **-default\_enum\_encoding <default|onehot|gray|sequential>**

设置默认的枚举类型编码方式（仅针对 VHDL）。
- **-disable\_io\_insertion <0|1>**

启用或禁用 I/O 插入的使能控制。
- **-fix\_gated\_and\_generated\_clocks <0|1>**

启用该项时执行选通和生成的时钟优化。
- **-frequency <value>**

指定全局设计频率（以 MHz 为单位）。
- **-looplevelimit <value>**

设置 RTL 中默认的编译器循环限制值，默认值为 2000。
- **-maxfan <value>**

设置一个输入端口、net 或寄存器输出端的扇出值。
- **-multi\_file\_compilation\_unit <0|1>**

启用该项时 Verilog 编译器会将编译单元用在多个文件定义的模块中。
- **-num\_critical\_paths <value>**

指定报告中报告的关键路径条数。
- **-num\_startend\_points <value>**

指定在时序报告中报告松弛度最差的路径时要包括的起点和终点的数目。
- **-pipe <0|1>**

通过创建流水线使设计以更快的频率运行。
- **-resolve\_multiple\_driver <0|1>**

当网络是由 VCC 或 GND 驱动时，启用此选项会将网络连接到 VCC 或 GND 的驱动程序上，默认值为 0。
- **-resource\_sharing <0|1>**

设置是否启用资源共享。
- **-retiming <0|1>**

启用该选项时，寄存器可以移动到组合逻辑中以提高性能，默认值为 0。
- **-run\_prop\_extract <0|1>**

启用/禁用与 RTL 视图上的时钟和扩展相关的某些生成属性的注释。
- **-rw\_check\_on\_ram <0|1>**

当需要在写入期间进行读取时防止仿真失配，启用该选项会自动插入旁路逻辑。

- **-supporttypedflt <0|1>**  
启用该选项时，编译器通过 `syn_init` 属性将 `init` 值传递给映射器。
- **-symbolic\_fsm\_compiler <0|1>**  
启用/禁用 FSM 编译器。
- **-synthesis\_onoff\_pragma <0|1>**  
确定是否忽略综合开/关指令之间的代码。
- **-update\_models\_cp <0|1>**  
确定编译点内部的更改是否会导致包含它的编译点（或顶级）做出相应更改。
- **-write\_apr\_constraint <0|1>**  
写入特定于供应商的约束文件

#### 注！

Synplify Pro 相关运行选项的详细用法，具体可参考云源软件安装目录下的 SynplifyPro 相关文档，即软件安装路径 `installPath\SynplifyPro\doc` 下的 `fpga_command_reference.pdf`；

#### Place&Route 属性配置

- **-gen\_sdf <0|1>**  
指定 Place&Route 是否产生 SDF 文件，默认为 0。
- **-gen\_io\_cst <0|1>**  
指定 Place&Route 是否产生文件名为 `*.io.cst` 的 port 端口的物理约束文件，默认为 0。
- **-gen\_ibis <0|1>**  
指定 Place&Route 是否产生文件名为 `*.ibs` 的输入/输出缓冲区信息指定文件，默认为 0。
- **-gen\_posp <0|1>**  
指定 Place&Route 是否产生文件名为 `*.posp` 的器件布局文件，默认为 0。
- **-gen\_text\_timing\_rpt <0|1>**  
指定 Place&Route 是否产生文件名为 `*.tr` 的文本格式的时序报告，默认为 0。
- **-gen\_sim\_netlist <0|1>**  
指定 Place&Route 是否产生文件名为 `*.vo` 的后仿模型文件，默认为 0。
- **-show\_init\_in\_vo <0|1>**  
将默认初始值添加到生成的 Place&Route 后仿真模型文件中的 instance 中，默认为 0。
- **-show\_all\_warn <0|1>**  
Place&Route 运行时输出所有的 warning 信息，默认为 0。
- **-timing\_driven <0|1>**

启用该选项后会对布局布线进行时序驱动优化，默认为 1。

- `-use_scf <0|1>`  
使用 Synplify Pro 生成的\*.scf 文件作为附加的时序约束文件，默认为 0。
- `-reg_in_iob <0|1>`  
启用该选项后 Place&Route 会将寄存器布局到 IOB 上，默认为 1。
- `-cst_warn_to_error <0|1>`  
将 Place&Route 运行时的物理约束警告提升为错误信息，默认为 1。
- `-rpt_auto_place_io_info <0|1>`  
报告自动 place 的 IO 位置信息，默认为 0。
- `-place_option <0|1>`  
布局算法选项，默认为 0。
- `-route_option <0|1|2>`  
布线算法选项，默认为 0。

注！

Place&Route 相关运行选项的详细用法，请参考本文档 4.3.3 小节中的 Place & Route 部分。

### 复用管脚属性配置

- `-use_jtag_as_gpio <0|1>`  
将 JTAG 相关管脚复用为普通 IO 管脚，JTAG 相关的管脚为 TCK、TMS、TDI、TDO，默认为 0。
- `-use_sspi_as_gpio <0|1>`  
将 SSPI 相关管脚复用为普通 IO 管脚，SSPI 相关的管脚为 SI/D2、SO/D1、SSPI\_CS\_N/D0，默认为 0。
- `-use_mspi_as_gpio <0|1>`  
将 MSPI 相关管脚复用为普通 IO 管脚，MSPI 相关的管脚为 FASTRD\_N/D3、MCLK/D4、MCS\_N/D5、MI/D7、MO/D6，默认为 0。
- `-use_ready_as_gpio <0|1>`  
将 READY 相关管脚复用为普通 IO 管脚，READY 相关的管脚为 READY，默认为 0。
- `-use_done_as_gpio <0|1>`  
将 DONE 相关管脚复用为普通 IO 管脚，DONE 相关的管脚为 DONE，默认为 0。
- `-use_reconfig_as_gpio <0|1>`  
将 RECONFIG\_N 相关管脚复用为普通 IO 管脚，RECONFIG\_N 相关的管脚为 RECONFIG\_N，默认为 0。
- `-use_mode_as_gpio <0|1>`  
将 MODE 相关管脚复用为普通 IO 管脚，MODE 相关的管脚为 MODE0、MODE1、MODE2，默认为 0。

### BitStream 属性配置

- **-bit\_format <txt|bin>**  
用于指定生成的比特流文件格式。
- **-bit\_crc\_check <0|1>**  
对比特流文件启用循环冗余校验。
- **-bit\_compress <0|1>**  
对生成的比特流文件进行压缩。
- **-bit\_encrypt <0|1>**  
对比特流文件进行加密处理，仅支持 GW2A 系列。
- **-bit\_encrypt\_key <key>**  
该项与“-bit\_encrypt”配合使用，用户可以对加密的密钥进行自定义。
- **-bit\_security <0|1>**  
安全位使能控制。
- **-bit\_incl\_bsram\_init <0|1>**  
将 BSRAM 的初始值打印进比特流文件中
- **-bg\_programming <0|1>**  
远程升级功能，在不中断 FPGA 芯片现有功能执行的前提下对 Flash 进行烧录。
- **-secure\_mode <0|1>**  
启用安全模式，此时 JTAG 管脚为 GPIO，码流文件只能对设备编程一次。
- **-loading\_rate <value>**  
AutoBoot 配置模式和 MSPI 配置模式下，比特流数据从 flash 到 sram 的加载速度，默认为 2.500MHz。
- **-spi\_flash\_addr <value>**  
指定 SPI Flash 的地址。
- **-wakeup\_mode <0|1>**  
Wake Up Mode 的使能控制。
- **-user\_code <default|value>**  
用户可以自定义 User Code。

#### 注！

BitStream 相关选项的详细解释，请参考本文档 4.3.3 小节中的 BitStream 部分。

### Unused Pin 属性配置

**-unused\_pin <default|open\_drain>**

对未使用的管脚（除去复用管脚）设置不同的 IO 类型和属性值。

#### 注！

Unused Pin 相关选项的详细解释，请参考本文档 4.3.3 小节中的 Unused Pin 部分。



