

Gowin 云源软件快速入门指南

SUG918-1.1.1, 2020-10-21

版权所有© 2020 广东高云半导体科技股份有限公司

未经本公司书面许可,任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部,并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可,并未以明示或暗示,或以禁止发言或其它方式授予任 何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外,高云半导体 概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何 明示或暗示的担保,包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知 识产权的侵权责任等,均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准 确性和完整性不承担任何法律或非法律责任,高云半导体保留修改文档中任何内容的权利, 恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2020/05/07	1.0	初始版本。
2020/09/07	1.1	 新增文件加密; 新增查看 RTL 原理图; 新增 tcl 命令使用。
2020/10/21	1.1.1	综合流程修改为以 GowinSynthesis 为例。

目录

目录	. i
图目录i	iii
表目录	v
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 简介	3
2.1 设计流程简介	3
2.2 快速入门设计简介	3
3 快速入门	4
3.1 创建工程	4
3.1.1 新建工程	4
3.1.2 生成 MIPI D-PHY IP	5
3.1.3 加载文件	7
3.1.4 查看 RTL 原理图	7
3.2 GowinSynthesis 综合	8
3.2.1 参数配置	8
3.2.2 综合	9
3.3 物理约束1	0
3.3.1 新建物理约束	0
3.3.2 修改物理约束	2
3.4 时序约束	2
3.4.1 初建时庁约末	1Z
3.5.2 廖风时/7/5元	4
3.5 1 新建 Standard Mode GAO 配置文件	15
	0

i

	3.5.2 配置 Standard Mode GAO	. 15
	3.6 GPA 配置	. 17
	3.6.1 新建 GPA 配置文件	. 17
	3.6.2 配置 GPA	. 18
	3.7 布局布线	. 22
	3.7.1 参数配置	. 22
	3.7.2 运行 PnR	. 23
	3.8 时序优化	. 25
	3.8.1 时序分析	. 25
	3.8.2 调整关键路径	. 25
	3.9 比特流下载	. 27
	3.10 GAO 采集数据	. 28
	3.11 输出文件	. 29
	3.11.1 布局布线报告	. 29
	3.11.2 端口属性报告	. 30
	3.11.3 时序报告	. 30
	3.11.4 功耗分析报告	. 31
	3.12 文件加密	. 31
	3.12.1 源文件加密	. 31
	3.12.2 仿真文件加密	. 33
4 -	「cl 命令使用	34
	4.1 Tcl 命令编辑窗口	. 34
	4.2 Tcl 命令快速入门	. 34
	4.2.1 rm_file	. 34
	4.2.2 add_file	. 34
	4.2.3 set_file_enable	. 35
	4.2.4 set_option	. 35
	4.2.5 run	. 36
	4.2.6 set_device	. 36
	4.2.7 saveto	. 36

图目录

图 2-1 MIPI 设计整体框图	3
图 3-1 新建工程	4
图 3-2 工程目录	5
图 3-3 MIPI RX 配置	5
图 3-4 MIPI RX IP 目录	6
图 3-5 MIPI TX 配置	6
图 3-6 Design 窗口显示	7
图 3-7 加载文件	7
图 3-8 综合参数配置	8
图 3-9 Synplify Pro 的属性和指令	9
图 3-10 综合完成界面	9
图 3-11 gwsynthesis 目录	10
图 3-12 I/O 约束	11
图 3-13 物理约束显示	12
图 3-14 Clock 约束	13
图 3-15 时序报告约束	14
图 3-16 时序约束显示	14
图 3-17 新建 GAO 配置文件	15
图 3-18 触发选项配置	16
图 3-19 采样选项配置	16
图 3-20 GAO 配置文件显示	17
图 3-21 新建 GPA 配置文件	18
图 3-22 General Setting 配置	19
图 3-23 Rate Setting 配置	20
图 3-24 Clock Setting 配置	21
图 3-25 GPA 配置文件显示	22
图 3-26 布局布线参数配置	23
图 3-27 布局布线完成界面	24
图 3-28 pnr 目录	24

图 3-29 gao 目录	. 25
图 3-30 时序报告最大频率	. 25
图 3-31 时序路径显示	. 26
图 3-32 路径高亮显示	. 27
图 3-33 调整后路径显示	. 27
图 3-34 Programmer 界面	. 28
图 3-35 GAO 显示界面	. 28
图 3-36 GAO 波形显示	. 29
图 3-37 布局布线报告	. 29
图 3-38 端口属性报告	. 30
图 3-39 时序报告	. 31
图 3-40 功耗分析报告	. 31
图 3-41 Hierarchy 窗口信息显示	. 32
图 3-42 Pack User Design 窗口	. 32
图 4-1 tcl 命令编辑窗口	. 34

表目录

表 1-1 术语、缩略语......1

1 关于本手册

1.1 手册内容

本手册以 MIPI 设计为例,以用户角度介绍 Gowin 云源软件的使用,旨 在帮助用户快速熟悉 Gowin 云源软件的使用流程,提高设计效率。

1.2 相关文档

通过登录高云半导体网站 <u>www.gowinsemi.com.cn</u>可下载、查看以下相关文档:

- <u>SUG100</u>, Gowin 云源软件用户指南
- <u>SUG935</u>, Gowin 设计物理约束指南
- <u>SUG101</u>, Gowin 设计时序约束指南
- SUG114, Gowin 在线逻辑分析仪用户指南
- <u>SUG282</u>, Gowin 功耗分析工具用户指南
- <u>SUG502</u>, Gowin Programmer 用户指南
- <u>SUG550</u>, GowinSynthesis 用户指南

1.3 术语、缩略语

本手册中的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
PnR	Place & Route	布局布线
GAO	Gowin Analyzer Oscilloscope	在线逻辑分析仪
GPA	Gowin Power Analyzer	功耗分析工具

1.4 技术支持与反馈

高云半导体提供全方位技术支持,在使用过程中如有任何疑问或建议, 可直接与公司联系:

网址: <u>www.gowinsemi.com.cn</u>

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2 简介

2.1 设计流程简介

Gowin 云源软件支持 Windows 和 Linux 两个版本,支持界面模式和命令 行模式运行,本手册以 Windows10 版本、界面运行、MIPI 设计为例,介绍 Gowin 云源软件的快速入门方法。

整个设计流程采用 Synplify Pro 工具综合,FloorPlanner 工具添加物理 约束和时序优化,Timing Constraints Editor 添加时序约束,GAO 工具添加 GAO 配置文件和采集数据,GPA 功耗分析工具添加 GPA 配置文件, Programmer 工具进行比特流下载。

2.2 快速入门设计简介

高云 MIPI D-PHY TX RX IP 应用于串行显示接口和串行摄像头接口中, 用于接收或发送图像或视频数据, MIPI D-PHY 为其提供了在物理层上的定 义。

整个设计集成了 MIPI RX 和 MIPI TX 两个 IP, 通过 ROM 为 MIPI TX 提供数据, MIPI TX 发送数据, MIPI RX 接收数据, 最终使用 GAO 采集 MIPI RX 接收的数据, 验证 MIPI RX 和 MIPI TX 的正确性, 整体设计框图如图 2-1 所示。



图 2-1 MIPI 设计整体框图

3 快速入门

3.1 创建工程

3.1.1 新建工程

打开 Gowin 云源软件,单击 Start Page 界面上 "Quick Start > New Project"新建一个工程,工程名称为 MIPI_RX_TX,器件选择如图 3-1 所示:

- Series: GW1N
- Device: GW1N-9
- Package: PBGA256
- Speed: C6/I5
- Part Number: GW1N-LV9PG256C6/I5

点击"Next",直至工程创建完成。新建工程的详细步骤请参考 <u>SUG100</u>, Gowin 云源软件用户指南。

图 3-1 新建工程

🐳 Project Wizard								×
Project Name	Select Device Specify a target device for your project Filter							
Summary	Series: GW1N		▼ Device:	GW1N-9				•
			Package:	PBGA256				-
			Speed:	C6/I5				-
	Part Number	Device	Package	Speed	Voltage	ю	LUT	FF
	GW1N-LV9PG256C6/I5	GW1N-9	PBGA256	C6/I5	LV	207	8640	6480
	GW1N-UV9PG256C6/I5	GW1N-9	PBGA256	C6/I5	UV	207	8640	6480
	٢							>
					< <u>B</u> ack	Next	> c	ancel

工程创建完成之后,在工程创建路径生成 impl 和 src 文件夹,如图 3-2 所示,其中, impl 用于放置综合后和布局布线后的文件, src 用于放置源文

件。			
图 3-2 工程目录			
Name	Date modified	Туре	Size
📙 impl	5/28/2020 4:23 PM	File folder	
src	5/8/2020 5:08 PM	File folder	
🐝 MIPI_RX_TX.gprj	5/29/2020 9:18 AM	GPRJ File	1 KB

3.1.2 生成 MIPI D-PHY IP

通过选择菜单栏 "Tools > IP Core Generator" 打开 IP Core Generator 界面,双击 Interface and Interconnect 将其展开,双击 MIPI RX 打开 IP Customization 界面,根据需要选择配置,本设计 MIPI RX 配置如图 3-3 所 示,完成配置选择之后,点击 "OK",即可生成 MIPI RX 的 IP。

冬	3-3	MIPI	RX	配置
---	-----	------	----	----

Options				
MIPI D-PHY Mode: 🔘 1:8 🔘 1:16				
IO TYPE: 🔘 TLVDS 🔘 ELVDS 🧕 MJ	IPI IO			
D-PHY lanes: 4	•			
🔲 DataO Before Lane Alignment	HS DATAO IO Delay Value 0 🚔			
📃 Datal Before Lane Alignment	HS DATA1 IO Delay Value 0 🌲			
📃 Data2 Before Lane Alignment	HS DATA2 IO Delay Value 0 🌲			
📃 Data3 Before Lane Alignment	HS DATA3 IO Delay Value 0 🌲			
LP mode on clock lane				
LP mode on data lane O	LP mode on data lane 1			
LP mode on data lane 2	LP mode on data lane 3			
📝 Turns on byte alignment	🔽 Turns on lane alignment			
🔲 D-PHY RX using external Clock	τ.			
Generation Config				
📝 Disable I/O Insertion				

IP 生成之后,在 IP 创建路径生成 IP 设计文件及仿真所需文件,如图 3-4 所示:

- .v 文件为 IP 设计文件,其为加密形式;
- _tmp.v 文件为 IP 设计模板文件,为用户提供 IP 设计使用模板;
- .vo 文件为 IP 仿真模型文件,其为明文形式,可用于仿真;
- .ipc 文件为 IP 配置文件,用户可加载该文件修改配置;

- temp 文件夹包含生成 IP 所需的文件;
- doc、model、sim 和 tb 文件夹包含仿真所需文件,分别为说明文档、仿 真模型、仿真脚本和 testbench。

注!

目前有些 IP, Gowin 云源软件还未提供仿真文件, IP 目录结构以实际 IP Core 生成为准。

图 3-4 MIPI RX IP 目录

Name	Date modified	Туре	Size
doc	9/9/2020 4:59 PM	File folder	
model	5/7/2020 3:38 PM	File folder	
sim	5/7/2020 3:38 PM	File folder	
tb	5/7/2020 3:40 PM	File folder	
- temp	9/9/2020 4:57 PM	File folder	
DPHY_RX_TOP.ipc	9/9/2020 4:57 PM	IPC File	1 KB
DPHY_RX_TOP.v	9/9/2020 4:58 PM	V File	472 KB
DPHY_RX_TOP.vo	9/9/2020 4:59 PM	VO File	860 KB
DPHY_RX_TOP_tmp.v	9/9/2020 4:58 PM	V File	3 KB

在 IP Core Generator 界面中,双击 MIPI TX 打开 IP Customization 界面,根据需要选择配置,本设计 MIPI TX 配置如图 3-5 所示,完成配置选择 之后,点击"OK",即可生成 MIPI TX 的 IP。

图 3-5 MIPI TX 配置

Options
MIPI D-PHY Mode: 🔘 8:1 🔘 16:1
IO TYPE: 🔘 TLVDS 🔘 ELVDS 💿 MIPI IO
D-PHY lanes: 4
LP mode on clock lane
LP mode on data lane 0 LP mode on data lane 1
LP mode on data lane 2 LP mode on data lane 3
📝 DPHY TX with Internal PLL
PLL Reference Clock: 50MHz
Generation Config
✓ Disable I/O Insertion

MIPI RX 和 MIPI TX 的 IP 生成之后,在 Design 窗口的显示如图 3-6 所示。

图 3-6 Design 窗口显示	
lesign 🗗	×
 MIPI_RX_TX - [E:\IDE\MIPI_RX_TX\MIPI_RX_TX.gprj] GW1N-LV9PG256C6/I5 Verilog Files src\DPHY_RX_TOP\DPHY_RX_TORv src\DPHY_TX_TOP\DPHY_TX_TORv 	
Design Process Hierarchy	

3.1.3 加载文件

为测试 MIPI RX 和 MIPI TX 的功能, 需新建或加载一些功能设计文件, 完成之后, Design 窗口如图 3-7 所示。

lesign	8	×
	-11	_
	11	
GW1N-LV9PG250C6/15		
Verilog Files		
src\DPHY_RX_TOP\DPHY_RX_TOPv		
src\DPHY_TORv		
src\DPHY_TX_TOP\DPHY_TX_TOPv		
src\gowin_pll\gowin_pll.v		
src\ROM549X17.v		
Design Process Hierarchy		

3.1.4 查看 RTL 原理图

源文件加载完成后,可通过菜单栏"Tools > Schemetic Viewer"查看整

个设计的原理图,帮助用户更好了解整个设计的逻辑构成。Schemetic Viewer 的详细使用方法请参考 <u>SUG100</u>, Gowin 云源软件用户指南。

3.2 GowinSynthesis 综合

3.2.1 参数配置

选择 "Process > Synthesize > Configuration", 弹出 Configurations 对 话框,在此对话框进行综合参数配置,关于 GowinSynthesis 所有配置的详 细说明,可参考具体可参考 <u>SUG550</u>, GowinSynthesis 用户指南。

本设计选择 GowinSynthesis 工具进行综合,TOP Module/Entity 设为 DPHY_TOP,如图 3-8 所示。

图 3-8 综合参数配置

Synthesize	
General	
Synthesis Tool:	Synplify Pro O GowinSynthesis
Top Module/Entity:	DPHY_TOP
Include Path:	
GowinSynthesis	
Verilog Language:	System Verilog 2017 🔹
VHDL Language:	VHDL 1993
Looplimit:	2000
🔲 Disable Insert Pa	ad
🔽 Ram R/W Check	
DSP Balance	

此外,也可以通过在源文件中添加一些综合属性和指令控制综合结果, 关于属性和指令的详细说明,可参考 <u>SUG550</u>,GowinSynthesis 用户指南。 如图 3-9 所示,本设计中,使用/* synthesis syn_keep=1 */综合属性,在综 合和优化过程中,将特定 net 进行保留而不被优化。

图 3-9 Synplify Pro 的属性和指令

`ifdef	GEN MIPI RX 16
reg	[63:0] data_in;
reg	<pre>[15:0] data0, data1, data2, data3;</pre>
reg	<pre>[15:0] dout, dout1;</pre>
reg	<pre>[15:0] data_cntr;</pre>
reg	hactive_flag_RX;
wire	<pre>[1:0] lp_clk_out, lp_data0_out;</pre>
wire	<pre>[1:0] lp_data1_out,lp_data2_out,lp_data3_out;</pre>
wire	<pre>[15:0] data_out3, data_out2, data_out1, data_out0;</pre>
wire	D0_delay,D1_delay,D2_delay,D3_delay;
reg	[63:0] data out reg;
wire	<pre>clk_byte_out/* synthesis syn_keep=1 */;</pre>
wire	sclk_tx ;
`endif	
	reg reg reg wire wire wire reg wire vire reg

3.2.2 综合

完成综合参数配置之后,即可进行综合。

双击 Process 窗口中的 Synthesize,开始进行综合,综合完成后,如图 3-10 所示, Synthesize 前面的图标变为 " ☑",可双击 Synthesis Report 查看综合报告,双击 Netlist File 查看综合后网表文件。

图 3-10 综合完成界面

Pro	cess			I	5	×
	📳 De	esign Summ	ary			
⊿	📝 Us	er Constrai	nts			
		FloorPlann	er			
	\approx	Timing Co	nstraints Edit	or		
4	🕗 Sy	nthesize				
	10000 C	Synthesis F	Report			
	1 mm 1 1 mm 2 1	Netlist File				
⊿	🔡 Pla	ace & Route				
		Place & Ro	ute Report			
		Timing Ana	alysis Report			
	-	Ports & Pir	ns Report			
		Power Ana	lysis Report			
	🕌 Pr	ogram Devi	ce			
De	esign	Process	Hi er ar chy			

综合完成后,在工程创建路径\impl下生成 gwsynthesis 文件夹,该文件 夹包含综合过程生成的所有文件,如图 3-11 所示。

图 3-11 gwsynthesis 目录

Name	Date modified	Туре	Size
🥁 gowinsyn.cfg	6/2/2020 09:59	CFG File	1 KB
MIPI_RX_TX.log	10/21/2020 14:25	Text Document	5 KB
MIPI_RX_TX.prj	10/21/2020 14:25	PRJ File	2 KB
MIPI_RX_TX.vg	10/21/2020 14:25	VG File	525 KB
MIPI_RX_TX_syn.rpt.html	10/21/2020 14:25	360 se HTML Doc	28 KB
MIPI_RX_TX_syn_resource.html	10/21/2020 14:25	360 se HTML Doc	3 KB
MIPI_RX_TX_syn_rsc.xml	10/21/2020 14:25	XML Document	1 KB

注!

如果有 Synplify Pro license,使用 Synplify Pro 进行综合,综合完成之后,在工程创建路径 \impl下生成 synthesize 文件夹,该文件夹用于放置综合过程生成的所有文件及文件夹。

3.3 物理约束

完成综合之后,可通过手动书写或 FloorPlanner 工具编辑物理约束,本 设计使用 FloorPlanner 工具编辑物理约束。该工具的详细使用方法请参考 <u>SUG935</u>, Gowin 设计物理约束指南。

3.3.1 新建物理约束

选择 Gowin 云源软件 "Process > User Constraints > FloorPlanner", 打开 FloorPlanner 工具,该工具支持 I/O、Primitive、Group 等物理约束。 本设计只添加 I/O 约束,并以此为例。

约束编辑窗口中的 I/O 约束窗口,可创建 I/O Constrains。在 Netlist 窗口或 I/O Constraints 窗口中选中预约束 Port 的所在行拖拽到 Package View 或 Chip Array 视图中的具体位置上,完成后,预约束 port 的 Location 信息 变为拖拽到的 IOB 的位置,如图 3-12 所示。

	list		🗗 🗙 Chip Arra	y 🔀 🛛 Package	View 🗵			
	List HS_DAT HS_DAT HS_DAT HS_DAT HS_DAT HS_DAT HS_DAT HS_DAT HS_CLK HS_CLK HS_CLK HS_DAT	TA2_TX_P TA2_TX_N TA1_TX_P TA1_TX_N TA0_TX_P TA0_TX_N _flag C_RX_P C_RX_P C_RX_N TA3_RX_P TA3_RX_N TA2_RX_N TA2_RX_N TA1_RX_P TA1_RX_N	E Chip Arra	Y Package 0 </th <th></th> <th></th> <th></th> <th>a m</th>				a m
S	ummary Netlist							*
I/C	Constraints		1 1			1		₽×
I/C	Constraints Port	Direction	Diff Pair	Location	Bank	Exclusive	ІО Туре	Б×
1/C	Constraints Port HS_CLK_RX_P	Direction input	Diff Pair HS_CLK_RX_N	Location K14,K15	Bank 0	Exclusive False	IO Type MIPI	Ð×
1/0 1 2	Constraints Port HS_CLK_RX_P HS_CLK_TX_P	Direction input output	Diff Pair HS_CLK_RX_N HS_CLK_TX_N	Location K14,K15 L2	Bank 0 2	Exclusive False False	IO Type MIPI MIPI	
1/0 1 2 3	Port HS_CLK_RX_P HS_CLK_TX_P HS_DATA0_RX_P	Direction input output input	Diff Pair HS_CLK_RX_N HS_CLK_TX_N HS_DATA0_RX	Location K14,K15 L2 J15,K16	Bank 0 2 0	Exclusive False False False	IO Type MIPI MIPI MIPI	
1/0 1 2 3 4	Port HS_CLK_RX_P HS_CLK_TX_P HS_DATA0_RX_P HS_DATA0_TX_P	Direction input output input output	Diff Pair HS_CLK_RX_N HS_CLK_TX_N HS_DATA0_RX HS_DATA0_TX_N	Location K14,K15 L2 J15,K16 M3	Bank 0 2 0 2	Exclusive False False False False	IO Type MIPI MIPI MIPI MIPI	
1/0 1 2 3 4 5	Port Port HS_CLK_RX_P HS_DATA0_RX_P HS_DATA1_RX_P	Direction input output input output input	Diff Pair HS_CLK_RX_N HS_CLK_TX_N HS_DATA0_RX HS_DATA0_TX_N HS_DATA1_RX	Location K14,K15 L2 J15,K16 M3 J16,J14	Bank 0 2 0 2 0 2 0 0 0 0 0 0 0 0 0 0 0 0 0	Exclusive False False False False False	IO Type MIPI MIPI MIPI MIPI MIPI	
1/0 2 3 4 5 6	Port HS_CLK_RX_P HS_DATA0_RX_P HS_DATA1_RX_P HS_DATA1_TX_P	Direction input output input output input output	Diff Pair HS_CLK_RX_N HS_CLK_TX_N HS_DATA0_RX HS_DATA1_RX HS_DATA1_TX_N	Location K14,K15 L2 J15,K16 M3 J16,J14 R1	Bank 0 2 0 2 0 2 0 2 0 2 0 2 0 2 0 2 0 2 0	Exclusive False False False False False False	IO Type MIPI MIPI MIPI MIPI MIPI MIPI	
1/0 2 3 4 5 6 7	Port HS_CLK_RX_P HS_CLK_TX_P HS_DATA0_RX_P HS_DATA1_RX_P HS_DATA1_RX_P HS_DATA1_RX_P HS_DATA1_RX_P	Direction input output input output input output input	Diff Pair HS_CLK_RX_N HS_CLK_TX_N HS_DATA0_RX HS_DATA0_RX HS_DATA1_RX HS_DATA1_RX HS_DATA2_RX	Location K14,K15 L2 J15,K16 M3 J16,J14 R1 G15,G14	Bank 0 2 0 2 0 2 0 2 0 0 2 0 0 0 0 0 0 0 0	Exclusive False False False False False False False	IO Type MIPI MIPI MIPI MIPI MIPI MIPI MIPI	
1/0 2 3 4 5 6 7 8	Port Port HS_CLK_RX_P HS_DATA0_RX_P HS_DATA0_TX_P HS_DATA1_RX_P HS_DATA1_RX_P HS_DATA1_TX_P HS_DATA2_RX_P	Direction input output input output output input input output	Diff Pair HS_CLK_RX_N HS_CLK_TX_N HS_DATA0_RX HS_DATA0_TX_N HS_DATA1_RX HS_DATA1_RX HS_DATA2_RX HS_DATA2_TX_N	Location K14,K15 L2 J15,K16 M3 J16,J14 R1 G15,G14 T2	Bank 0 2 0 2 0 2 0 2 0 2 0 2 0 2 0 2 0 2 0	Exclusive False False False False False False False False	IO Type MIPI MIPI MIPI MIPI MIPI MIPI MIPI MIP	
I/C 1 2 3 4 5 6 7 8 9	Port Port HS_CLK_RX_P HS_CLK_TX_P HS_DATA0_RX_P HS_DATA1_RX_P HS_DATA1_RX_P HS_DATA2_RX_P HS_DATA2_RX_P HS_DATA3_RX_P	Direction input output input input output input output input	Diff Pair HS_CLK_RX_N HS_CLK_TX_N HS_DATA0_RX HS_DATA0_TX_N HS_DATA1_RX HS_DATA1_RX	Location K14,K15 L2 J15,K16 M3 J16,J14 R1 G15,G14 T2 H14,H16	Bank 0 2 0 2 0 2 0 2 0 2 0 2 0 2 0 2 0 2 0 2 0 2 0 2 0	Exclusive False False False False False False False False False	IO Type MIPI MIPI MIPI MIPI MIPI MIPI MIPI MIP	

图 3-12 I/O 约束

完成所有约束编辑后,单击工具栏的"Save",生成物理约束文件,物理约束文件在 Design 窗口和源文件编辑区的显示如图 3-13 所示。



图 3-13 物理约束显示

在布局布线阶段,如果没有物理约束文件,会自动布局布线;如果有物 理约束文件,会根据物理约束文件进行布局布线。

3.3.2 修改物理约束

生成物理约束文件后,可通过 FloorPlanner 工具对物理约束进行修改, 修改完成后,单击工具栏的"Save",即可完成约束修改。

3.4 时序约束

完成综合之后,可通过手动书写或 Timing Constraints Editor 工具编辑时序约束,本设计使用时序约束编辑器工具编辑时序约束。该工具的详细使用方法请参考 <u>SUG101</u>, Gowin 设计时序约束指南。

3.4.1 新建时序约束

选择 Gowin 云源软件"Process > User Constraints > Timing Constrains Editor",打开 Timing Constrains Editor 工具,该工具支持时钟、I/O、时序 报告等时序约束。本设计添加时钟、时序报告约束,以此为例。

时钟约束

选中 Timing Constraints 下的 Clocks,在右侧空白处,右键单击选择 Create Clock,弹出 Create Clock 对话框,如图 3-14 所示,创建如下约束:

- Clock name: clk_rx
- Period: 10

- Rising: 0
- Falling: 5
- Source Object: get_pins {u_DPHY_RX_TOP/DPHY_RX_INST/u_idesx8/Inst3_CLKDIV/CLKOU T}

	冬	3-14	Clock	约束
--	---	------	-------	----

关 Create Cl	ock					?	×
Clock name:	olk_rx						
Waveform							
Period:	10	ns					
Frequency:	100	MHz]		
Rising:	0	ns					
Falling:	5	ns	0		5	10	
Objects: t_p	ins {u_DPHY_RX_TOP/DPHY_R3	(_INST/	u_i desx	8/Inst3_CLKDI	//CLKOVT}]	🗆	Add
					OK	Cancel	L

时序报告约束

选中"Timing Constraints > Report > Report Timing",在右侧空白处, 右键单击选择 Create Report,在弹出的 Report Timing 对话框中设置参数, 报告 clk_rx to clk_rx 的 setup 路径,路径条数限制 100,如图 3-15 所示。

图 3-15	时序报告约束
--------	--------

🗱 Report Timing	? ×
Clocks From clock: Clk_rx To clock: Clk_rx	~
Objects From: Through: To: Analysis Type	
● Setup ○ Hold ○ Recovery	🔘 Removal
Path Max Paths: 100 Min Logic I Max Common Paths: Max Logic I	Level:
Module Instance:	
	OK Cancel

完成所有约束编辑后,单击工具栏的"Save",生成时序约束,时序约 束在 Design 窗口和源文件编辑区的显示如图 3-16 所示。



图 3-16 时序约束显示

在布局布线阶段,如果没有时序约束文件,会按照默认时钟进行时序分 析;如果有时序约束文件,会根据时序约束文件进行时序分析。

3.4.2 修改时序约束

生成时序约束文件后,可通过 Timing Constrains Editor 工具对时序约束 进行修改,修改完成后,单击工具栏的 "Save",即可完成约束修改。

3.5 GAO 配置

完成综合之后,可创建 GAO 配置文件,用于采集数据,验证设计的正确性。Gowin 云源软件提供 Standard Mode GAO 和 Lite Mode GAO,GAO 工具的详细使用方法请参考 <u>SUG114</u>,Gowin 在线逻辑分析仪用户指南。

本设计采用 Standard Mode GAO,并以此为例。

3.5.1 新建 Standard Mode GAO 配置文件

选择 Gowin 云源软件的 "Design > New File…",在弹出的 New 对话框 中,选择新建一个 GAO Config File,如图 3-17 所示。单击 "OK", Type 选 择 For Post-Synthesis Netlist, Mode 选择 Standard,单击 "Next",文件名 定义为 MIPI_RX_TX,单击 "Next",直至 Standard Mode GAO 配置文件创 建完成。

图 3-17 新建 GAO 配置文件

🐝 New	?	×
GowinSynthesis Constraints File		^
GAO Config File		
Memory Initialization File		~
Create a GAO Config File.		
OK	Cano	el

3.5.2 配置 Standard Mode GAO

完成 Standard Mode GAO 配置文件创建后,进行配置功能内核数量、 触发选项和采样选项。触发选项包括触发条件、触发端口、匹配单元和触发 表达式;采样选项包括采样信号、存储信息、采样数据信号。本设计功能内 核数量为1,触发选项配置如图 3-18 所示,采样选项配置如图 3-19 所示。

Cor	re O										
I	rigger Options	Captu	re Op	tions							
	Trigger Ports —		Matc	h Units							Expressions
	 Trigger Port 	0	Mat	tch Unit	Trigger Port	Match Type	Function	Counter	Value	*	🍳 Static 🔘 Dynam
	ready_c			M0	Trigger 0	Basic w/edges	==	Disabled	R		M0
	Trigger Port	1				Susie n/euges		Disabica			
	Trigger Port	2		M1	NONE	Basic	==	Disabled			
	Trigger Port	3		M2	NONE	Basic	==	Disabled			
	Trigger Port	4						Disabica			
	Trigger Port	5		M3	NONE	Basic	==	Disabled			
	Trigger Port	6		M4	NONE	Basic		Disabled			
	Trigger Port	7		141-4	NONE	Dasie		Disabica			
	Trigger Port	8		M5	NONE	Basic	==	Disabled			
	Trigger Port	9		M6	NONE	Pasis		Disabled			
	Trigger Port	10		IVIO	NONE	Dasic		Disableu		=	
	Trigger Port	11		M7	NONE	Basic	==	Disabled			
	Trigger Port	12		M8	NONE	Basic		Disabled			
	Trigger Port	13		INIO	NONE	Dasie		Disabica			
	Trigger Port	14		M9	NONE	Basic	==	Disabled			
	Trigger Port	15		M10	NONE	Basic	==	Disabled			

图 3-18 触发选项配置

图 3-19 采样选项配置



完成所有选项配置后,单击工具栏的"Save",即完成 Standard Mode GAO 配置文件,GAO 配置文件在 Design 窗口的显示如图 3-20 所示。

esign	đΧ
▲ 🧰 MIPI_RX_TX - [E:\IDE\MIPI_RX_TX\MIPI_RX_TX.c	prj]
GW1N-LV9PG256C6/I5	
🔺 🛅 Verilog Files	
src\DPHY_RX_TOP\DPHY_RX_TOPv	
src\DPHY_TORv	
src\DPHY_TX_TOP\DPHY_TX_TOPv	
src\ROM549X17.v	
📄 src\gowin_pll\gowin_pll.v	
🔺 🛅 Physical Constraints Files	
src\MIPI_RX_TX.cst	
4 🛅 Timing Constraints Files	
src\MIPI_RX_TX.sdc	
4 🛅 GAO Config Files	
src\MIPI_RX_TX.gao	
Design Process Hierarchy	

图 3-20 GAO 配置文件显示

3.6 GPA 配置

完成综合之后,可创建 GPA 配置文件,用于功耗分析,帮助用户分析系 统功耗。GPA 功耗分析工具的详细使用方法请参考 <u>SUG282</u>, Gowin 功耗分 析工具用户指南。

3.6.1 新建 GPA 配置文件

选择 Gowin 云源软件的 "Design > New File…",在弹出的 New 对话框中,选择新建一个 "GPA Config File",如图 3-21 所示。单击 "OK",文件 名定义为 MIPI_RX_TX,文件路径默认选择该工程下的 src 文件夹,单击"OK", GPA 文件创建完成。

图 3-21 新建 GPA 配置文件		
🗱 New	?	×
GAO Config File		^
GPA Config File		
GOWIN Power Analyzer Config File.		×
OK	Cano	el

3.6.2 配置 GPA

完成 GPA 配置文件创建后,进行配置 General Setting、Rate Setting和 Clock Setting。

- General Setting 包括芯片、封装、速度等级和配置温度等级、热阻抗、 电压等特性参数;
- Rate Setting 用于信号翻转率的设置,可直接对 IO 或 Net 设置翻转率, 也可以采用默认翻转;
- Clock Setting 主要用于配置工作时钟以及 B-SRAM、I/O 和 DFF 时钟的 工作使能特性。

General Setting

本设计 General Setting 配置为 COMMERCIAL 温度等级,环境温度选择 25℃,无散热片装置,辅助电压设为 3.3V,内核电压设为 1.2V,如图 3-22 所示。

SUG918-1.1.1

Device	
Device: GW1N-LV9PG	3256C6/I5
Operating Conditio	on: COMMERCIAL - Process: TYPICAL -
Environment	
Ambient Temperatur	re: 25.000°C 🚔
📃 Custom Theta JA	λ: 25.000°C/₩ 🍨
Heat Sink	
🖲 None 🔘 Low	Profile 🔘 Medium Profile 🔘 High Profile 🔘 Custor
Air-flow:	0 (LFM)
Custom Theta SA:	25.000°C/₩ 🜲
-Board Thermal Mo	odel
None	🔵 Custom 💿 Typical
Board Temperatur	e: 25.000°C 🗼 (−40°C−100°C)
Custom Theta JB	:: 25.000°C/W 🗼
Voltage	
VCC: 1.200V 🚔	
VCCX: 3.300V 🚖	

图 3-22 General Setting 配置

Rate Setting

本设计中时钟信号 clkx2 和 clkx2x4 翻转率为 50%,其余信号翻转率为 全局默认翻转率 12.5%,如图 3-23 所示。

Net Rate	TOUR DECCINE	- VCD File		
	Remove	Instance	File Name	File Type
Name	Value			
:llx2	50.00%			
:lkx2x4	50.00%			
		Filter g Default Rat	litch on VCD file e Setting	Add
		Filter g Default Rat Default Rat Default Rat	litch on VCD file e Setting e used 12.50 ate used for remai	Add Remove

ISI S-25 Kate Setting PE	冬	3-23	Rate	Setting	配置
--------------------------	---	------	------	---------	----

Clock Setting

本设计 Clock 为时序分析中创建的时钟, B-SRAM 中指定了本设计所用的 pROM 的时钟使能和读取使能,其余未设置,如图 3-24 所示。

E 0 21 CIOCK				
General Setting Rate Sett	ing Clock Setting	;		
Clock				_I0
Global Enable: 100.00 🜩]		🚽 🗶	
Clock Name	Clock Enable	Quad1	Quad2	
clk_tx	100			
clk_rx	100			
•			4	
B-SRAM				DFF
Clock Enable: 100.00 🌲	Read Probabil 100.00) 🊔 Write Probabi 🗄	100. 00 🚔 🖶 🔀	Name
Name	ClockA E	nable ReadA Pr	obability WriteA	
u_ROM549x17/dout_2_0_	0 100	100		
u_ROM549x17/dout_2_0_	1 100	100		
				< 🗆 > 🔀
•			4	
🗱 MIPI R	X TX.gpa	×		
···				

图 3-24 Clock Setting 配置

完成所有选项配置后,单击工具栏的"Save",即完成 GPA 配置文件, GPA 配置文件在 Design 窗口的显示如图 3-25 所示。

sign	5 ×
MIPI_RX_TX - [E:\IDE\MIPI_RX_TX\MIPI_RX_TX.gp	rj]
GW1N-LV9PG256C6/I5	
🔺 🛅 Verilog Files	
<pre>src\DPHY_RX_TOP\DPHY_RX_TOPv</pre>	
src\DPHY_TOP.v	
src\DPHY_TX_TOP\DPHY_TX_TOPv	
src\ROM549X17.v	
📄 src\gowin_pll\gowin_pll.v	
🔺 🛅 Physical Constraints Files	
<pre>src\MIPI_RX_TX.cst</pre>	
4 🛅 Timing Constraints Files	
src\MIPI_RX_TX.sdc	
🔺 🛅 GAO Config Files	
src\MIPI_RX_TX.gao	
4 🛅 GPA Config Files	
src\MIPI_RX_TX.gpa	
Jesign Process Hierarchy	

图 3-25 GPA 配置文件显示

在布局布线阶段,如果没有 GPA 配置文件,会按照默认配置进行功耗分 析,如果有 GPA 配置文件,会根据 GPA 配置文件进行功耗分析。

3.7 布局布线

完成综合并根据用户需求创建物理约束文件、时序约束文件、GAO 配置 文件以及 GPA 文件之后,即可开始布局布线。

3.7.1 参数配置

选择 "Process > Place & Route > Configuration", 弹出 Configurations 对话框,在此对话框进行 General、Dual-Purpose 和 Bitstream 参数配置, 参数配置的详细说明请参考 <u>SUG100</u>, Gowin 云源软件用户指南。

本设计布局布线参数配置,如图 3-26 所示,将 Generate SDF File、 Generate Post-Place File、Generate Post-PNR Simulation Model File 配置 为 True, Place input register to IOB、Place output register to IOB、Place inout register to IOB 配置为 False,其余参数采用默认配置。

图 3-26 布局布线参数配置

Place & Route

Category: All	Reset all to def	ault
Label	Value	-
Generate SDF File	True	
Generate Constraint File of Ports	False	
Generate IBIS File	False	
Generate Post-Place File	True	
Generate Post-PNR Simulation Model File	True	
Initialize Primitives	False	
Show All Warnings	False	
Generate Plain Text Timing Report	False	≡
Run Timing Driven	True	
Use SCF	False	
Promote Physical Constraint Warning to Error	False	
Report Auto-Placed IO Information	False	
Place Option	0	
Route Option	0	
Place input register to IOB	False	
Place output register to IOB	False	
Place inout register to IOB	False	Ŧ

3.7.2 运行 PnR

完成布局布线参数配置之后,即可进行布局布线。

双击 Process 窗口中的 Place & Route,开始进行布局布线,布局布线时会根据物理约束进行布局布线,根据时序约束进行时序分析,根据 GAO 配置进行 GAO 的布局布线,根据 GPA 配置进行功耗分析。布局布线完成后,如图 3-27 所示, Place & Route 前面的图标变为" ²"。

Process	₽×
📗 Design Summary	
4 📝 User Constraints	
📕 FloorPlanner	
🔀 Timing Constraints Editor	
🔺 🥝 Synthesize	
Synthesis Report	
Netlist File	
a 🥝 Place & Route	
📄 Place & Route Report	
🧾 Timing Analysis Report	
📄 Ports & Pins Report	
Power Analysis Report	
🕌 Program Device	
Design Process Hierarchy	

图 3-27 布局布线完成界面

布局布线完成后,在工程创建路径\impl下生成 pnr 文件夹,如图 3-28 所示,该文件夹包含布局布线过程生成的所有文件,包括比特流文件、布局 布线后网表文件及输出报告等。其中,布局布线报告、端口属性报告、时序 报告和功耗分析报告的详细信息参考 <u>3.11</u> 输出文件。

图 3-28 pnr 目录

Name	Date modified	Туре	Size
📝 ao_0.fs	9/9/2020 5:06 PM	FS File	3,476 KB
📔 cmd.do	9/9/2020 5:05 PM	DO File	1 KB
📓 device.cfg	9/9/2020 5:05 PM	CFG File	1 KB
MIPI_RX_TX.db	9/9/2020 5:06 PM	Data Base File	42 KB
MIPI_RX_TX.log	9/9/2020 5:06 PM	Text Document	3 KB
MIPI_RX_TX.pin.html	9/9/2020 5:06 PM	HTML Document	60 KB
MIPI_RX_TX.power.html	9/9/2020 5:06 PM	HTML Document	10 KB
MIPI_RX_TX.rpt.html	9/9/2020 5:06 PM	HTML Document	67 KB
MIPI_RX_TX.rpt.txt	9/9/2020 5:06 PM	Text Document	50 KB
MIPI_RX_TX.sdf	9/9/2020 5:06 PM	SDF File	2,668 KB
MIPI_RX_TX.timing_paths	9/9/2020 5:06 PM	TIMING_PATHS File	39 KB
MIPI_RX_TX.tr.html	9/9/2020 5:06 PM	HTML Document	1 KB
MIPI_RX_TX.vo	9/9/2020 5:06 PM	VO File	1,105 KB
MIPI_RX_TX_tr_cata.html	9/9/2020 5:06 PM	HTML Document	9 KB
MIPI_RX_TX_tr_content.html	9/9/2020 5:06 PM	HTML Document	1,192 KB

如果工程中包含 GAO 配置文件, 布局布线完成后, 在工程创建路径\impl 下生成 qao 文件夹,如图 3-29 所示:

- ao 0 包含功能内核的参数文件和综合结果;
- ao control 包含控制内核的参数文件和综合结果; •
- gao.v为GAO综合后网表文件,其为加密形式。

图 3-29 gao 目录

Name	Date modified	Туре	Size
ao_0	5/29/2020 9:19 AM	File folder	
ao_control	5/29/2020 9:19 AM	File folder	
📔 gao.v	5/29/2020 9:19 AM	V File	318 KB

3.8 时序优化

完成布局布线之后,可以通过 FloorPlanner 工具修改物理约束或关键路 径,帮助用户实现时序收敛,从而达到优化时序的目的。该工具的详细使用 方法请参考 SUG935, Gowin 设计物理约束指南。

使用 FloorPlanner 进行时序优化,需要布局信息文件和时序路径信息文 件,这两个文件在布局布线阶段会自动产生。

3.8.1 时序分析

布局布线之后,会生成时序报告,通过查看时序报告,如果最大频率不 满足设计需求,如图 3-30 所示, clk tx 的最大频率不满足设计需求,可通过 FloorPlanner 进行时序优化。

图 3-30 时序报告最大频率

Max Frequency Summary:

	Timing Messages	Î	max Frequency Summary:									
•	Timing Summaries		NO.	Clock Name	Constraint	Actual Fmax	Logic Level	Entity				
	STA Tool Run Summary		1	clk_rx	100.000(MHz)	90.044(MHz)	5	TOP				
	Clock Summary		2	clk_tx	100.000(MHz)	151.070(MHz)	2	ТОР				
	Clock Summary		3	u_plld4/pll_inst/CLKOUT.default_gen_clk	3.125(MHz)	199.313(MHz)	3	TOP				
	Max Frequency Summary											

3.8.2 调整关键路径

启动 FloorPlanner 工具, 会自动加载布局信息文件和时序路径信息文件, 加载完成后, Netlist 窗口 Timing Path 的 Setup 和 Hold 显示如图 3-31 所示。 将 Chip Array 视图修改为 Show Place View > All Instance, 即可高亮某条路 径,如图 3-32 所示。

let.	list	Ł				8	×
٨	2	DP	HY_	TOP			
	\triangleright		Po	rts(37)			
	\triangleright		Pri	mitives(2	605)		
	\triangleright		Ne	ts(2907)			
	\triangleright		M	odule			
	⊿		Tin	ning Path	s		
		\triangleright	Set	up			
		⊿	Ho	ld			
			\triangleright	Path_1 (S	lack:0.559 Arrive:2.008 Require:1.4	49)	
			\triangleright	Path_2 (S	Slack:0.559 Arrive:2.008 Require:1.4	49)	
			\triangleright	Path_3 (S	lack:0.565 Arrive:1.999 Require:1.4	34)	
			\triangleright	Path_4 (S	lack:0.566 Arrive:2.015 Require:1.4	49)	
			\triangleright	Path_5 (S	lack:0.566 Arrive:2.015 Require:1.4	49)	
			\triangleright	Path_6 (S	lack:0.566 Arrive:2.015 Require:1.4	49)	
			\triangleright	Path_7 (S	Slack:0.568 Arrive:2.002 Require:1.4	34)	
			\triangleright	Path_8 (S	Slack:0.568 Arrive:2.002 Require:1.4	34)	
			\triangleright	Path_9 (S	Slack:0.568 Arrive:2.002 Require:1.4	34)	
			\triangleright	Path_10	(Slack:0.57 Arrive:2.004 Require:1.4	34)	
			\triangleright	Path_11	(Slack:0.57 Arrive:2.004 Require:1.4	34)	
			⊳	Path_12	(Slack:0.57 Arrive:2.004 Require:1.4	34)	
			\triangleright	Path_13	(Slack:0.57 Arrive:2.004 Require:1.4	34)	
			\triangleright	Path_14	(Slack:0.57 Arrive:2.004 Require:1.4	34)	
			\triangleright	Path_15	(Slack:0.57 Arrive:2.004 Require:1.4	34)	
			⊳	Path_16	(Slack:0.57 Arrive:2.004 Require:1.4	34)	
			⊳	Path_17	(Slack:0.57 Arrive:2.004 Require:1.4	34)	
			⊳	Path_18	(Slack:0.57 Arrive:2.004 Require:1.4	34)	
			⊳	Path_19	(Slack:0.571 Arrive:2.005 Require:1.	434)	
			⊳	Path_20	(Slack:0.5/1 Arrive:2.005 Require:1.	434)	
				Path_21	(Slack:0.5/1 Arrive:2.005 Require:1.	434)	
			Þ	Path_22	(Slack:0.571 Arrive:2.005 Require:1.4	434)	
			P	Path_23	(Slack:0.571 Arrive:2.005 Require:1.4	434)	
			P	Path_24	(Slack:0.571 Arrive:2.005 Require:1.4	434)	
			P	Path_25	(Slack:0.571 Arrive:2.005 Kequire:1.	454)	
Pr	roje	ct	}	letlist			

图 3-31 时序路径显示



调整后的路径如图 3-33 所示,调整完成后,单击工具栏的"Save",即 可完成约束修改。经此调整后,如果最大频率仍不满足设计需求,可继续进 行时序优化。



3.9 比特流下载

通过时序优化调整布局使得设计满足时序需求之后,重新布局布线,生成比特流文件,通过 Programmer 工具进行比特流下载,验证设计的正确性。该工具的详细使用方法请参考 <u>SUG502</u>, Gowin Programmer 用户指南。

选择 "Process > Program Device", 打开 Programmer 工具, 该工具自

动识别加载该工程的比特流文件。开发板准备就绪之后,单击工具栏的 Program/Configure 图标,即可下载比特流到开发板,比特流下载完成之后, 如图 3-34 所示。

图:	3-34	Programmer	界面
----	------	------------	----

**	🖞 Programmer 2 — 🗆 🗙										
File	ile Edit Tools About										
6											
E	nable	Series	Device	Operation	FS File	Checksum	User Code	IDCODE			
1 🗹]	GW1N	GW1N-9	SRAM Program	E:/IDE/MIPI_RX_TX/impl/pnr/ao_0.fs	0x248C	0x0000000	1100581B			
Outp	ut								₽×		
Info		"SRAM Program"	starting on de	vice-1							
Info		User Code: 0x0000	00000								
Info		Status Code: 0x000	03F020								
Info		Cost 6.55 second(s)								
Read	/								:		

3.10 GAO 采集数据

完成比特流下载之后,可以通过 GAO 工具验证设计的正确性,GAO 工具的详细使用方法请参考 <u>SUG114</u>,Gowin 在线逻辑分析仪用户指南。

单击 Gowin 云源软件工具栏的 Gowin Analyzer Oscilloscope 图标,打 开 GAO 显示界面,该工具自动识别加载该工程的 GAO 配置文件,如图 3-35 所示。

图 3-35 GAO 显示界面

🙆 Gowin Ana	lyzer Oscilloscope						-		\times
Cable:	Gowin USB Cable(FT2	2СН) 🔻 🕟 🤅) () () ()	Q Q [;					
Configuration									
Programmer	ogrammer								
Ao Core	Core O								
☑ Core 0	Capture Storage Size: 10 Trigger Expressio exp0: M0	24 Win	dow Number: 1	▼ Capture	Amount: 1024 🔻	Trigger Posi	tion: 1	00	
	Match Unit								
	Match Unit	Trigger Port	Match Type	Function	Counter		Valu	Je	
	MO	Trigger 0	Basic w/edges	==	Disabled		R		
< >	<								>

SUG918-1.1.1

单击 GAO 显示界面的 Start 图标,开始采集数据,采集完成之后,GAO 显示界面生成 windows 窗口用于显示波形,如图 3-36 所示,该窗口支持游标标记位置信息、波形放大缩小等操作,方便用户分析数据的正确性。



3.11 输出文件

3.11.1 布局布线报告

布局布线报告,列出了用户设计占用的芯片资源信息、内存消耗信息、时间消耗信息等,方便用户了解设计的大小及与目标芯片是否匹配等内容。 文件后缀名为.rpt.html,具体信息可查看*.rpt.html 文件。

用户可在 Process 窗口中的 Place & Route 区,双击 "Place & Route Report",打开布局布线报告,如图 3-37 所示。

有关布局布线报告的详细信息,请参考 <u>SUG100</u>, Gowin 云源软件用户 指南。

图 3-37 布局布线报告

Process 🗗 🗙			
📔 Design Summary	. DpD Moscagos		
4 媷 User Constraints	• PIR Messages		PnR Messages
FloorPlanner	 PhR Details 		-
🔀 Timing Constraints Editor	Placer	Report Title	Gowin PnR Report
4 🥝 Synthesize	 Resource Usage Summary 	Design File	E:\IDE\MIPI_RX_TX\impl\synthesize\rev_1\MIPI_RX_TX.vm
Synthesis Report	 GAO Resource Usage Summary 	Gao Design File	E:\IDE\MIPI_RX_TX\impl\gao\gao.v
Netlist File	 I/O Bank Usage Summary 	Physical Constraints File	E:\IDE\MIPI_RX_TX\src\MIPI_RX_TX.cst
4 S Place & Route	Router	Timing Constraints File	E:\IDE\MIPI_RX_TX\src\MIPI_RX_TX.sdc
Diaco & Route Pepert	 Global Clock Usage Summary 	GOWIN Version	V1.9.7Beta
Timing Assessis Report	 Global Clock Signals 	Part Number	GW1N-LV9PG256C6/I5
	 Pinout by Port Name 	Device	GW1N-9
Ports & Pins Report	All Package Pins	Created Time	Mon Sep 07 16:56:05 2020
Power Analysis Report	Memory lisage	Legal Announcement	Copyright (C)2014-2020 Gowin Semiconductor Corporation. All rights reserved.
			PnR Details
		Placer:	
		Starting Placer:	
		Placement Phase 0 RE	AL time: 0.323 secs
		Placement Phase 1 RE	AL time: 0.161 secs
		Placement Phase 2 RE	AL time: 0.492 secs
		Placement Phase 3 RE	AL time: 1.726 secs
		Total REAL time to Placement	t completion: 2.702 secs.
	K m	Davies Commune	
Design Process Hierarchy	V Start Page	Design Summary	MIPL_RX_TX.rpt.html

3.11.2 端口属性报告

端口属性报告,是在布局之后输出的端口属性的文件,包括端口的类型、 属性及端口位置信息等,生成的文件后缀名为.pin.html,具体信息可查看 *.pin.html 文件。

用户可在 Process 窗口中的 Place & Route 区,双击 "Ports & Pins Report",打开端口属性报告,如图 3-38 所示。

有关端口属性报告的详细信息,请参考 <u>SUG100</u>, Gowin 云源软件用户 指南。

图 3-38 端口属性报告

and the second s														
📔 Design Summary		Din Mossagos												
4 📝 User Constraints		 Pin Messages Dis Details 		Pin M	essag	es								
🔢 FloorPlanner		• Pin Details	Dinout by Dort Name Penert Title Gowin Din Penert											
🔀 Timing Constrai	aints Editor	 Pinout by Port Name 	Pinout by Port Name Report Title Gowin Pin Report All Package Pins Design File E:\JDE\VIIPL_RX_TX\u00ed publicky.thesize\v0.1\VIIPL_RX_TX.vm											
4 🥝 Synthesize		 All Package Pins 												
Synthesis Report	ort		Physical Constraints File E:\IDE\MIPI_RX_TX\src\MIPI_RX_TX.cst											
Netlist File			Timing Constraints File	E:\IDE\MIPI_RX_1	TX\src\MIPI_F	RX_TX.sdc								
🖉 Place & Route			GOWIN Version	V1.9.7Beta										
Place & Route F	Report		Part Number	GW1N-LV9PG256	C6/I5									
Timing Analysis	is Report		Device	GW1N-9										
Dente & Dies Re	enert		Created Time Mon Sep 07 16:56:05 2020 Legal Announcement Copyright (C)2014-2020 Gowin Semiconductor Corpora											
Ports & Pills Re	epon									served.				
Power Analysis	s Report			Pin	Detail	s								
Power Analysis	s Report		Pinout by Port Na	Pin me:	Detail	S								
Power Analysis	s Report		Pinout by Port Na	Pin me:	Detail	S Constraint	Dir.	Site	ІО Туре	Drive				
Power Analysis	s Report		Pinout by Port Na Port Name	Pin me:	Detail	S Constraint Y	Dir. in	Site IOB12[A]	IO Type LVCMOS12	Drive NA				
Power Analysis	s Report		Pinout by Port Na Port Name rstn disk224	Pin me:	Detail	S Constraint Y Y	Dir. in	Site IOB12[A] IOL9[A]	IO Type LVCMOS12 LVCMOS25	Drive NA NA				
Power Analysis	s Report		Pinout by Port Na Port Name rstn disc2x4 Ip_data0_dir_i	Pin me: Diff Pair	Detail	S Constraint Y Y Y	Dir. in in	Site IOB12[A] IOL9[A] IOR4[B]	IO Type LVCMOS12 LVCMOS25 LVCMOS25	Drive NA NA				
Power Analysis	s Report		Pinout by Port Na Port Name rstn cloc2x4 Ip_data0_dir_i HS_CLK_TX_P	Pin me: Diff Pair HS_CLK_TX_N	Detail Loc./Bank B3/2 A9/3 T14/1 L2,M1/2	S Constraint Y Y Y Y	Dir. in in out	Site IOB12[A] IOL9[A] IOR4[B] IOB29	IO Type LVCMOS12 LVCMOS25 LVCMOS25 MIPI	Drive NA NA NA 3.5				
Power Analysis	s Report		Pinout by Port Na Port Name rstn clko2x4 lp_data0_dir_i HS_CLK_TX_P HS_DATA3_TX_P	Pin me: Diff Pair HS_CLK_TX_N HS_DATA2_TX_N	Detail Loc./Bank B3/2 A9/3 T14/1 L2,M1/2 T3,R4/2	S Constraint Y Y Y Y Y	Dir. in in out out	Site IOB12[A] IOL9[A] IOR4[B] IOB29 IOB45	IO Type LVCMOS12 LVCMOS25 LVCMOS25 MIPI MIPI	Drive NA NA 3.5 3.5				
Power Analysis	s Report		Pinout by Port Na Port Name rstn cls/c2x4 lp_data0_dir_i HS_CLK_TX_P HS_DATA3_TX_P HS_DATA2_TX_P	Pin me: Diff Pair HS_CLK_TX_N HS_DATA3_TX_N HS_DATA2_TX_N	Detail Loc./Bank B3/2 A9/3 T14/1 L2,M1/2 T3,R4/2 T2,R3/2	S Constraint Y Y Y Y Y Y	Dir. in in out out	Site 10B12[A] 10L9[A] 10R4[B] 10B45 10B45 10B43	IO Type LVCMOS12 LVCMOS25 LVCMOS25 MIPI MIPI MIPI	Drive NA NA 3.5 3.5 3.5				
Power Analysis	s Report		Pinout by Port Nat Port Name rstn dkx2x4 lp_data0_dir_i HS_CLK_TX_P HS_DATA3_TY_P HS_DATA1_TY_P HS_DATA1_TY_P	Pin me: Diff Pair HS_CLK_TX_N HS_DATA3_TX_N HS_DATA1_TX_N	Detail: boc./Bank B3/2 A9/3 T14/1 L2,M1/2 T3,R4/2 T2,R3/2 R1,P2/2	S Constraint Y Y Y Y Y Y Y Y	Dir. in in out out out	Site 10B12[A] 10L9[A] 10R4[B] 10B45 10B45 10B43 10B41	IO Type LVCMO512 LVCMO525 LVCMO525 MIP1 MIP1 MIP1 MIP1	Drive NA NA 3.5 3.5 3.5 3.5				
Power Analysis	s Report		Pinout by Port Na Port Name rstn clkc2x4 lp_data0_dir_i HS_CLK_TX_P HS_DATA3_TX_P HS_DATA2_TX_P HS_DATA1_TX_P	Pin me: Diff Pair HS_CLK_TX_N HS_DATA3_TX_N HS_DATA2_TX_N HS_DATA1_TX_N	Detail B3/2 A9/3 T14/1 L2,M1/2 T3,R4/2 T2,R3/2 R1,P2/2	S Constraint Y Y Y Y Y Y Y Y Y	Dir. in in out out out	Site IOB12[A] IOL9[A] IOR4[B] IOB45 IOB43 IOB41	IO Type LVCMOS12 LVCMOS25 LVCMOS25 MIPI MIPI MIPI MIPI	Drive NA NA 3.5 3.5 3.5 3.5 3.5				

3.11.3 时序报告

时序报告输出提供两种类型的时序报告: 网页格式和文本格式, 默认为 网页格式。

时序报告包括建立时间检查、保持时间检查、恢复时间检查、移除时间 检查、最小时钟脉冲检查、最大扇出路径、布线拥塞度报告等部分,默认情 况下对上述所有检查进行报告,并提供最大频率的报告。

用户可在 Process 窗口中的 Place & Route 区,双击"Timing Analysis Report",打开时序报告,如图 3-39 所示。

有关时序报告的详细信息、请参考 SUG940 Gowin 设计时序约束指南。

Process 🗗 🗙	^		
📔 Design Summary	liming Messages		
4 📝 User Constraints	 Timing Summarie 		Timing Messages
FloorPlanner	STA Tool Run St		········
🔀 Timing Constraints Editor	Clock Summary	Report Title 0	Sowin Timing Analysis Report
4 📀 Synthesize	Max Frequency §	Design File E	:\IDE\MIPI_RX_TX\impl\synthesize\rev_1\MIPI_RX_TX.vm
Synthesis Report	Total Negative S	Physical Constraints File E	:\IDE\MIPI_RX_TX\src\MIPI_RX_TX.cst
Netlist File	Timing Details	Timing Constraint File E	:\IDE\MIPI_RX_TX\src\MIPI_RX_TX.sdc
⊿ 🔗 Place & Route	A Dath Slacks Tabl	GOWIN version	1.9.7Beta
Place & Route Report		Part Number 0	W1N-LV9PG256C6/I5
Timing Analysis Report	Setup Paths 13	Device G	W1N-9
Borte & Diss Report	Setup Paths	Created Time	ton Sep 07 16:56:05 2020
Ports & Pills Report	Setup Paths	Legal Announcement C	Copyright (C)2014-2020 Gowin Semiconductor Corporation. All rights reserved.
Beause Davies	Hold Paths Tal		
Sa Program Device	Recovery Path		
	Removal Path:		Timing Summaries
	Minimum Pulse V		-
	Timing Report B	STA TOOLKUN SUMMAR	y:
	Setup Analysis	Setup Delay Model	Slow 1.14V 85C
	Setup Analy	Hold Delay Model	Fast 1.26V 0C
	Setup Analy	Numbers of Paths Analyzed	3785
	Hold Analysis	Numbers of Endpoints Analyzed	3982
	Recovery Anal	Numbers of Falling Endpoints	1
		Numbers of Setup Violated Endpoi	nts 0
	Removal Analy		

3.11.4 功耗分析报告

功耗分析报告主要是针对用户设计,根据器件的特性做一个预估的功耗 计算,帮助用户评估设计的基本功耗值。

用户可在 Process 窗口中的 Place & Route 区,双击"Power Analysis Report",可打开功耗分析报告,如图 3-40 所示。

有关功耗分析报告的详细信息,请参考 <u>SUG282</u>, Gowin 功耗分析工具 用户指南。



3.12 文件加密

3.12.1 源文件加密

当用户需要加密保护源文件时,可以在建立工程后,通过 Hierarchy 窗口对所选 module 及其 sub module 进行加密,如图 3-41 所示。其详细使用方法请参考 <u>SUG100</u>, Gowin 云源软件用户指南。

图 3-41 Hierarchy 窗口信息显示

Hierarchy									
Update									
Unit	Files								
	src\DPHY_TOP.v								
Gowin_PLL(u_plld4)	src\gowin_pll\gowin_pll.v								
ROM549x17(u_ROM549x17)	src\ROM549X17.v								
DPHY_TX_TOP(u_DPHY_TX_TOP)	src\DPHY_TX_TOP\DPHY_TX_TOPv								
~DPHY_TX.DPHY_TX_TOP_(DPHY_TX_INST)	src\DPHY_TX_TOP\DPHY_TX_TOPv								
DPHY_RX_TOP(u_DPHY_RX_TOP)	src\DPHY_RX_TOP\DPHY_RX_TOPv								
~DPHY_RX.DPHY_RX_TOP_(DPHY_RX_INST)	src\DPHY_RX_TOP\DPHY_RX_TOPv								
Design Process Hierarchy									

以 module DPHY_TOP 为例介绍文件加密方法。

在 Hierarchy 窗口中右键单击 DPHY_TOP,选择右键列表中的"Pack User Design",打开文件加密窗口,如图 3-42 所示。

图 3-42 Pack User Design 窗口

🐳 Pack User Design	?	×		
Create In:	E:\IDE\MIPI_RX_TX\src\DPHY_TO)P_pack		
Synthesis Tool:	GowinSynthesis 🔻			
Target Top Module:	DPHY_TOP			
Source Files				
	A	dd File	Remove F	ile
E:\IDE\MIPI_RX_I) E:\IDE\MIPI_RX_T) E:\IDE\MIPI_RX_T) E:\IDE\MIPI_RX_T) E:\IDE\MIPI_RX_T) E:\IDE\MIPI_RX_T)	<pre>(\src\DPHY_TORV (\src\gowin_pll\gowin_pll.v (\src\ROM549X17.v (\src\DPHY_TX_TOP\DPHY_TX_TOP (\src\DPHY_RX_TOP\DPHY_RX_TOP)</pre>	I₽v)₽v		
		Pack	Stop	

综合工具选择 GowinSynthesis, module 为 DPHY_TOP, 点击"Pack" 开始执行加密, 开始加密及加密成功后会在 Output 窗口打印相关信息。

加密完成后在目标路径(E:\IDE\MIPI_RX_TX\src\DPHY_TOP_pack)下 生成两个文件: DPHY_TOP_gowin.vp 和 DPHY_TOP_sim.v。

- DPHY_TOP_gowin.vp 为加密文件,可提供给他人使用;
- DPHY_TOP_sim.v 是打平的综合后明文网表文件,可以用于仿真。

3.12.2 仿真文件加密

高云提供的仿真文件是明文格式,为了进一步保护仿真文件,可将仿真 文件使用第三方仿真软件进行加密,以 modelsim 和 vcs 仿真工具对 DPHY_TOP_sim.v 加密为例进行介绍。

Modelsim 仿真工具加密

使用 modelsim 仿真时,将仿真文件进行加密,可通过以下步骤:

- 2. 运行命令: vlog +protect DPHY_TOP_sim.v;
- 3. 执行完命令,会在 work 库生成 DPHY_TOP_sim.vp,该文件为 DPHY_TOP_sim.v 加密后文件,可用于 modelsim 仿真。

vcs 仿真工具加密

使用 vcs 仿真时,将仿真文件进行加密,可通过以下步骤:

- 2. 运行命令: vcs +v2k -protect128 DPHY_TOP_sim.v;
- 3. 执行完命令,会在当前路径下生成 DPHY_TOP_sim.vp,该文件为 DPHY_TOP_sim.v 加密后文件,可用于 vcs 仿真。

4 Tcl 命令使用

前面介绍采用界面操作实现整个设计流程的方式,云源软件还提供了 tcl 命令实现一些设置和流程,以 MIPI 设计为例介绍 tcl 命令的使用, tcl 命令的 详细介绍请参考 <u>SUG100</u>, Gowin 云源软件用户指南附录 A。

4.1 Tcl 命令编辑窗口

在 Console 信息输出页的最下方是 tcl 命令编辑窗口,可以在窗口中输入 tcl 命令后通过回车键来执行相关命令,如图 4-1 所示。

```
图 4-1 tcl 命令编辑窗口
```

Console			8	x
Generate Generate Generate Generate Thu Aug	e file e file e file e file e file 06 15:	"E:\IDE\MIPI_RX_TX\impl\pnr\MIPI_RX_TX.rpt.txt" completed "E:\IDE\MIPI_RX_TX\impl\pnr\MIPI_RX_TX.vo" completed "E:\IDE\MIPI_RX_TX\impl\pnr\MIPI_RX_TX.tr.html" completed "E:\IDE\MIPI_RX_TX\impl\pnr\MIPI_RX_TX.posp" completed 28:26 2020	(^ -
•		III	. F	
%run pnr				
Console	Message			

4.2 Tcl 命令快速入门

4.2.1 rm_file

rm_file 用于移除设计文件。为介绍该命令的使用,将工程中功能设计文件 ROM549X17.v 和 DPHY_TOP.v 移除该工程,用 tcl 命令实现如下:

同时移除 ROM549X17.v 和 DPHY_TOP.v

rm_file src/ROM549X17.v src/DPHY_TOP.v

执行完该命令, console 窗口会显示移除文件的提示信息, 两个文件不显示在 design 窗口。

4.2.2 add_file

add_file 用于添加设计文件。为介绍该命令的使用,将被移除的功能设 计文件 ROM549X17.v 和 DPHY_TOP.v 重新添加到工程,用 tcl 命令实现如 下: 同时添加 ROM549X17.v 和 DPHY_TOP.v

add_file src/ROM549X17.v src/DPHY_TOP.v

执行完该命令, console 窗口会显示添加文件的提示信息, 两个文件显示在 design 窗口。

4.2.3 set_file_enable

set_file_enable 用于设置文件是否可以被使用。为介绍该命令的使用, 先将设计中的 DPHY_TOP.v 修改为 disable 状态,然后再将其改为 enable 状态,用 tcl 命令实现如下:

将 DPHY_TOP.v 修改为 disable 状态

set_file_enable src/DPHY_TOP.v false

执行完该命令后, console 窗口会显示 disable 文件的提示信息, design 窗口 DPHY_TOP.v 文件被置灰。

将 DPHY_TOP.v 修改为 enable 状态

set_file_enable src/DPHY_TOP.v true

执行完该命令后, console 窗口会显示 enable 文件的提示信息, design 窗口 DPHY_TOP.v 文件显示为可用状态。

4.2.4 set_option

set_option 用于设置工程相关的属性配置及流程选项。本设计中的综合和布局布线的参数配置,用 tcl 命令实现如下:

- 综合工具选择 GowinSynthesis
 set_option -synthesis_tool gowinsynthesis
- TOP Module/Entity 设为 DPHY_TOP set_option -top_module DPHY_TOP
- Generate SDF File 配置为 True set_option -gen_sdf 1
- Generate Post-Place File 配置为 True set_option -gen_posp 1
- Generate Post-PNR Simulation Model File 配置为 True set_option -gen_sim_netlist 1
- Place input register to IOB 配置为 False set_option -ireg_in_iob 0
- Place output register to IOB 配置为 False set_option -oreg_in_iob 0
- Place inout register to IOB 配置为 False set_option -ioreg_in_iob 0

4.2.5 run

run 用于运行全部流程或某个流程。本设计执行综合和布局布线流程,用 tcl 命令实现如下:

● 执行综合

run syn

● 执行布局布线

run pnr

4.2.6 set_device

set_device 可用于设置目标器件。将本设计移植到 GW1N-9C, GW1N-LV9PG256C6/I5, 用 tcl 命令实现如下:

将目标器件修改为 GW1N-9C, GW1N-LV9PG256C6/I5

set_device -name GW1N-9C GW1N-LV9PG256C6/I5

执行完该命令,在 console 窗口会显示当前的 device 信息。

4.2.7 saveto

saveto用于将当前工程设计数据保存到tcl脚本,包括当前的器件信息、设计文件和流程选项等信息。将本设计的数据保存为mipi.tcl,可供之后用命令行模式运行,用tcl命令实现如下:

将当前工程设计数据保存到 mipi.tcl

saveto mipi.tcl

执行完该命令,会在工程文件所在路径生成 mipi.tcl 文件。

