




# Gowin 云源软件快速入门指南

SUG918-1.3, 2021-11-02

版权所有 © 2021 广东高云半导体科技股份有限公司

**GOWIN高云**、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

## 版本信息

日期	版本	说明
2020/05/07	1.0	初始版本。
2020/09/07	1.1	<ul style="list-style-type: none"><li>● 新增文件加密；</li><li>● 新增查看 RTL 原理图；</li><li>● 新增 tcl 命令使用。</li></ul>
2020/10/21	1.1.1	综合流程修改为以 GowinSynthesis <sup>®</sup> 为例。
2021/06/10	1.2	<ul style="list-style-type: none"><li>● 删除 Synplify Pro 相关描述；</li><li>● 修改 MIPI 设计使用的 IP。</li></ul>
2021/11/02	1.3	更新部分描述。

# 目录

目录 .....	i
图目录 .....	iii
表目录 .....	v
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 相关文档 .....	1
1.3 术语、缩略语 .....	1
1.4 技术支持与反馈 .....	2
<b>2 简介 .....</b>	<b>3</b>
2.1 设计流程简介 .....	3
2.2 快速入门设计简介 .....	3
<b>3 快速入门 .....</b>	<b>4</b>
3.1 创建工程 .....	4
3.1.1 新建工程 .....	4
3.1.2 生成 MIPI D-PHY IP .....	5
3.1.3 加载文件 .....	8
3.1.4 查看 RTL 原理图 .....	8
3.2 GowinSynthesis® 综合 .....	8
3.2.1 选项配置 .....	8
3.2.2 综合 .....	10
3.3 物理约束 .....	11
3.3.1 新建物理约束 .....	11
3.3.2 修改物理约束 .....	12
3.4 时序约束 .....	12
3.4.1 新建时序约束 .....	12
3.4.2 修改时序约束 .....	15
3.5 GAO 配置 .....	15
3.5.1 新建 Standard Mode GAO 配置文件 .....	15
3.5.2 配置 Standard Mode GAO .....	15
3.6 功耗分析配置 .....	17
3.6.1 新建功耗分析配置文件 .....	17
3.6.2 选项配置 .....	18
3.7 布局布线 .....	22
3.7.1 选项配置 .....	22
3.7.2 运行 PnR .....	23

---

3.8 时序优化.....	25
3.8.1 时序分析.....	25
3.8.2 调整关键路径.....	25
3.9 码流下载.....	28
3.10 GAO 采集数据.....	29
3.11 输出文件.....	30
3.11.1 布局布线报告.....	30
3.11.2 端口属性报告.....	30
3.11.3 时序报告.....	31
3.11.4 功耗分析报告.....	32
3.12 文件加密.....	32
3.12.1 源文件加密.....	32
3.12.2 仿真文件加密.....	34
<b>4 Tcl 命令使用.....</b>	<b>36</b>
4.1 Tcl 命令执行方式.....	36
4.1.1 Tcl 命令编辑窗口执行.....	36
4.1.2 Tcl 命令行执行.....	36
4.2 Tcl 命令快速入门.....	37
4.2.1 rm_file.....	37
4.2.2 add_file.....	37
4.2.3 set_file_enable.....	37
4.2.4 set_option.....	38
4.2.5 run.....	38
4.2.6 set_device.....	39
4.2.7 saveto.....	39

# 图目录

图 2-1 MIPI 设计整体框图 .....	3
图 3-1 新建工程 .....	4
图 3-2 工程目录 .....	5
图 3-3 MIPI RX Advance 配置 .....	5
图 3-4 MIPI RX Advance IP 目录.....	6
图 3-5 MIPI TX Advance 配置 .....	7
图 3-6 Design 窗口显示.....	7
图 3-7 加载文件 .....	8
图 3-8 综合选项配置 .....	9
图 3-9 GowinSynthesis 的属性和指令 .....	9
图 3-10 综合完成 .....	10
图 3-11 gwsynthesis 目录 .....	10
图 3-12 I/O 约束.....	11
图 3-13 物理约束显示 .....	12
图 3-14 Clock 约束 .....	13
图 3-15 时序报告约束 .....	14
图 3-16 时序约束显示 .....	14
图 3-17 新建 GAO 配置文件 .....	15
图 3-18 触发选项配置 .....	16
图 3-19 采样选项配置 .....	16
图 3-20 GAO 配置文件显示 .....	17
图 3-21 新建功耗分析配置文件 .....	18
图 3-22 General Setting 配置 .....	19
图 3-23 Rate Setting 配置 .....	20
图 3-24 Clock Setting 配置 .....	21
图 3-25 功耗分析配置文件显示 .....	22
图 3-26 布局布线选项配置.....	23
图 3-27 布局布线完成 .....	23
图 3-28 PnR 目录 .....	24
图 3-29 gao 目录 .....	25
图 3-30 时序报告最大频率.....	25
图 3-31 时序路径显示 .....	26
图 3-32 路径高亮显示 .....	27
图 3-33 调整后路径显示 .....	27
图 3-34 Programmer 界面 .....	28
图 3-35 GAO 显示界面 .....	29

---

图 3-36 GAO 波形显示 .....	29
图 3-37 布局布线报告 .....	30
图 3-38 端口属性报告 .....	31
图 3-39 时序报告 .....	31
图 3-40 功耗分析报告 .....	32
图 3-41 Hierarchy 信息显示.....	33
图 3-42 Pack User Design 对话框.....	34
图 4-1 Tcl 命令编辑窗口.....	36
图 4-2 Tcl 命令行模式 .....	36
图 4-3 Tcl 脚本文件 .....	37

# 表目录

表 1-1 术语、缩略语 .....	1
--------------------	---



# 1 关于本手册

## 1.1 手册内容

本手册以 MIPI 设计为例，介绍高云半导体云源<sup>®</sup>软件（以下简称云源）的使用，旨在帮助用户快速熟悉云源的使用流程，提高设计效率。

## 1.2 相关文档

通过登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可下载、查看以下相关文档：

- [SUG100](#)，Gowin 云源软件用户指南
- [SUG935](#)，Gowin 设计物理约束指南
- [SUG101](#)，Gowin 设计时序约束指南
- [SUG114](#)，Gowin 在线逻辑分析仪用户指南
- [SUG282](#)，Gowin 功耗分析工具用户指南
- [SUG502](#)，Gowin Programmer 用户指南
- [SUG550](#)，GowinSynthesis 用户指南
- [SUG755](#)，Gowin HDL 设计原理图查看器用户指南

## 1.3 术语、缩略语

本手册中的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
PnR	Place & Route	布局布线
GAO	Gowin Analyzer Oscilloscope	在线逻辑分析仪
GPA	Gowin Power Analyzer	功耗分析工具
AO Core	Analysis Oscilloscope Core	功能内核

## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 简介

## 2.1 设计流程简介

云源支持 Windows 和 Linux 版本，支持界面模式和命令行模式运行，本手册以 Windows 版本、界面运行、MIPI 设计为例，介绍云源的快速入门方法。

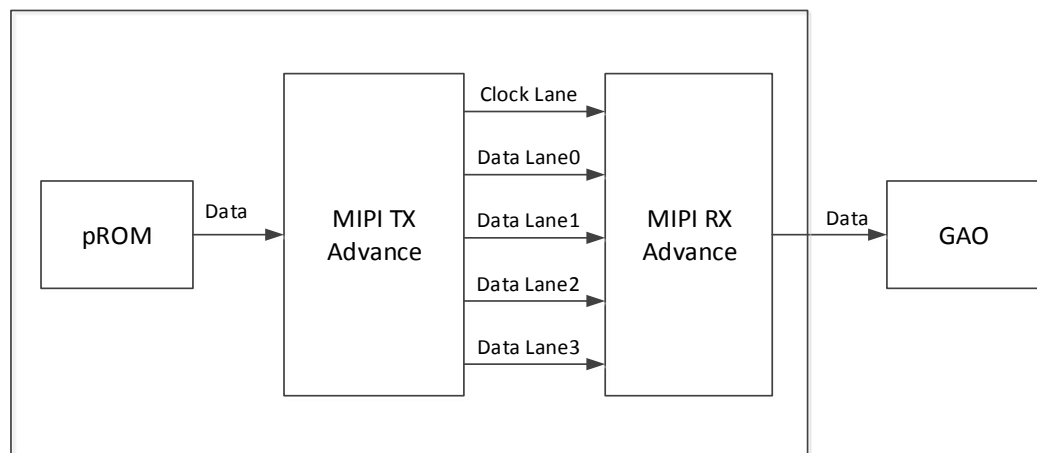
整个设计流程采用 FloorPlanner 添加物理约束和时序优化，Timing Constraints Editor 添加时序约束，GAO 添加 GAO 配置文件和采集数据，功耗分析工具添加功耗分析配置文件，Programmer 进行码流下载。

## 2.2 快速入门设计简介

MIPI D-PHY TX RX IP 应用于串行显示接口和串行摄像头接口中，用于接收或发送图像或视频数据，MIPI D-PHY 为其提供了在物理层上的定义。

整个设计集成了 MIPI RX Advance 和 MIPI TX Advance 两个 IP，通过 pROM 为 MIPI TX Advance 提供数据，MIPI TX Advance 发送数据，MIPI RX Advance 接收数据，最终使用 GAO 采集 MIPI RX Advance 接收的数据，验证 MIPI RX Advance 和 MIPI TX Advance 的正确性，整体设计框图如图 2-1 所示。

图 2-1 MIPI 设计整体框图



# 3 快速入门

## 3.1 创建工程

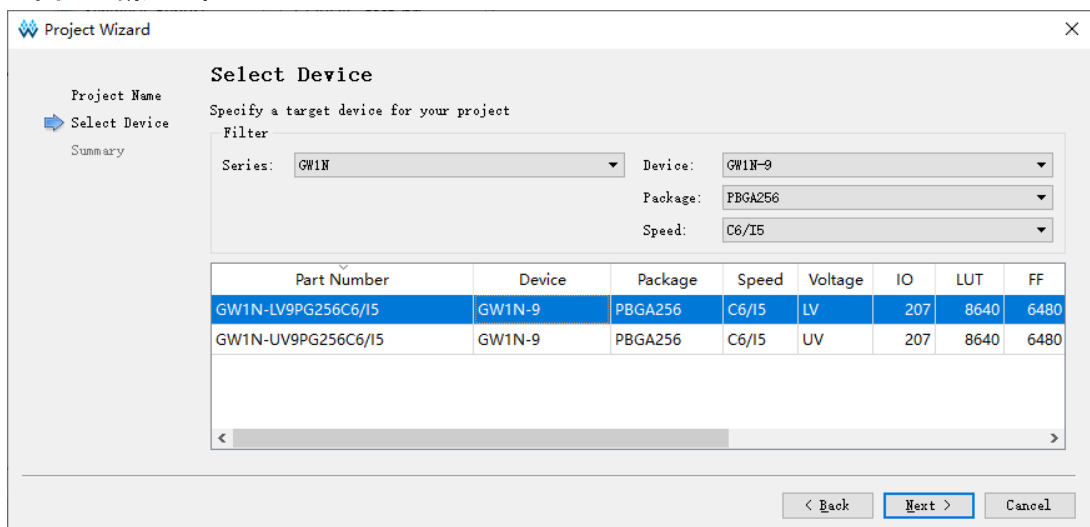
### 3.1.1 新建工程

打开云源，单击 Start Page 窗口上“Quick Start > New Project”新建一个工程，工程名称为 MIPI\_RX\_TX\_Advance，器件选择如图 3-1 所示：

- Series: GW1N
- Device: GW1N-9
- Package: PBGA256
- Speed: C6/I5
- Part Number: GW1N-LV9PG256C6/I5

点击“Next”，直至工程创建完成。新建工程的详细步骤请参考 [SUG100](#)，Gowin 云源软件用户指南。

图 3-1 新建工程



工程创建完成之后，在工程创建路径生成 impl 和 src 文件夹，如图 3-2 所示，其中，impl 用于放置综合后和布局布线后的文件，src 用于放置源文

件。

图 3-2 工程目录

Name	Date modified	Type	Size
impl	6/10/2021 17:17	File folder	
src	6/10/2021 17:17	File folder	
MIPI_RX_TX_Advance.gprj	6/10/2021 17:07	GPRJ File	1 KB
MIPI_RX_TX_Advance.gprj.user	6/10/2021 17:17	USER File	3 KB

### 3.1.2 生成 MIPI D-PHY IP

通过选择菜单栏“Tools > IP Core Generator”打开 IP Core Generator 窗口，双击 Interface and Interconnect 将其展开，双击 MIPI RX Advance 打开 IP Customization 对话框，根据需要选择配置，本设计 MIPI RX Advance 配置如图 3-3 所示，完成配置选择之后，点击“OK”，即可生成 MIPI RX Advance 的 IP。

图 3-3 MIPI RX Advance 配置

Options

MIPI D-PHY Mode:  1:8  1:16

CLK IO TYPE:  TLVDS  ELVDS  MIPI IO  MIPI COMB IO

D-PHY Lane0 Lane0 IO TYPE: ELVDS

D-PHY Lane1 Lane1 IO TYPE: ELVDS

D-PHY Lane2 Lane2 IO TYPE: ELVDS

D-PHY Lane3 Lane3 IO TYPE: ELVDS

Data0 Before Lane Alignment HS DATA0 IO Delay Value 0

Data1 Before Lane Alignment HS DATA1 IO Delay Value 0

Data2 Before Lane Alignment HS DATA2 IO Delay Value 0

Data3 Before Lane Alignment HS DATA3 IO Delay Value 0

LP mode on clock lane

LP mode on data lane 0  LP mode on data lane 1

LP mode on data lane 2  LP mode on data lane 3

Turns on byte alignment  Turns on lane alignment

D-PHY RX using external Clock

Generation Config

Disable I/O Insertion

IP 生成之后，在 IP 创建路径会生成 IP 设计文件及仿真所需文件，如图 3-4 所示：

- .v 文件为 IP 设计文件，其为加密形式；
- \_tmp.v 文件为 IP 设计模板文件，为用户提供 IP 设计使用模板；
- .vo 文件为 IP 仿真模型文件，其为明文形式，可用于仿真；
- .ipc 文件为 IP 配置文件，用户可加载该文件修改配置；
- temp 文件夹包含生成 IP 所需的文件。

注！

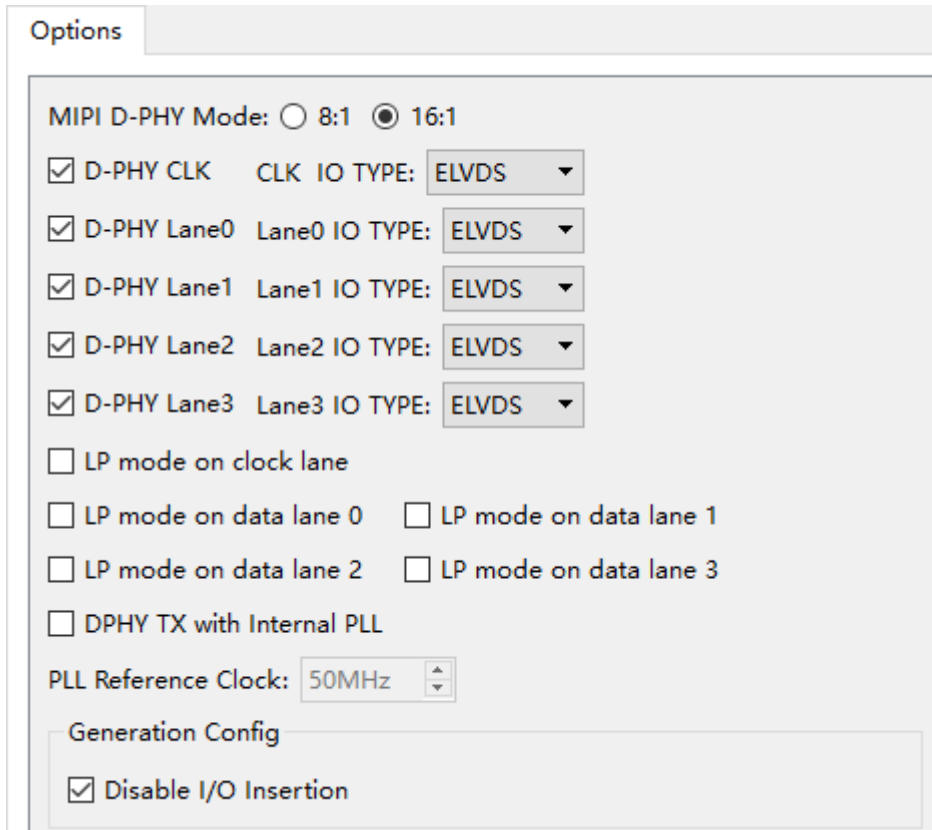
目前有些 IP，在 IP 创建路径还会生成 doc、model、sim 和 tb 文件夹，分别为说明文档、仿真模型、仿真脚本和 testbench 仿真文件。IP 目录结构以实际 IP Core 生成为准。

图 3-4 MIPI RX Advance IP 目录

Name	Date modified	Type	Size
temp	6/10/2021 17:17	File folder	
mipi_rx_advance.ipc	6/10/2021 13:42	IPC File	1 KB
mipi_rx_advance.v	6/10/2021 13:43	V File	427 KB
mipi_rx_advance.vo	6/10/2021 13:43	VO File	734 KB
mipi_rx_advance_tmp.v	6/10/2021 13:43	V File	2 KB

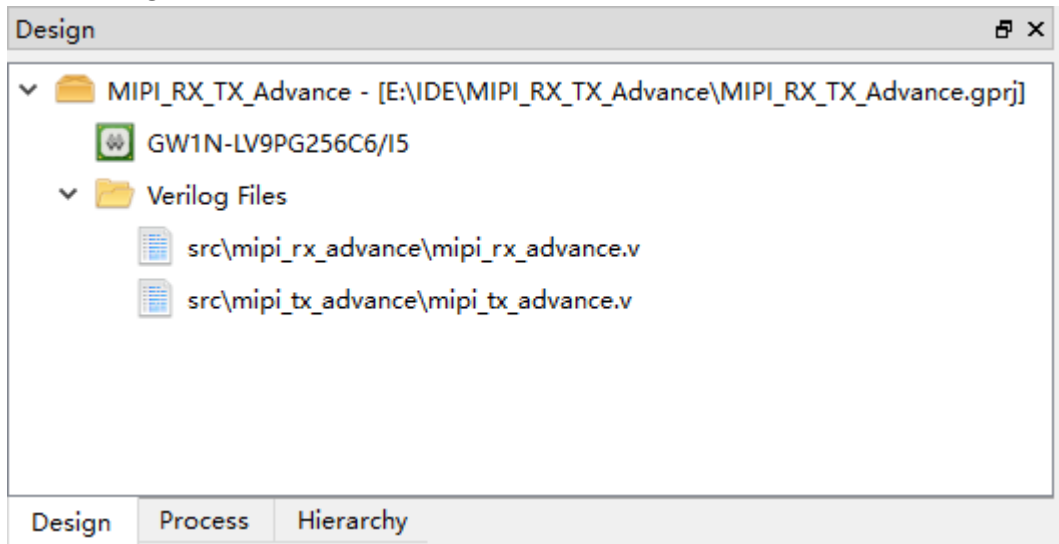
在 IP Core Generator 窗口中，双击 MIPI TX Advance 打开 IP Customization 对话框，根据需要选择配置，本设计 MIPI TX Advance 配置如图 3-5 所示，完成配置选择之后，点击“OK”，即可生成 MIPI TX Advance 的 IP。

图 3-5 MIPI TX Advance 配置



MIPI RX Advance 和 MIPI TX Advance 的 IP 生成之后, 在 Design 窗口的显示如图 3-6 所示。

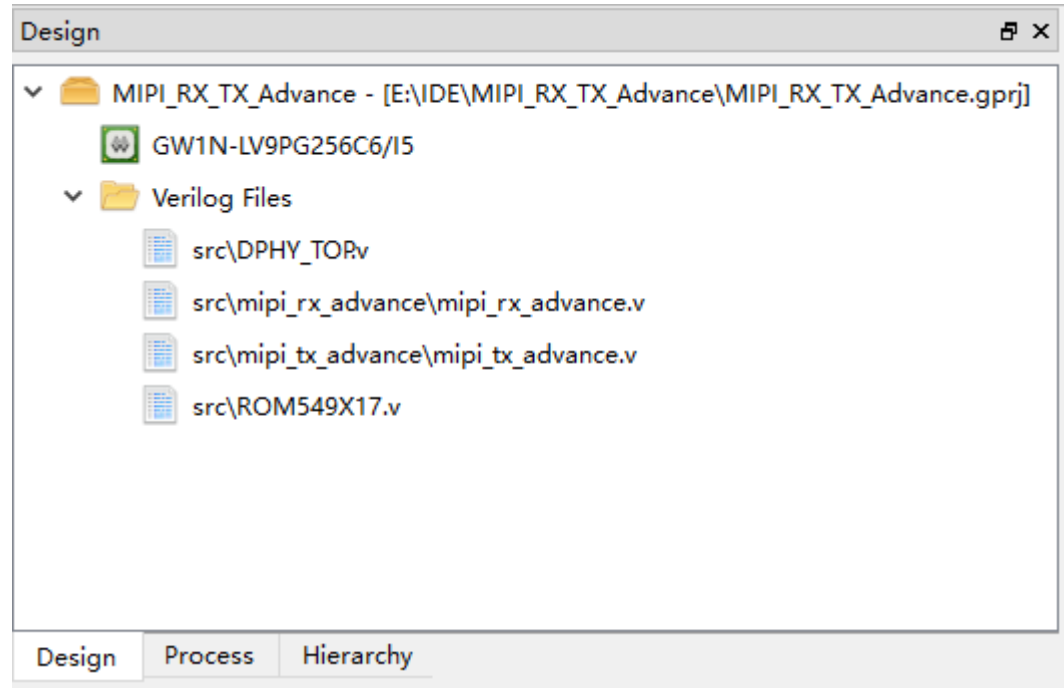
图 3-6 Design 窗口显示



### 3.1.3 加载文件

为测试 MIPI RX Advance 和 MIPI TX Advance 的功能,需新建或加载一些功能设计文件,完成之后,Design 窗口如图 3-7 所示。

图 3-7 加载文件



### 3.1.4 查看 RTL 原理图

源文件加载完成后,可通过菜单栏“Tools > Schematic Viewer”查看整个设计的原理图,帮助用户更好了解整个设计的逻辑构成。Schematic Viewer 的详细使用方法请参考 [SUG755](#), Gowin HDL 设计原理图查看器用户指南。

## 3.2 GowinSynthesis®综合

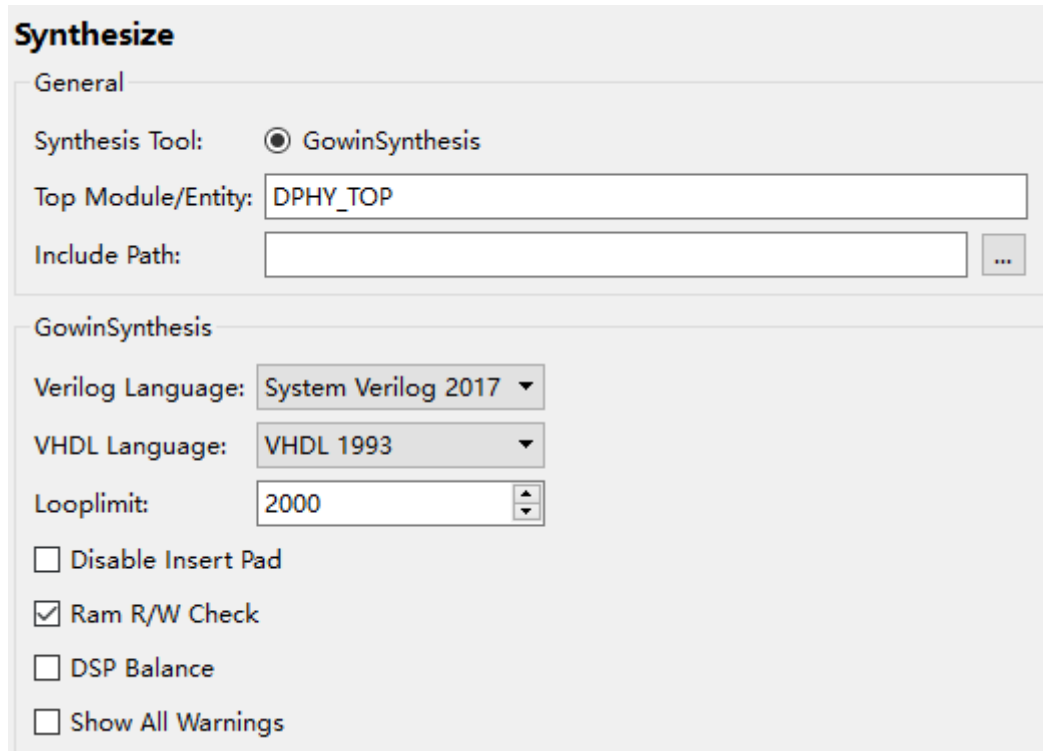
### 3.2.1 选项配置

选择“Process > Synthesize > Configuration”,弹出 Configurations 对话框,在此对话框进行综合选项配置,关于 GowinSynthesis 所有配置的详细说明,可参考具体可参考 [SUG550](#), GowinSynthesis 用户指南。

本设计 TOP Module/Entity 设为 DPHY\_TOP,如图 3-8 所示。



图 3-8 综合选项配置



**Synthesize**

General

Synthesis Tool:  GowinSynthesis

Top Module/Entity:

Include Path:  ...

GowinSynthesis

Verilog Language:

VHDL Language:

Looplevelimit:

Disable Insert Pad

Ram R/W Check

DSP Balance

Show All Warnings

此外，也可以通过在源文件中添加一些综合属性和指令控制综合结果，关于属性和指令的详细说明，可参考 [SUG550](#)，GowinSynthesis 用户指南。如图 3-9 所示，本设计中，使用 `/* synthesis syn_keep=1 */` 综合属性，在综合和优化过程中，将特定 net 进行保留而不被优化。

图 3-9 GowinSynthesis 的属性和指令

```

417 `ifdef GEN_MIPI_RX_16
418     reg [63:0] data_in;
419     reg [15:0] data0, data1, data2, data3;
420     reg [15:0] dout, dout1;
421     reg [15:0] data_cntr;
422     reg hactive_flag_RX;
423
424     wire [1:0] lp_clk_out, lp_data0_out;
425     wire [1:0] lp_data1_out, lp_data2_out, lp_data3_out;
426
427     wire [15:0] data_out3, data_out2, data_out1, data_out0;
428     wire D0_delay, D1_delay, D2_delay, D3_delay;
429     reg [63:0] data_out_reg;
430     wire clk_byte_out /* synthesis syn_keep=1 */;
431     wire sclk_tx ;
432 `endif

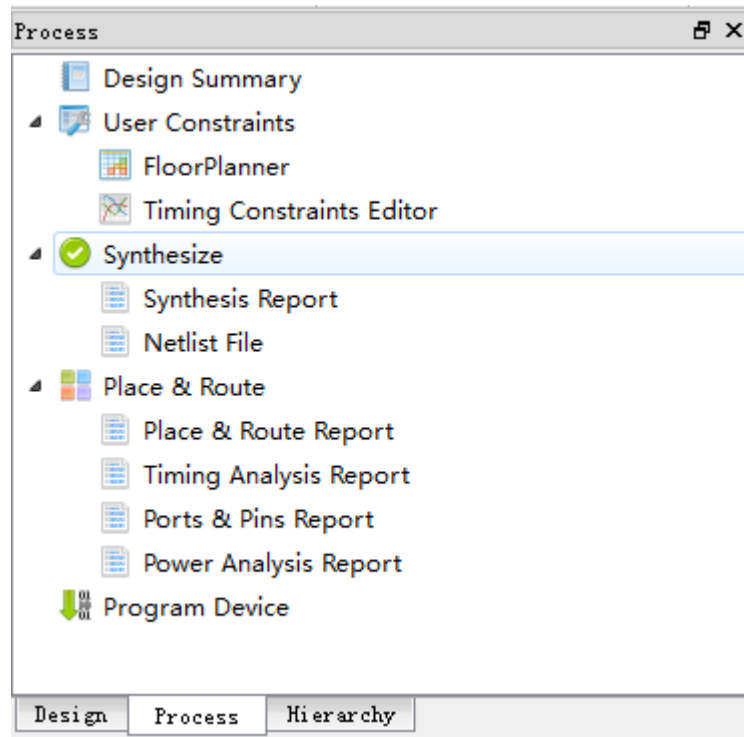
```

## 3.2.2 综合

完成综合选项配置之后，即可进行综合。

双击 Process 窗口中的 Synthesize，开始进行综合，综合完成后，如图 3-10 所示，Synthesize 前面的图标变为“✔”，可双击 Synthesis Report 查看综合报告，双击 Netlist File 查看综合后网表文件。

图 3-10 综合完成



综合完成后，在工程创建路径impl下生成 gwsynthesis 文件夹，该文件夹包含综合过程生成的所有文件，如图 3-11 所示。

图 3-11 gwsynthesis 目录

Name	Date modified	Type	Size
MIPI_RX_TX_Advance.log	6/10/2021 15:09	LOG File	4 KB
MIPI_RX_TX_Advance.prj	6/10/2021 15:09	PRJ File	2 KB
MIPI_RX_TX_Advance.vg	6/10/2021 15:09	VG File	464 KB
MIPI_RX_TX_Advance_syn.rpt.html	6/10/2021 15:09	360 se HTML Doc...	29 KB
MIPI_RX_TX_Advance_syn_resource.html	6/10/2021 15:09	360 se HTML Doc...	3 KB
MIPI_RX_TX_Advance_syn_rsc.xml	6/10/2021 15:09	XML Document	1 KB

## 3.3 物理约束

完成综合之后，可通过手动书写或 FloorPlanner 编辑物理约束，本设计使用 FloorPlanner 编辑物理约束。该工具的详细使用方法请参考 [SUG935](#)，Gowin 设计物理约束指南。

### 3.3.1 新建物理约束

选择云源 “Process > User Constraints > FloorPlanner”，打开 FloorPlanner，该工具支持 I/O、Primitive、Group 等物理约束。本设计只添加 I/O 约束，并以此为例。

约束编辑窗口中的 I/O 约束窗口，可创建 I/O Constrains。在 Netlist 窗口或 I/O Constraints 窗口中选中预约束 Port 的所在行拖拽到 Package View 或 Chip Array 视图中的具体位置上，完成后，预约束 port 的 Location 信息变为拖拽到的 IOB 的位置，如图 3-12 所示。

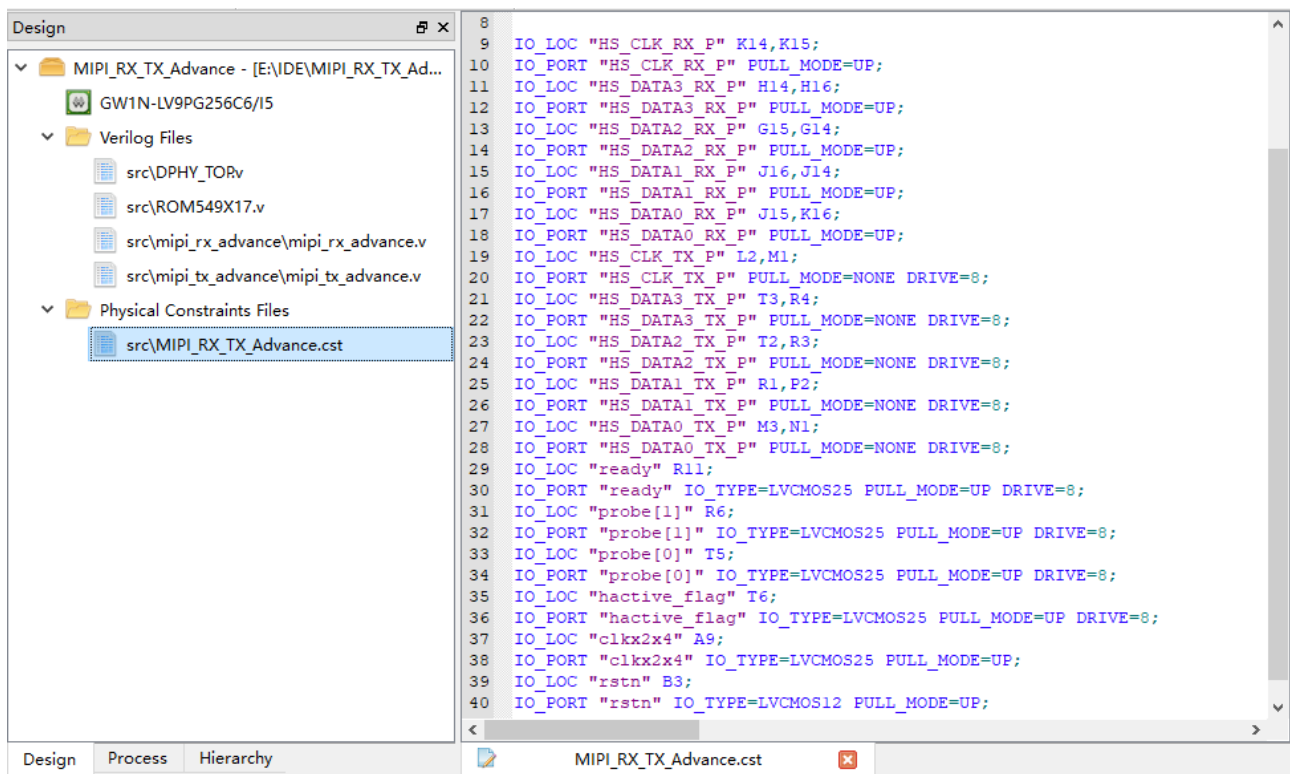
图 3-12 I/O 约束

The screenshot displays the FloorPlanner interface. On the left, the Netlist window shows a tree view of ports under DPHY\_TOP. The main area shows the Package View grid with IOBs and their locations. The bottom part shows the I/O Constraints table.

	Port	Direction	Diff Pair	Location	Bank	Exclusive	IO Type
1	HS_CLK_RX_P	input	HS_CLK_RX_N	K14,K15	0	False	LVC MOS33D
2	HS_CLK_TX_P	output	HS_CLK_TX_N	L2,M1	2	False	LVC MOS33D
3	HS_DATA0_RX_P	input	HS_DATA0_RX_N	J15,K16	0	False	LVC MOS33D
4	HS_DATA0_TX_P	output	HS_DATA0_TX_N	M3,N1	2	False	LVC MOS33D
5	HS_DATA1_RX_P	input	HS_DATA1_RX_N	J16,J14	0	False	LVC MOS33D
6	HS_DATA1_TX_P	output	HS_DATA1_TX_N	R1,P2	2	False	LVC MOS33D
7	HS_DATA2_RX_P	input	HS_DATA2_RX_N	G15,G14	0	False	LVC MOS33D

完成所有约束编辑后，单击工具栏的“Save”，生成物理约束文件，物理约束文件在 Design 窗口和源文件编辑区的显示如图 3-13 所示。

图 3-13 物理约束显示



在布局布线阶段，如果没有物理约束文件，会自动布局布线；如果有物理约束文件，会根据物理约束文件进行布局布线。

### 3.3.2 修改物理约束

生成物理约束文件后，可通过 FloorPlanner 对物理约束进行修改，修改完成后，单击工具栏的“Save”，即可完成约束修改。

## 3.4 时序约束

完成综合之后，可通过手动书写或 Timing Constraints Editor 编辑时序约束，本设计使用时序约束编辑器编辑时序约束。该工具的详细使用方法请参考 [SUG101](#)，Gowin 设计时序约束指南。

### 3.4.1 新建时序约束

选择云源“Process > User Constraints > Timing Constrains Editor”，打开 Timing Constrains Editor，该工具支持时钟、I/O、时序报告等时序约束。本设计添加时钟、时序报告约束，以此为例。

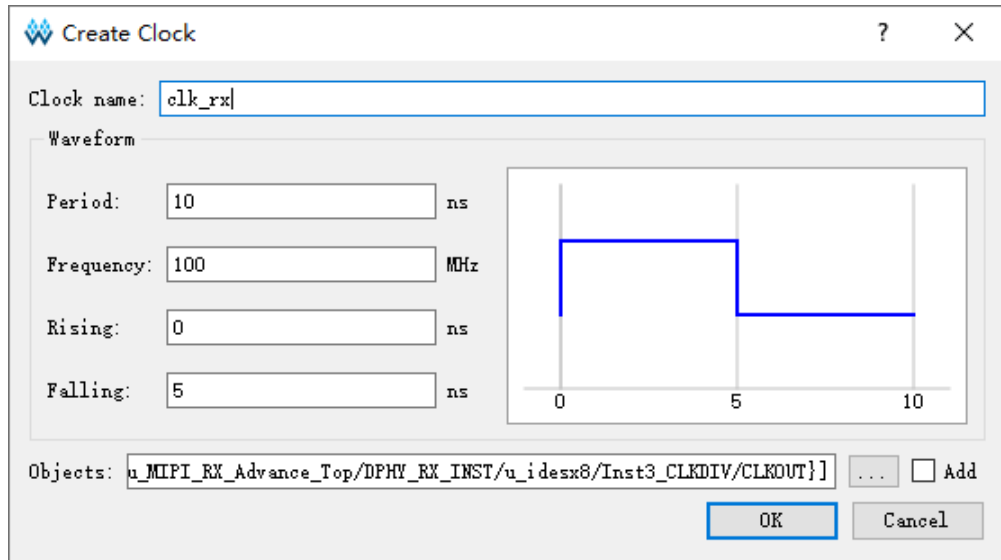
#### 时钟约束

选中 Timing Constraints 下的 Clocks，在右侧空白处，右键单击选择 Create Clock，弹出 Create Clock 对话框，如图 3-14 所示，创建如下约束：

- Clock name: clk\_rx

- Period: 10
- Rising: 0
- Falling: 5
- Source Object: get\_pins  
{ u\_MIPI\_RX\_Advance\_Top/DPHY\_RX\_INST/u\_idesx8/Inst3\_CLKDIV/CLKOUT }

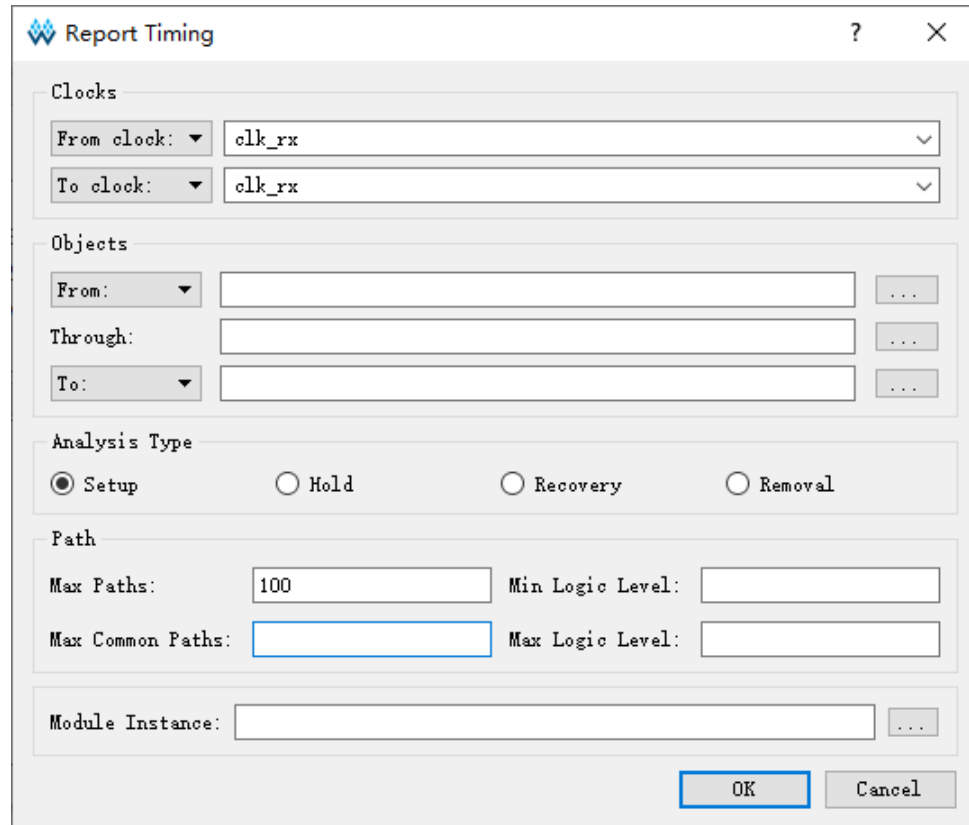
图 3-14 Clock 约束



### 时序报告约束

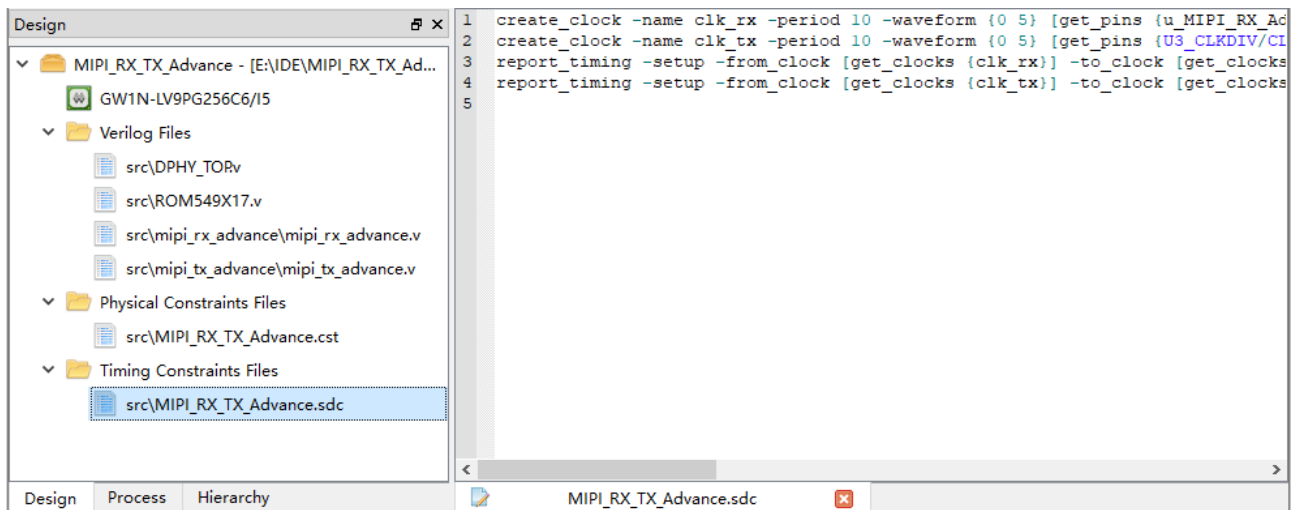
选中“Timing Constraints > Report > Report Timing”，在右侧空白处，右键单击选择 Create Report，在弹出的 Report Timing 对话框中设置参数，报告 clk\_rx to clk\_rx 的 setup 路径，路径条数限制 100，如图 3-15 所示。

图 3-15 时序报告约束



完成所有约束编辑后，单击工具栏的“Save”，生成时序约束，时序约束在 Design 窗口和源文件编辑区的显示如图 3-16 所示。

图 3-16 时序约束显示



在布局布线阶段，如果没有时序约束文件，会按照默认时钟进行时序分析；如果有时序约束文件，会根据时序约束文件进行时序分析。

### 3.4.2 修改时序约束

生成时序约束文件后，可通过 Timing Constrains Editor 对时序约束进行修改，修改完成后，单击工具栏的“Save”，即可完成约束修改。

## 3.5 GAO 配置

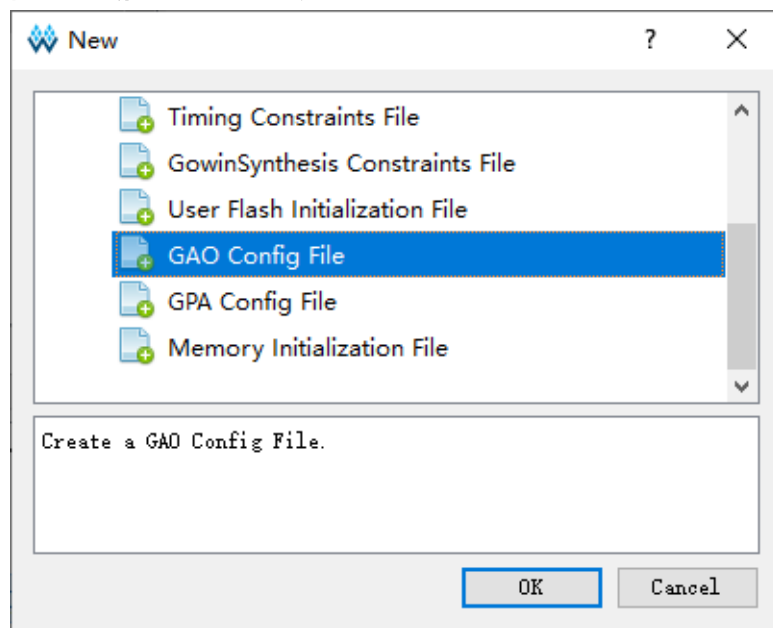
完成综合之后，可创建 GAO 配置文件，用于采集数据，验证设计的正确性。云源提供 Standard Mode GAO 和 Lite Mode GAO，GAO 的详细使用方法请参考 [SUG114](#)，Gowin 在线逻辑分析仪用户指南。

本设计采用 Standard Mode GAO，并以此为例。

### 3.5.1 新建 Standard Mode GAO 配置文件

选择云源的“Design > New File...”，在弹出的 New 对话框中，选择新建一个 GAO Config File，如图 3-17 所示。单击“OK”，Type 选择 For Post-Synthesis Netlist，Mode 选择 Standard，单击“Next”，文件名定义为 MIPI\_RX\_TX\_Advance，单击“Next”，直至 Standard Mode GAO 配置文件创建完成。

图 3-17 新建 GAO 配置文件



### 3.5.2 配置 Standard Mode GAO

完成 Standard Mode GAO 配置文件创建后，进行配置功能内核数量、触发选项和采样选项。触发选项包括触发条件、触发端口、匹配单元和触发表达式；采样选项包括采样信号、存储信息、采样数据信号。本设计功能内核数量为 1，触发选项配置如图 3-18 所示，采样选项配置如图 3-19 所示。

图 3-18 触发选项配置

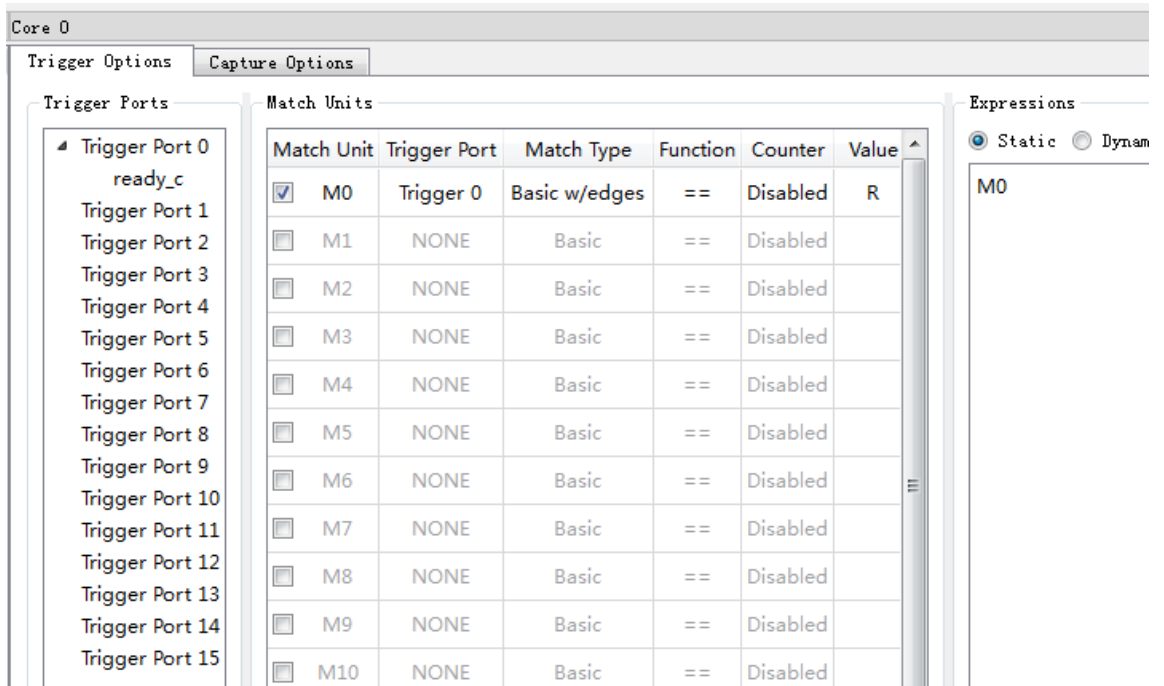
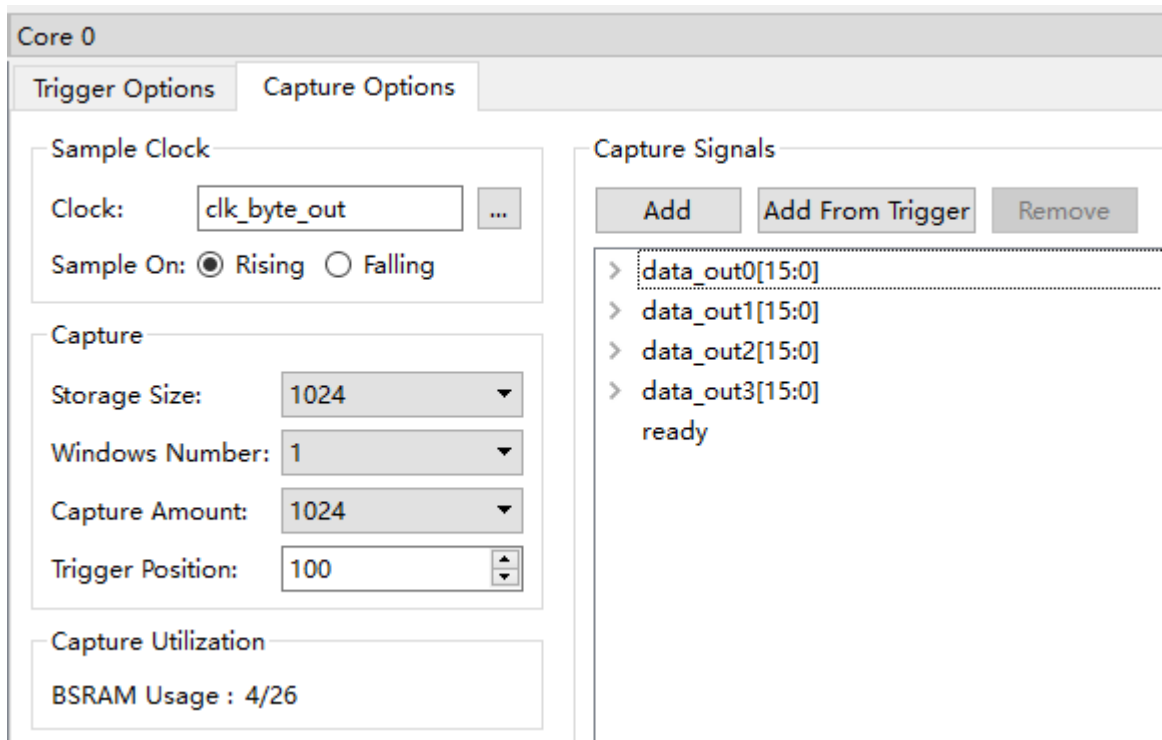


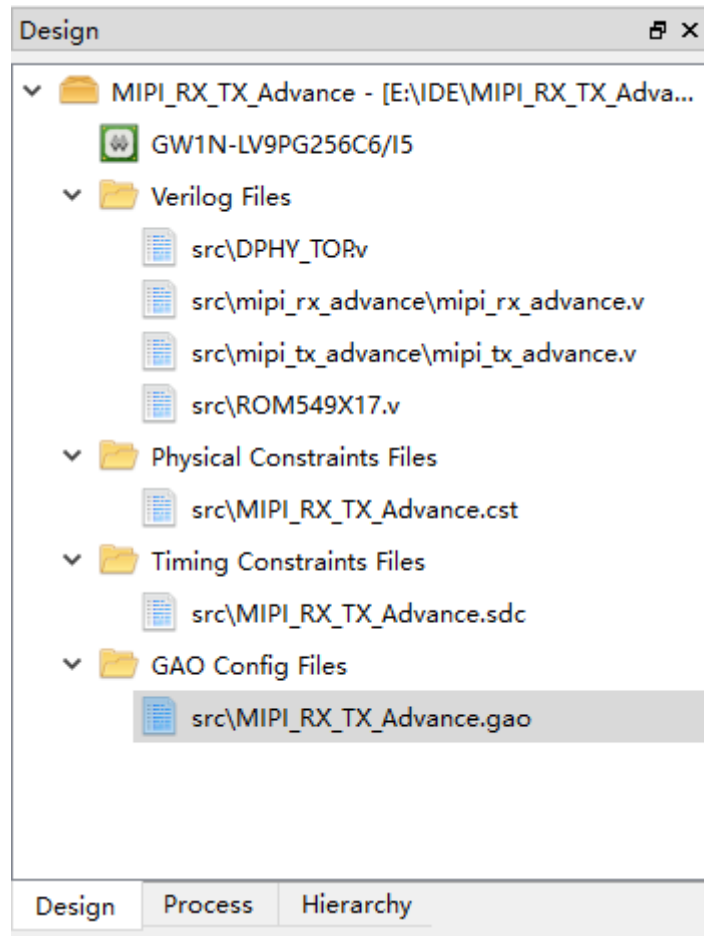
图 3-19 采样选项配置



完成所有选项配置后，单击工具栏的“Save”，即完成 Standard Mode GAO 配置文件，GAO 配置文件在 Design 窗口的显示如图 3-20 所示。



图 3-20 GAO 配置文件显示



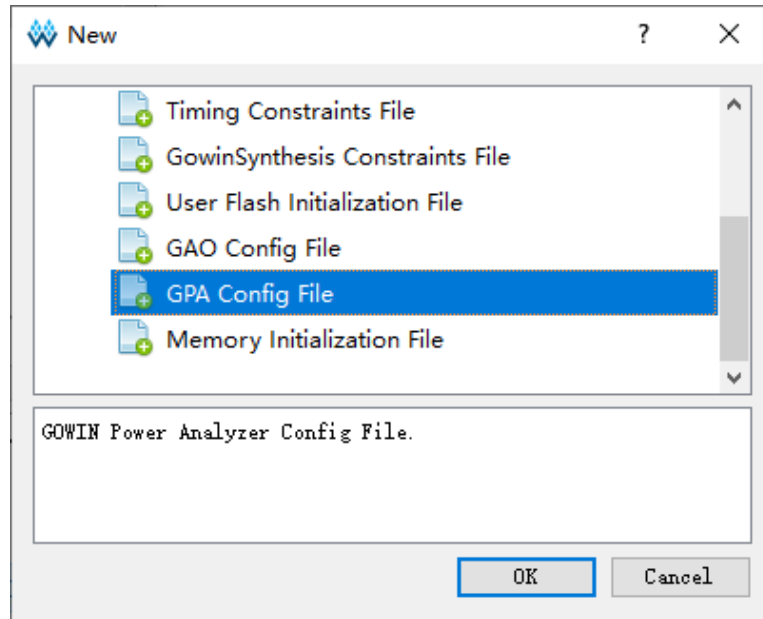
## 3.6 功耗分析配置

完成综合之后，可创建功耗分析配置文件，用于功耗分析，帮助用户分析系统功耗。功耗分析工具的详细使用方法请参考 [SUG282](#)，Gowin 功耗分析工具用户指南。

### 3.6.1 新建功耗分析配置文件

选择云源的“Design > New File...”，在弹出的 New 对话框中，选择新建一个“GPA Config File”，如图 3-21 所示。单击“OK”，文件名定义为 MIPI\_RX\_TX\_Advance，文件路径默认选择该工程下的 src 文件夹，单击“OK”，功耗分析配置文件创建完成。

图 3-21 新建功耗分析配置文件



### 3.6.2 选项配置

完成功耗分析配置文件创建后，进行配置 **General Setting**、**Rate Setting** 和 **Clock Setting**。

- **General Setting** 包括器件、封装、速度等级和配置温度等级、热阻抗、电压等特性参数；
- **Rate Setting** 用于信号翻转率的设置，可直接对 IO 或 Net 设置翻转率，也可以采用默认翻转；
- **Clock Setting** 主要用于配置工作时钟以及 BSRAM、I/O 和 DFF 时钟的工作使能特性。

#### **General Setting**

本设计 **General Setting** 配置为 **COMMERCIAL** 温度等级，环境温度选择 25°C，无散热片装置，辅助电压设为 3.3V，内核电压设为 1.2V，如图 3-22 所示。

图 3-22 General Setting 配置

General Setting   Rate Setting   Clock Setting

Device

Device: GW1N-LV9PG256C6/I5

Operating Condition: COMMERCIAL   Process: TYPICAL

Environment

Ambient Temperature: 25.000°C

Custom Theta JA: 25.000°C/W

Heat Sink

None    Low Profile    Medium Profile    High Profile    Custom

Air-flow: 0 (LFM)

Custom Theta SA: 25.000°C/W

Board Thermal Model

None    Custom    Typical

Board Temperature: 25.000°C (-40°C-100°C)

Custom Theta JB: 25.000°C/W

Voltage

VCC: 1.200V

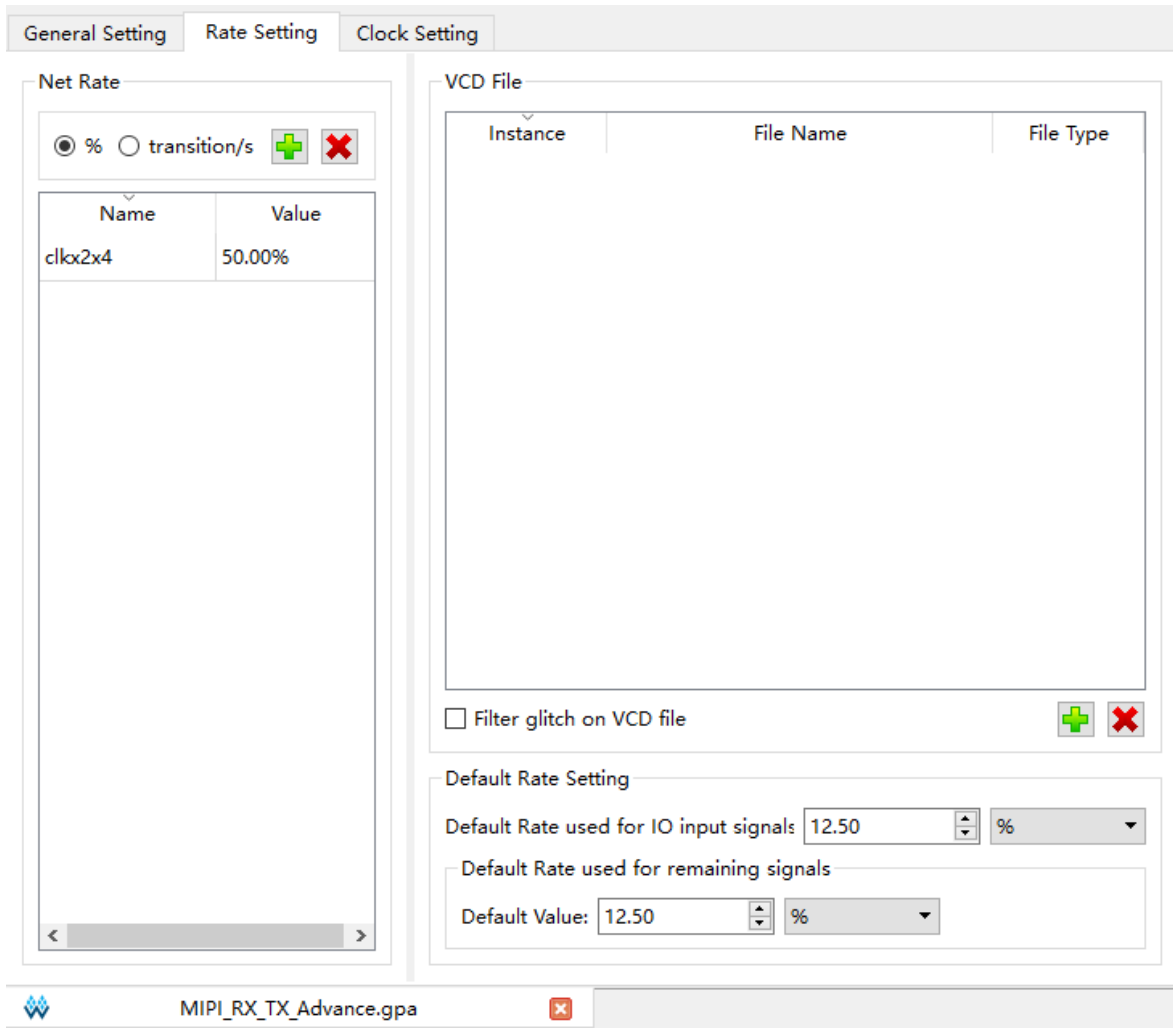
VCCX: 3.300V

MIPI\_RX\_TX\_Advance.gpa

### Rate Setting

本设计中时钟信号 `clkx2x4` 翻转率为 50%，其余信号翻转率为全局默认翻转率 12.5%，如图 3-23 所示。

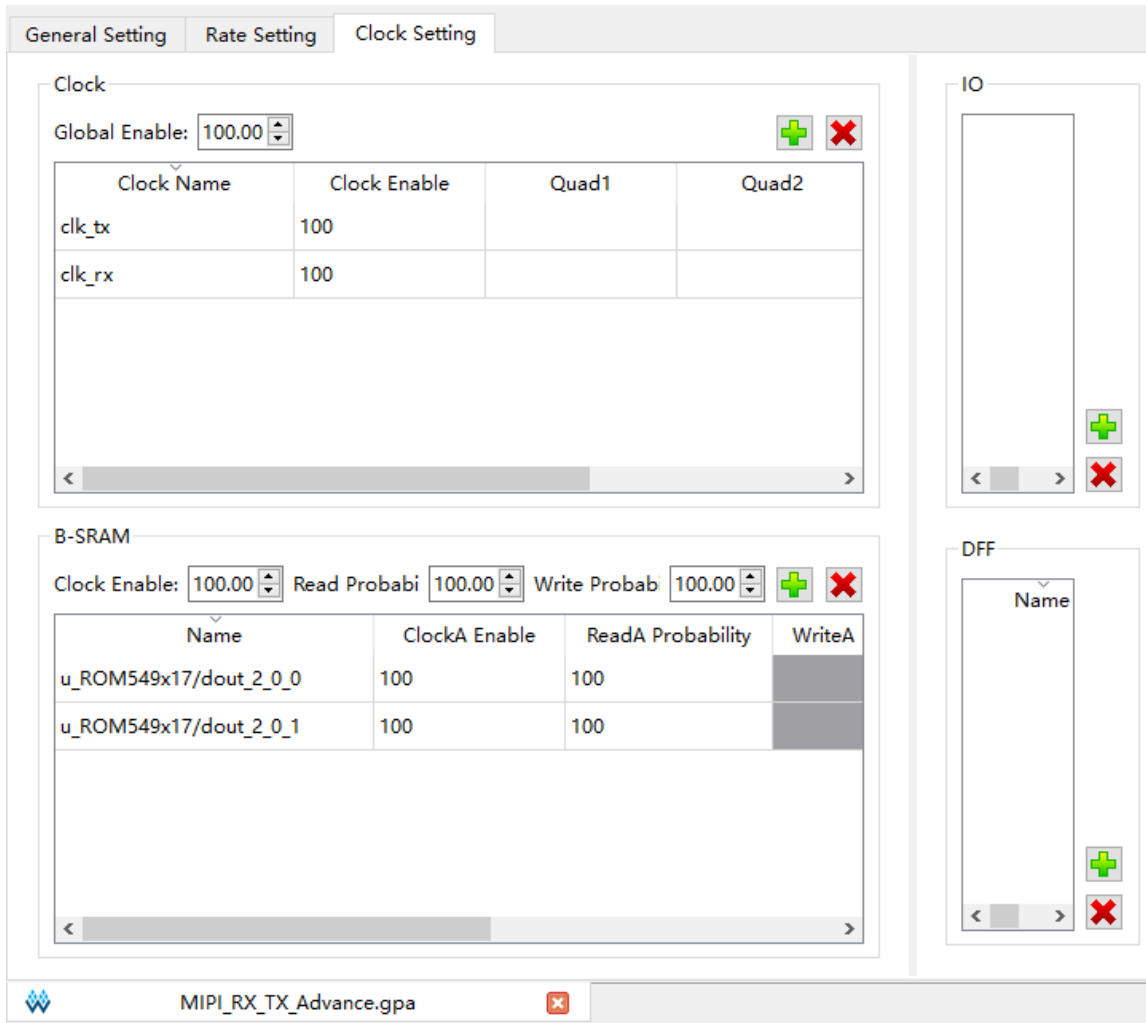
图 3-23 Rate Setting 配置



### Clock Setting

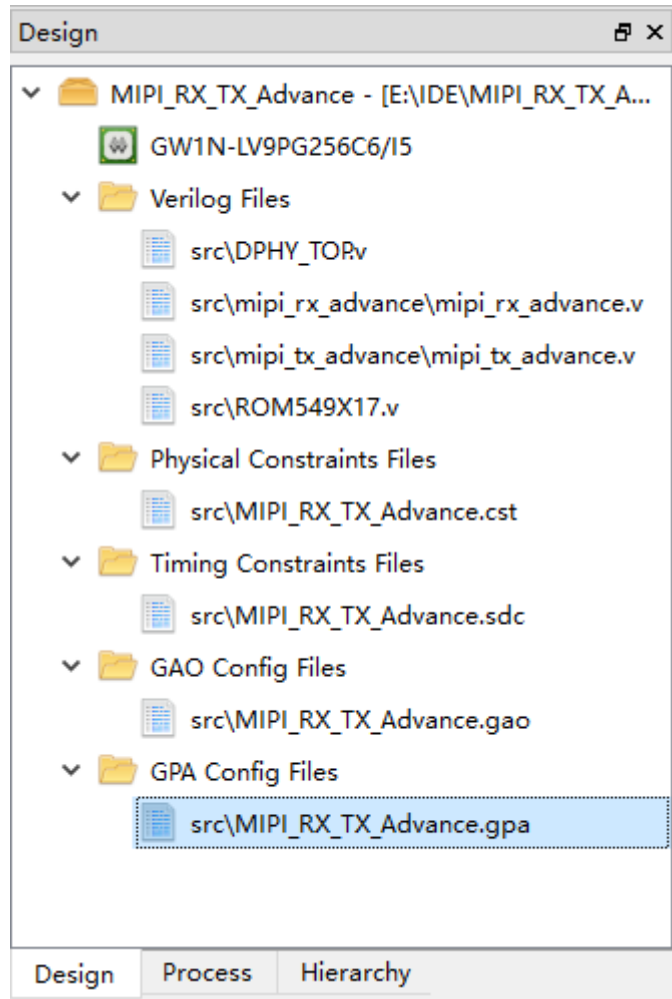
本设计 Clock 为时序分析中创建的时钟，BSRAM 中指定了本设计所用的 pROM 的时钟使能和读取使能，其余未设置，如图 3-24 所示。

图 3-24 Clock Setting 配置



完成所有选项配置后，单击工具栏的“Save”，即完成功耗分析配置文件，其在 Design 窗口的显示如图 3-25 所示。

图 3-25 功耗分析配置文件显示



在布局布线阶段，如果没有功耗分析配置文件，会按照默认配置进行功耗分析；如果有功耗分析配置文件，会根据功耗分析配置文件进行功耗分析。

## 3.7 布局布线

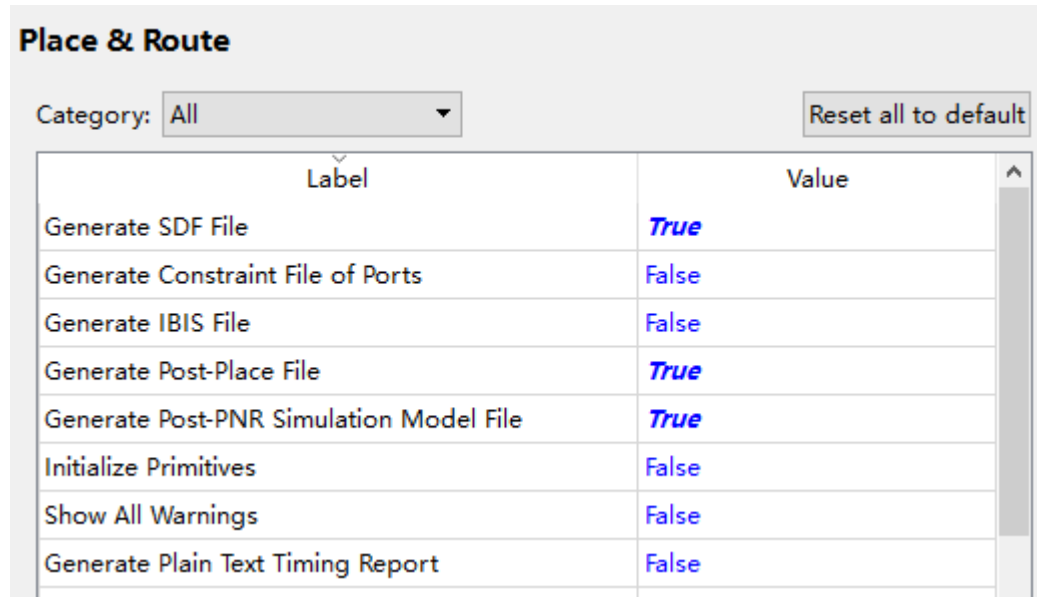
完成综合并根据用户需求创建物理约束文件、时序约束文件、GAO 配置文件以及功耗分析配置文件之后，即可开始布局布线。

### 3.7.1 选项配置

选择“Process > Place & Route > Configuration”，弹出 Configurations 对话框，在此对话框进行 General、Dual-Purpose 和 Bitstream 选项配置，选项配置的详细说明请参考 [SUG100](#)，Gowin 云源软件用户指南。

本设计布局布线选项配置，如图 3-26 所示，将 Generate SDF File、Generate Post-Place File、Generate Post-PNR Simulation Model File 配置为 True，Place input register to IOB、Place output register to IOB、Place inout register to IOB 配置为 False，其余选项采用默认配置。

图 3-26 布局布线选项配置

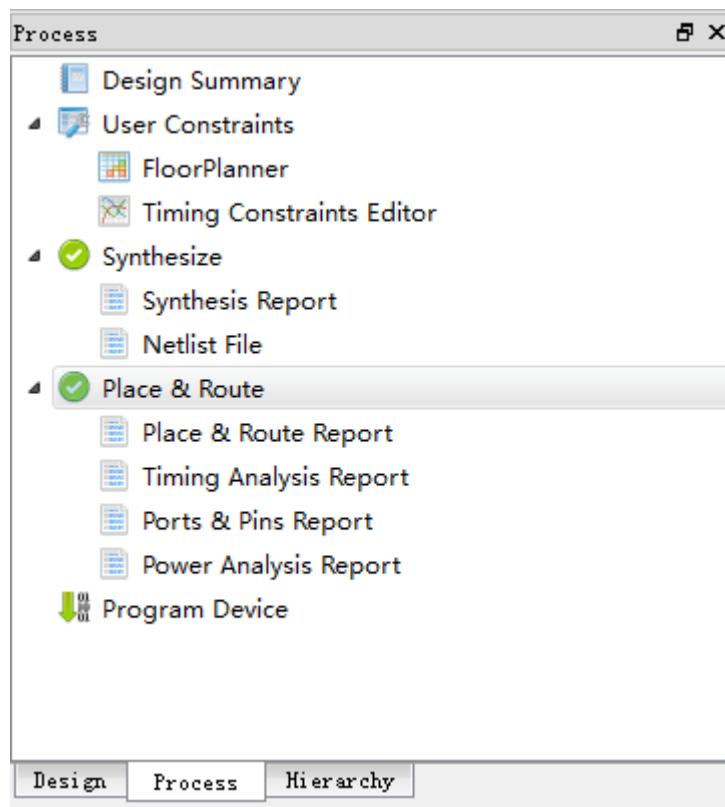


### 3.7.2 运行 PnR

完成布局布线选项配置之后，即可进行布局布线。

双击 **Process** 窗口中的 **Place & Route**，开始进行布局布线，布局布线时会根据物理约束进行布局布线，根据时序约束进行时序分析，根据 GAO 配置进行 GAO 的布局布线，根据功耗分析配置进行功耗分析。布局布线完成后，如图 3-27 所示，**Place & Route** 前面的图标变为“✔”。

图 3-27 布局布线完成



布局布线完成后，在工程创建路径\impl 下生成 pnr 文件夹，如图 3-28 所示，该文件夹包含布局布线过程生成的所有文件，包括码流文件、布局布线后网表文件及输出报告等。其中，布局布线报告、端口属性报告、时序报告和功耗分析报告的详细信息参考 3.11 输出文件。

图 3-28 PnR 目录

Name	Date modified	Type	Size
ao_0.bin	6/10/2021 16:08	BIN File	435 KB
ao_0.binx	6/10/2021 16:08	BINX File	435 KB
ao_0.fs	6/10/2021 16:08	FS File	3,476 KB
cmd.do	6/10/2021 16:08	DO File	1 KB
device.cfg	6/10/2021 16:58	CFG File	1 KB
MIPI_RX_TX_Advance.bin	6/10/2021 15:32	BIN File	435 KB
MIPI_RX_TX_Advance.binx	6/10/2021 15:32	BINX File	435 KB
MIPI_RX_TX_Advance.db	6/10/2021 16:08	Data Base File	48 KB
MIPI_RX_TX_Advance.fs	6/10/2021 15:32	FS File	3,476 KB
MIPI_RX_TX_Advance.log	6/10/2021 16:08	LOG File	2 KB
MIPI_RX_TX_Advance.pin.html	6/10/2021 16:08	360 se HTML Doc...	57 KB
MIPI_RX_TX_Advance.posp	6/10/2021 16:08	POSP File	1 KB
MIPI_RX_TX_Advance.power.html	6/10/2021 16:08	360 se HTML Doc...	9 KB
MIPI_RX_TX_Advance.rpt.html	6/10/2021 16:08	360 se HTML Doc...	64 KB
MIPI_RX_TX_Advance.rpt.txt	6/10/2021 16:08	TXT File	48 KB
MIPI_RX_TX_Advance.sdf	6/10/2021 16:08	SDF File	2,356 KB
MIPI_RX_TX_Advance.timing_paths	6/10/2021 16:08	TIMING_PATHS File	53 KB
MIPI_RX_TX_Advance.tr.html	6/10/2021 16:08	360 se HTML Doc...	1 KB
MIPI_RX_TX_Advance.vo	6/10/2021 16:08	VO File	1,098 KB
MIPI_RX_TX_Advance_tr_cata.html	6/10/2021 16:08	360 se HTML Doc...	9 KB
MIPI_RX_TX_Advance_tr_content.html	6/10/2021 16:08	360 se HTML Doc...	1,230 KB

如果工程中包含 GAO 配置文件，布局布线完成后，在工程创建路径\impl 下生成 gao 文件夹，如图 3-29 所示：

- ao\_0 包含功能内核的参数文件；
- ao\_control 包含控制内核的参数文件；
- gao.v 为 GAO 综合后网表文件，其为加密形式；
- gw\_gao\_top.v 为 GAO 的顶层文件，将 ao、ao\_control 和 jtag 模块连接；
- 其余文件为 GAO 综合时产生的文件。



图 3-29 gao 目录

Name	Date modified	Type	Size
ao_0	6/10/2021 17:17	File folder	
ao_control	6/10/2021 17:17	File folder	
gao.v	6/10/2021 15:35	V File	269 KB
gao_std.prj	6/10/2021 15:35	PRJ File	2 KB
gw_gao_top.v	6/10/2021 15:35	V File	7 KB

## 3.8 时序优化

完成布局布线之后，可以通过 FloorPlanner 修改物理约束或关键路径，帮助用户实现时序收敛，从而达到优化时序的目的。该工具的详细使用方法请参考 [SUG935](#)，Gowin 设计物理约束指南。

使用 FloorPlanner 进行时序优化，需要布局信息文件和时序路径信息文件，这两个文件在布局布线阶段会自动产生。

### 3.8.1 时序分析

布局布线之后，会生成时序报告，通过查看时序报告，如果最大频率不满足设计需求，如图 3-30 所示，clk\_tx 的最大频率不满足设计需求，可通过 FloorPlanner 进行时序优化。

图 3-30 时序报告最大频率

Max Frequency Summary:					
NO.	Clock Name	Constraint	Actual Fmax	Logic Level	Entity
1	clk_rx	100.000(MHz)	97.734(MHz)	5	TOP
2	clk_tx	100.000(MHz)	177.943(MHz)	1	TOP
3	u_MIP1_RX_Advance_Top/DPHY_RX_INST/HS_CLK	100.000(MHz)	113.980(MHz)	2	TOP
4	u_gw_jtag/tck_pad_i	50.000(MHz)	62.647(MHz)	5	TOP

### 3.8.2 调整关键路径

启动 FloorPlanner，会自动加载布局信息文件和时序路径信息文件，加载完成后，Netlist 窗口 Timing Path 的 Setup 和 Hold 显示如图 3-31 所示。将 Chip Array 窗口修改为 Show Place View > All Instance，即可高亮某条路径，如图 3-32 所示。

图 3-31 时序路径显示

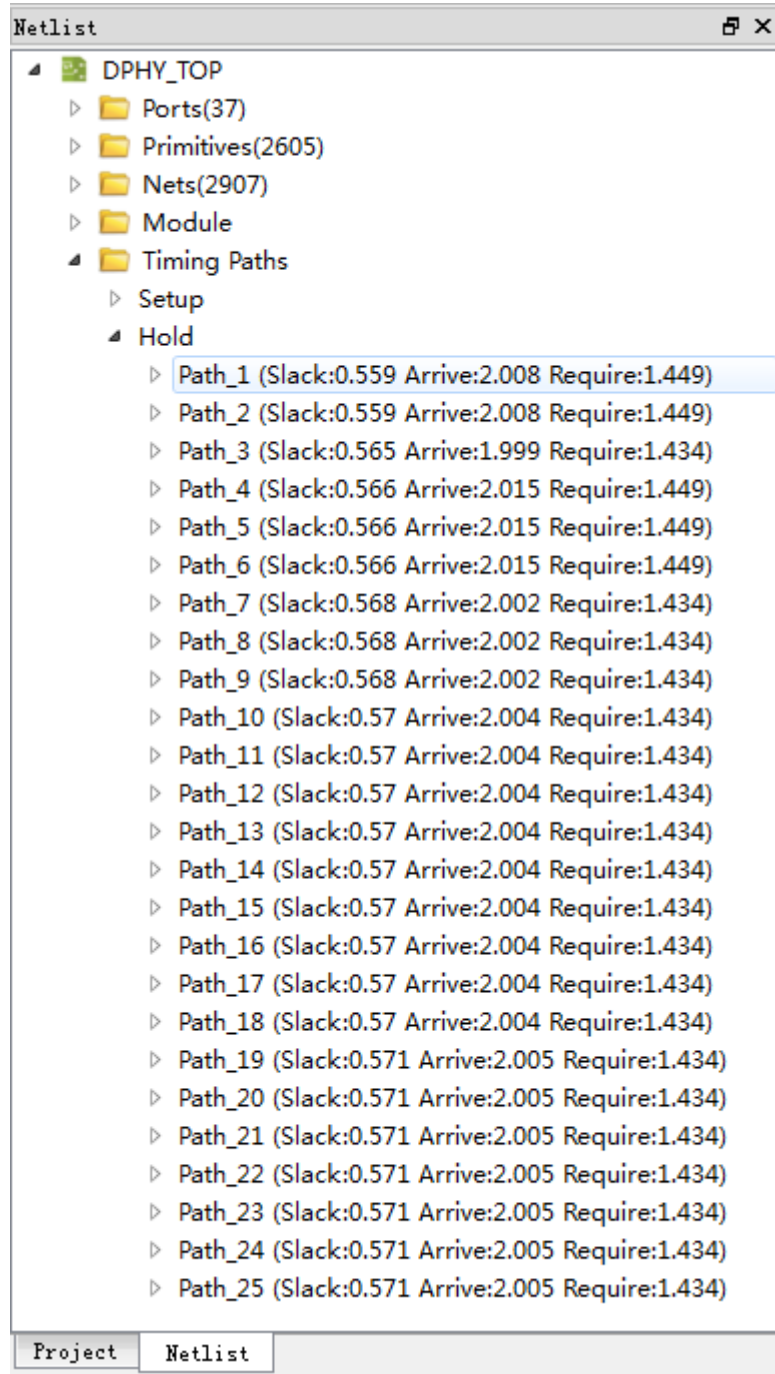
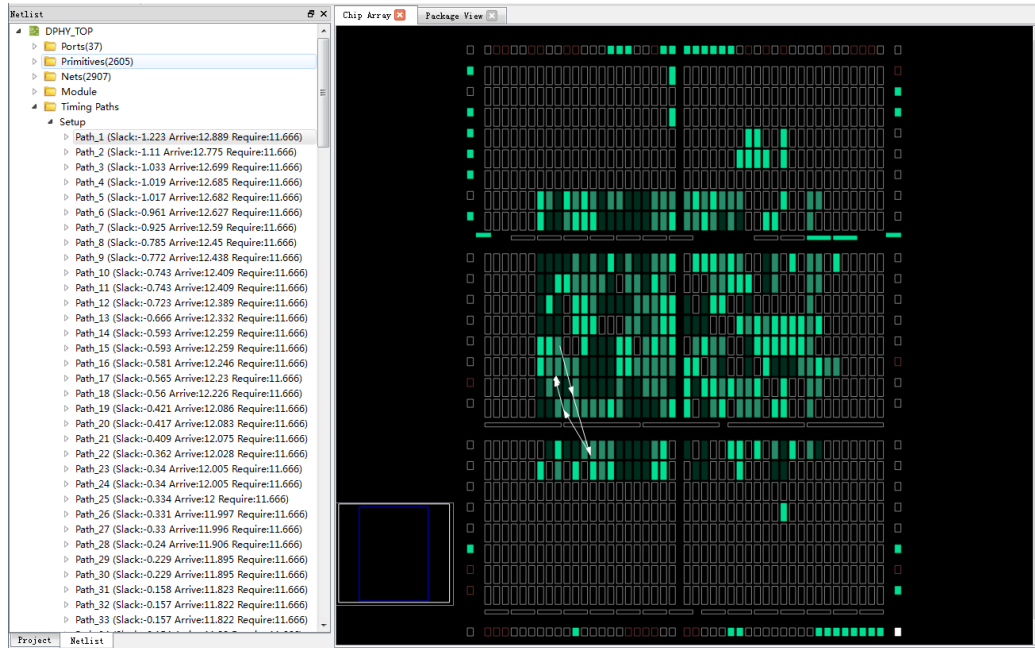
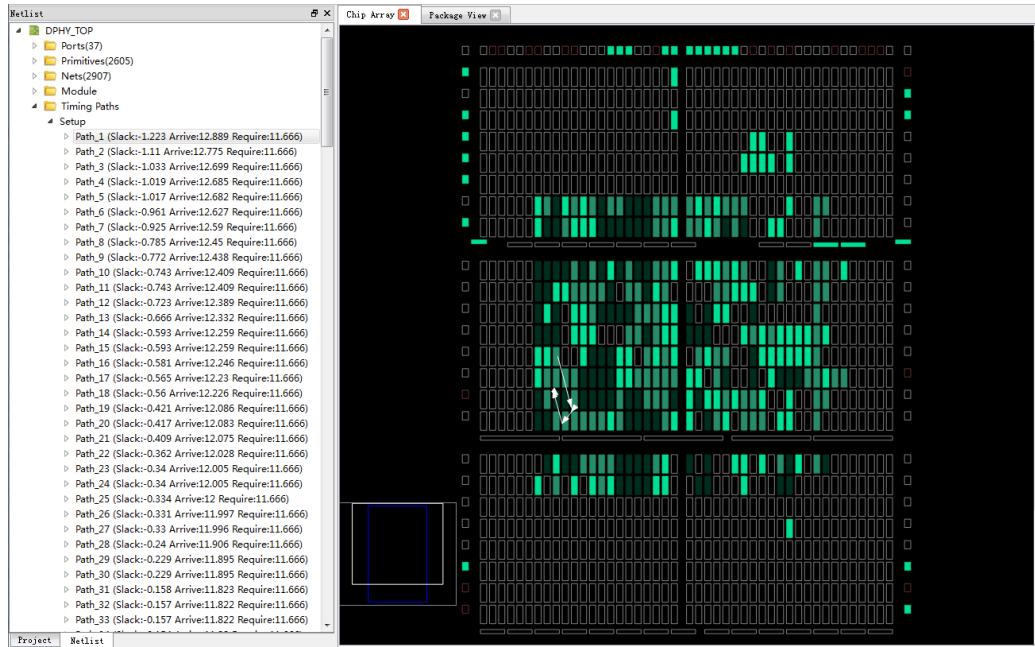


图 3-32 路径高亮显示



调整后的路径如图 3-33 所示，调整完成后，单击工具栏的“Save”，即可完成约束修改。经此调整后，如果最大频率仍不满足设计需求，可继续进行时序优化。

图 3-33 调整后路径显示

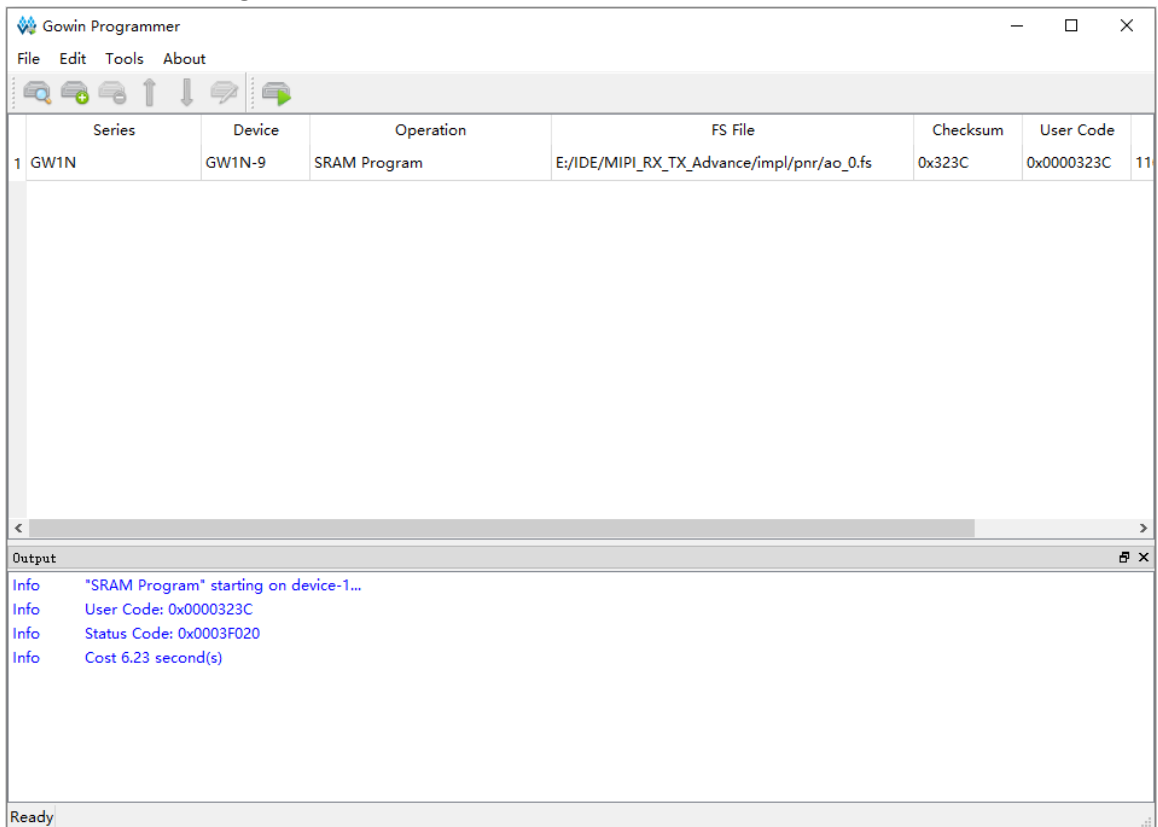


## 3.9 码流下载

通过时序优化调整布局使得设计满足时序需求之后，重新布局布线，生成码流文件，通过 Programmer 进行码流下载，验证设计的正确性。该工具的详细使用方法请参考 [SUG502](#)，Gowin Programmer 用户指南。

选择“Process > Program Device”，打开 Programmer，该工具自动识别加载该工程的码流文件。开发板准备就绪之后，单击工具栏的 Program/Configure 图标，即可下载码流到开发板，码流下载完成之后，如图 3-34 所示。

图 3-34 Programmer 界面

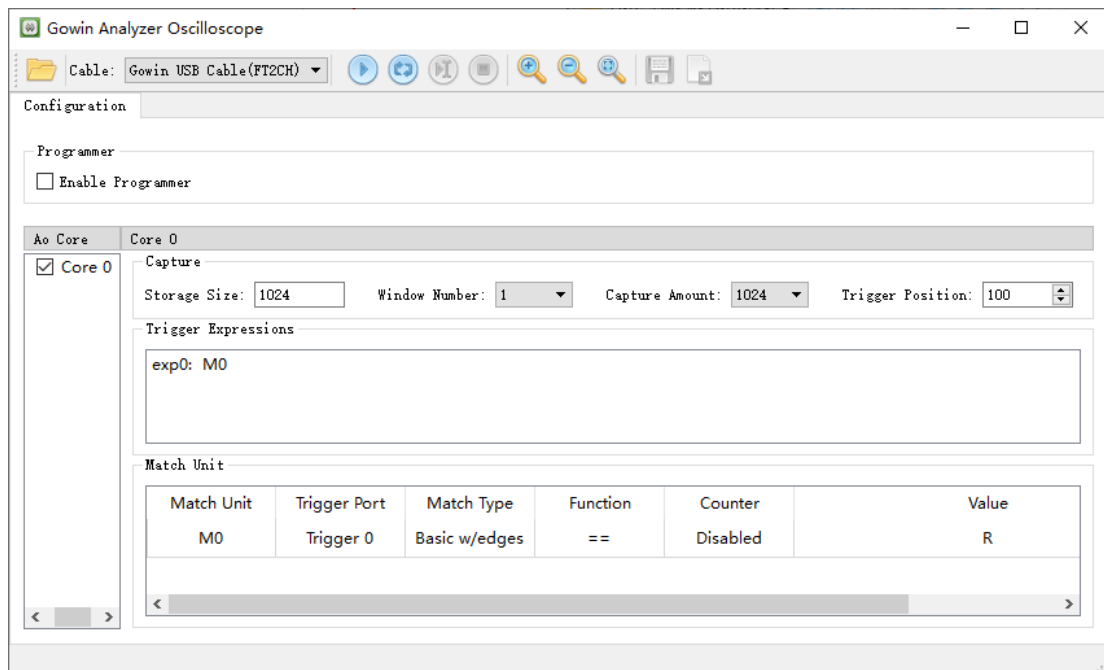


## 3.10 GAO 采集数据

完成码流下载之后，可以通过 GAO 验证设计的正确性，GAO 的详细使用方法请参考 [SUG114](#)，Gowin 在线逻辑分析仪用户指南。

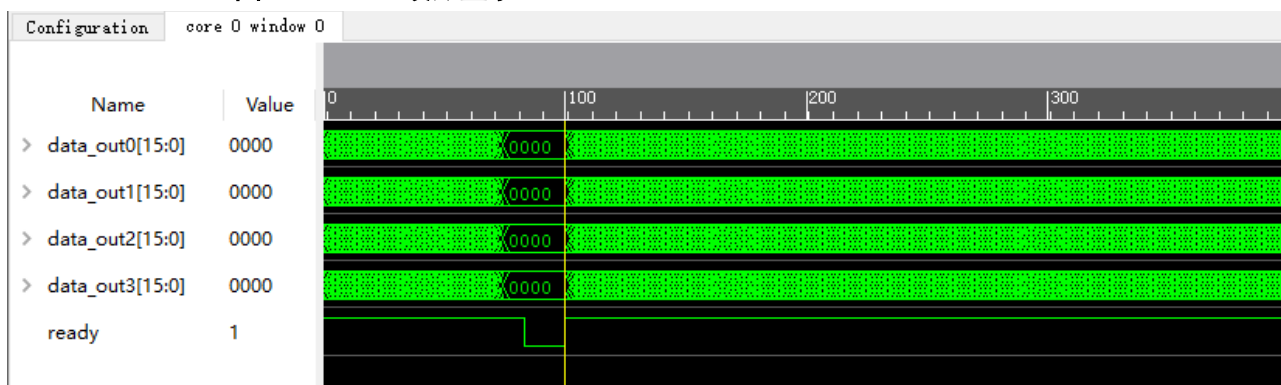
单击云源工具栏的 Gowin Analyzer Oscilloscope 图标，打开 GAO 显示界面，该工具自动识别加载该工程的 GAO 配置文件，如图 3-35 所示。

图 3-35 GAO 显示界面



单击 GAO 显示界面的 Start 图标，开始采集数据，采集完成之后，GAO 显示界面生成 windows 窗口用于显示波形，如图 3-36 所示，该窗口支持游标标记位置信息、波形放大缩小等操作，方便用户分析数据的正确性。

图 3-36 GAO 波形显示



## 3.11 输出文件

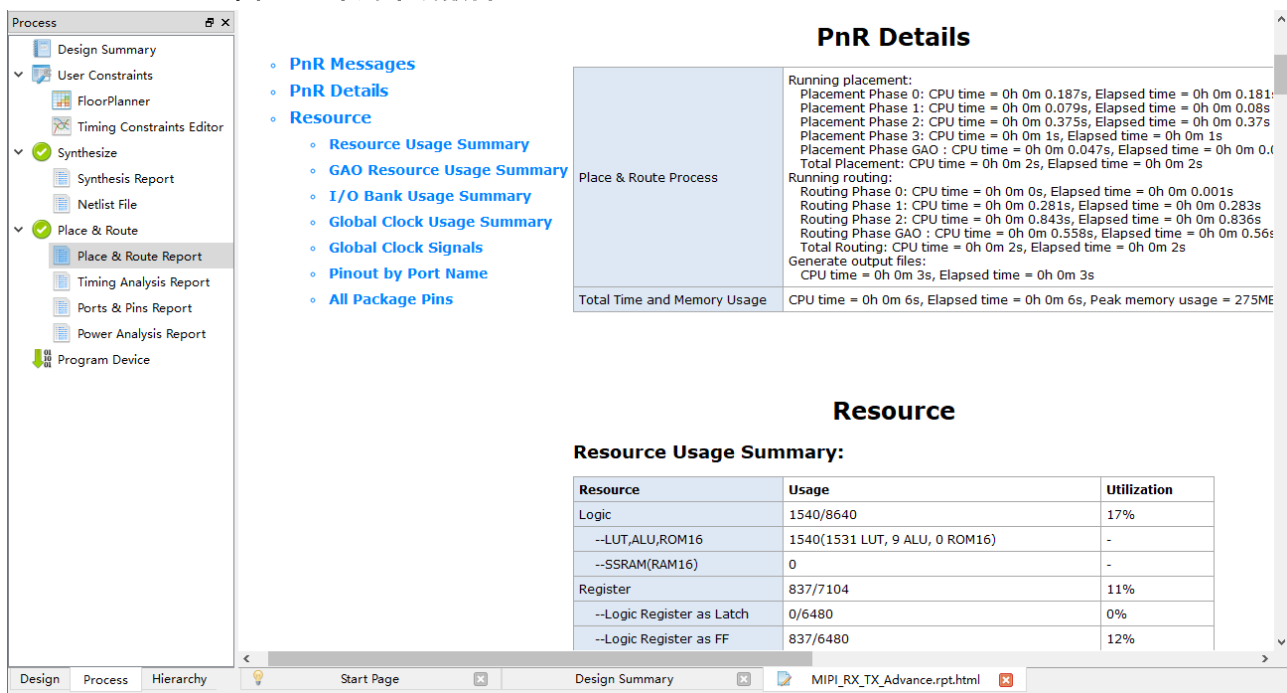
### 3.11.1 布局布线报告

布局布线报告，列出了用户设计占用的器件资源信息、内存消耗信息、时间消耗信息等，方便用户了解设计的大小及与目标器件是否匹配等内容。文件后缀名为.rpt.html，具体信息可查看\*.rpt.html 文件。

用户可在 Process 窗口中的 Place & Route 区，双击“Place & Route Report”，打开布局布线报告，如图 3-37 所示。

有关布局布线报告的详细信息，请参考 [SUG100](#)，Gowin 云源软件用户指南。

图 3-37 布局布线报告



### 3.11.2 端口属性报告

端口属性报告，是在布局之后输出的端口属性的文件，包括端口的类型、属性及端口位置信息等，生成的文件后缀名为.pin.html，具体信息可查看\*.pin.html 文件。

用户可在 Process 窗口中的 Place & Route 区，双击“Ports & Pins Report”，打开端口属性报告，如图 3-38 所示。

有关端口属性报告的详细信息，请参考 [SUG100](#)，Gowin 云源软件用户指南。

图 3-38 端口属性报告

**Pinout by Port Name:**

Port Name	Diff Pair	Loc./Bank	Constraint	Dir.	Site	IO Type	Drive	Pull Mode
HS_CLK_RX_P	HS_CLK_RX_N	K14,K15/0	Y	in	IOT29	LVCMOS33D	NA	UP
HS_DATA3_RX_P	HS_DATA3_RX_N	H14,H16/0	Y	in	IOT23	LVCMOS33D	NA	UP
HS_DATA2_RX_P	HS_DATA2_RX_N	G15,G14/0	Y	in	IOT17	LVCMOS33D	NA	UP
HS_DATA1_RX_P	HS_DATA1_RX_N	J16,J14/0	Y	in	IOT25	LVCMOS33D	NA	UP
HS_DATA0_RX_P	HS_DATA0_RX_N	J15,K16/0	Y	in	IOT27	LVCMOS33D	NA	UP
rstn		B3/2	Y	in	I0B12[A]	LVCMOS12	NA	UP
clkx2x4		A9/3	Y	in	I0L9[A]	LVCMOS25	NA	UP
HS_CLK_TX_P	HS_CLK_TX_N	L2,M1/2	Y	out	I0B29	LVCMOS33D	8	NONE
HS_DATA3_TX_P	HS_DATA3_TX_N	T3,R4/2	Y	out	I0B45	LVCMOS33D	8	NONE
HS_DATA2_TX_P	HS_DATA2_TX_N	T2,R3/2	Y	out	I0B43	LVCMOS33D	8	NONE
HS_DATA1_TX_P	HS_DATA1_TX_N	R1,P2/2	Y	out	I0B41	LVCMOS33D	8	NONE
HS_DATA0_TX_P	HS_DATA0_TX_N	M3,N1/2	Y	out	I0B39	LVCMOS33D	8	NONE
hactive_flag		T6/1	Y	out	I0R25[B]	LVCMOS25	8	UP
probe[0]		T5/1	Y	out	I0R27[A]	LVCMOS25	8	UP
probe[1]		R6/1	Y	out	I0R27[B]	LVCMOS25	8	UP
ready		R11/1	Y	out	I0R3[A]	LVCMOS25	8	UP

**All Package Pins:**

Loc./Bank	Signal	Dir.	Site	IO Type	Drive	Pull Mode	PCI Clamp	Hysteresis
I15/3	-	in	IOT2[A]	LVCMOS18	NA	UP	NA	NONF

### 3.11.3 时序报告

时序报告包括建立时间检查、保持时间检查、恢复时间检查、移除时间检查、最小时钟脉冲检查、最大扇出路径、布线拥塞度报告等部分，默认情况下对上述所有检查进行报告，并提供最大频率的报告。

用户可在 Process 窗口中的 Place & Route 区，双击“Timing Analysis Report”，打开时序报告，如图 3-39 所示。

有关时序报告的详细信息，请参考 [SUG940](#) Gowin 设计时序约束指南。

图 3-39 时序报告

**STA Tool Run Summary:**

Setup Delay Model	Slow 1.14V 85C
Hold Delay Model	Fast 1.26V 0C
Numbers of Paths Analyzed	3591
Numbers of Endpoints Analyzed	3211
Numbers of Falling Endpoints	4
Numbers of Setup Violated Endpoints	0
Numbers of Hold Violated Endpoints	0

**Clock Summary:**

Clock Name	Type	Period	Frequency(MHz)	Rise	Fall	Source	Master
clk_rx	Base	20.000	50.000	0.000	10.000		
clk_tx	Base	20.000	50.000	0.000	10.000		
clkx2x4	Base	20.000	50.000	0.000	10.000		
u_mipi_rx_advance_top/dphy_rx_inst/hs_clk	Base	10.000	100.000	0.000	5.000		
HS_CLK_RX_P	Base	10.000	100.000	0.000	5.000		
u_gw_jtag/tck_pad_i	Base	20.000	50.000	0.000	10.000		
pll_mipi_tx/CLKOUT.default_gen_clk	Generated	20.000	50.000	0.000	10.000	clkx2x4_ibuf/I	clkx2:
pll_mipi_tx/CLKOUTP.default_gen_clk	Generated	20.000	50.000	5.000	15.000	clkx2x4_ibuf/I	clkx2:
pll_mipi_tx/CLKOUTD.default_gen_clk	Generated	40.000	25.000	0.000	20.000	clkx2x4_ibuf/I	clkx2:
pll_mipi_tx/CLKOUTD3.default_gen_clk	Generated	60.000	16.667	0.000	30.000	clkx2x4_ibuf/I	clkx2:

**Max Frequency Summary:**

### 3.11.4 功耗分析报告

功耗分析报告主要是针对用户设计，根据器件的特性做一个预估的功耗计算，帮助用户评估设计的基本功耗值。

用户可在 **Process** 窗口中的 **Place & Route** 区，双击“**Power Analysis Report**”，可打开功耗分析报告，如图 3-40 所示。

有关功耗分析报告的详细信息，请参考 [SUG282](#)，Gowin 功耗分析工具用户指南。

图 3-40 功耗分析报告

**Power Summary**

**Power Information:**

Total Power (mW)	32.529
Quiescent Power (mW)	3.686
Dynamic Power (mW)	28.843

**Thermal Information:**

Junction Temperature	25.330
Theta JA	10.200
Max Allowed Ambient Temperature	84.670

**Configure Information:**

Default IO Toggle Rate	0.125
Default Remain Toggle Rate	0.125
Use Vectorless Estimation	false
Filter Glitches	false
Related Vcd File	
Related Saif File	
Use Custom Theta JA	false
Air Flow	LFM_0
Heat Sink	None
Use Custom Theta SA	false
Board Thermal Model	None
Use Custom Theta TB	false

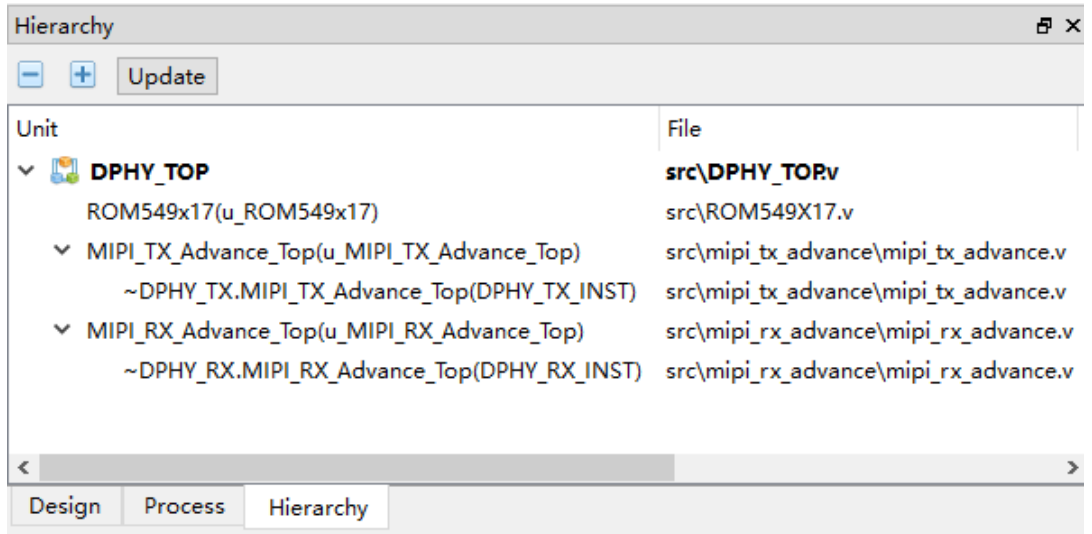
## 3.12 文件加密

### 3.12.1 源文件加密

当用户需要加密保护源文件时，可以在建立工程后，通过 **Hierarchy** 窗口对所选 **module** 及其 **sub module** 进行加密，如图 3-41 所示。其详细使用方法请参考 [SUG100](#)，Gowin 云源软件用户指南。



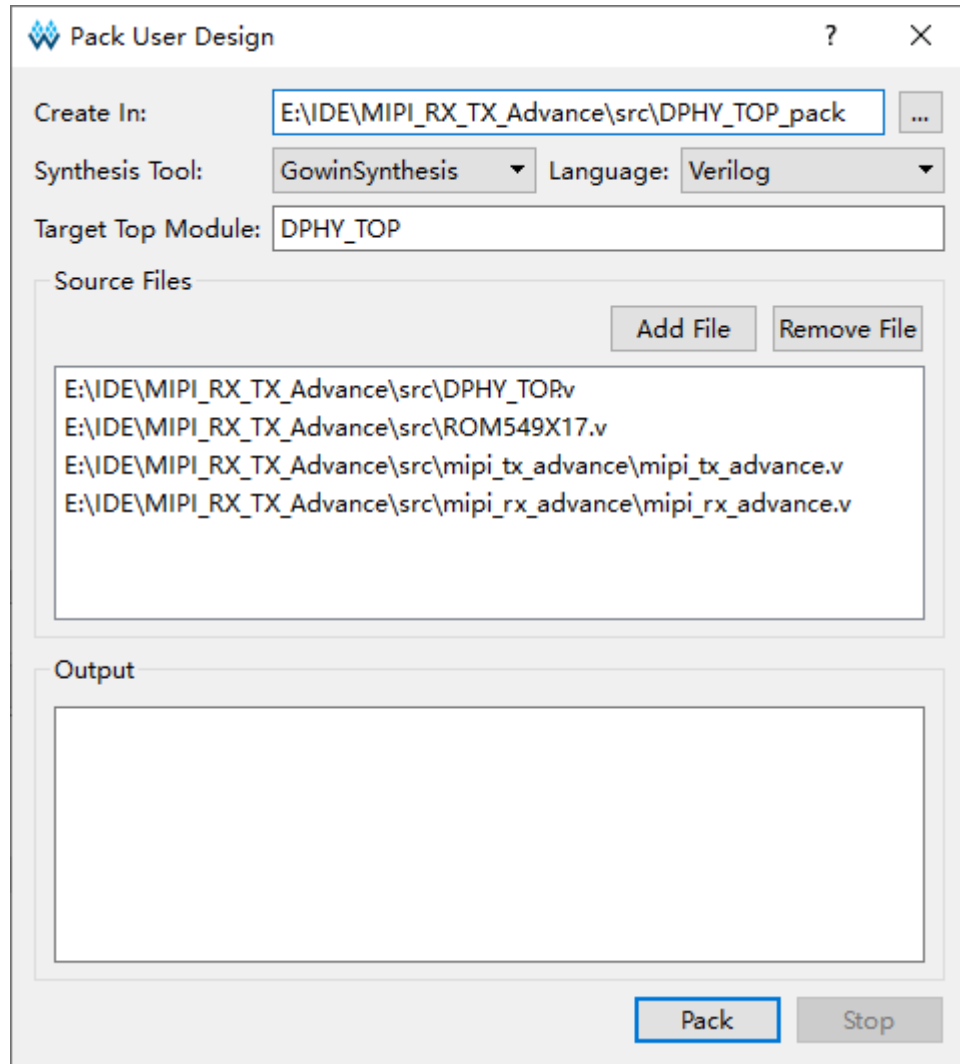
图 3-41 Hierarchy 信息显示



以 module DPHY\_TOP 为例介绍文件加密方法。

在 Hierarchy 窗口中右键单击 DPHY\_TOP，选择右键列表中的“Pack User Design”，打开 Pack User Design 对话框，如图 3-42 所示。

图 3-42 Pack User Design 对话框



选择 module 为 DPHY\_TOP，点击“Pack”开始执行加密，开始加密及加密成功后会在 Output 窗口打印相关信息。

加密完成后在目标路径

(E:\IDE\MIPI\_RX\_TX\_Advance\src\DPHY\_TOP\_pack) 下生成两个文件：DPHY\_TOP\_gowin.vp 和 DPHY\_TOP\_sim.v。

- DPHY\_TOP\_gowin.vp 为加密文件，可提供给他人使用；
- DPHY\_TOP\_sim.v 是打平的综合后明文网表文件，可以用于仿真。

### 3.12.2 仿真文件加密

云源提供的仿真文件是明文格式，为了进一步保护仿真文件，可将仿真文件使用第三方仿真软件进行加密，使用第三方仿真软件需获取该工具许可证。以 Modelsim 和 VCS 仿真工具对 DPHY\_TOP\_sim.v 加密为例进行介绍。

#### Modelsim 仿真工具加密

使用 Modelsim 仿真时，将仿真文件进行加密，可通过以下步骤：

1. 在仿真文件 DPHY\_TOP\_sim.v 中需要加密的内容前后分别添加宏定义 ``protect` 和 ``endprotect`;
2. 运行命令: `vlog +protect DPHY_TOP_sim.v`;
3. 执行完命令, 会在 work 库生成 DPHY\_TOP\_sim.vp, 该文件为 DPHY\_TOP\_sim.v 加密后文件, 可用于 Modelsim 仿真。

#### **VCS 仿真工具加密**

使用 VCS 仿真时, 将仿真文件进行加密, 可通过以下步骤:

1. 在仿真文件 DPHY\_TOP\_sim.v 中需要加密的内容前后分别添加宏定义 ``protect128` 和 ``endprotect128`;
2. 运行命令: `vcs +v2k -protect128 DPHY_TOP_sim.v`;
3. 执行完命令, 会在当前路径下生成 DPHY\_TOP\_sim.vp, 该文件为 DPHY\_TOP\_sim.v 加密后文件, 可用于 VCS 仿真。

# 4 Tcl 命令使用

前面介绍采用界面操作实现整个设计流程的方式，云源还提供了 tcl 命令实现一些设置和流程，以 MIPI 设计为例介绍在 Windows 版本下的 tcl 命令的使用，tcl 命令的详细介绍请参考 [SUG100](#)，Gowin 云源软件用户指南附录 A。

## 4.1 Tcl 命令执行方式


### 4.1.1 Tcl 命令编辑窗口执行

在 Console 窗口的最下方是 tcl 命令编辑窗口，可以在窗口中输入 tcl 命令后通过回车键来执行相关命令，如图 4-1 所示。

图 4-1 Tcl 命令编辑窗口

```
Generate file "E:\IDE\MIPI_RX_TX_Advance\impl\pnr\MIPI_RX_TX_Advance.rpt.html" completed
Generate file "E:\IDE\MIPI_RX_TX_Advance\impl\pnr\MIPI_RX_TX_Advance.rpt.txt" completed
Generate file "E:\IDE\MIPI_RX_TX_Advance\impl\pnr\MIPI_RX_TX_Advance.vo" completed
Generate file "E:\IDE\MIPI_RX_TX_Advance\impl\pnr\MIPI_RX_TX_Advance.tr.html" completed
Generate file "E:\IDE\MIPI_RX_TX_Advance\impl\pnr\MIPI_RX_TX_Advance.posp" completed
Thu Jun 10 16:08:46 2021

% run pnr
```



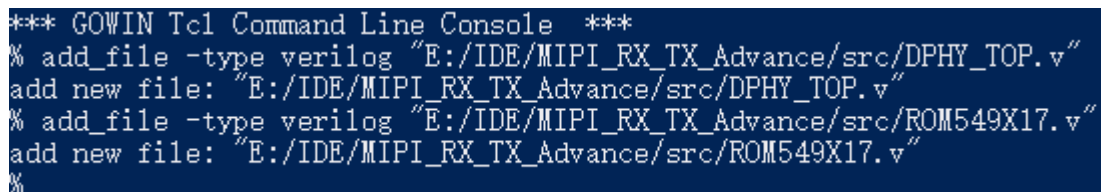
### 4.1.2 Tcl 命令行执行

启动命令：安装目录下\x.x\IDE\bin\gw\_sh.exe [script file]

方式一：直接使用 gw\_sh.exe 回车启动命令行模式。该模式下执行方式与 tcl 命令编辑窗口执行方式一致，逐条执行 tcl 命令，如图 4-2 所示。

图 4-2 Tcl 命令行模式

```
*** GOWIN Tcl Command Line Console ***
% add_file -type verilog "E:/IDE/MIPI_RX_TX_Advance/src/DPHY_TOP.v"
add new file: "E:/IDE/MIPI_RX_TX_Advance/src/DPHY_TOP.v"
% add_file -type verilog "E:/IDE/MIPI_RX_TX_Advance/src/ROM549X17.v"
add new file: "E:/IDE/MIPI_RX_TX_Advance/src/ROM549X17.v"
%
```



方式二：使用 gw\_sh.exe [script file] 执行脚本文件。tcl 脚本文件可包含

器件信息、设计文件、流程选项及运行流程信息等所有可支持的 tcl 命令，tcl 脚本文件内容如图 4-3 所示。tcl 脚本文件可通过手写或 saveto 命令生成，但 saveto 命令生成 tcl 脚本时不包含运行流程命令 run，如有需要，可自行添加 run 命令。

图 4-3 Tcl 脚本文件

```
1 add_file -type verilog "E:/IDE/MIPI_RX_TX_Advance/src/DPHY_TOP.v"
2 add_file -type verilog "E:/IDE/MIPI_RX_TX_Advance/src/ROM549X17.v"
3 add_file -type verilog "E:/IDE/MIPI_RX_TX_Advance/src/mipi_rx_advance/mipi_rx_advance.v"
4 add_file -type verilog "E:/IDE/MIPI_RX_TX_Advance/src/mipi_tx_advance/mipi_tx_advance.v"
5 add_file -type cst "E:/IDE/MIPI_RX_TX_Advance/src/MIPI_RX_TX_Advance.cst"
6 add_file -type sdc "E:/IDE/MIPI_RX_TX_Advance/src/MIPI_RX_TX_Advance.sdc"
7 set_device GW1N-LV9PG256C6/I5 -name GW1N-9
8 set_option -synthesis_tool gowinsynthesis
9 set_option -output_base_name MIPI_RX_TX_Advance
10 set_option -top_module DPHY_TOP
11 set_option -verilog_std sysv2017
12 set_option -gen_sdf 1
13 set_option -gen_posp 1
14 set_option -gen_sim_netlist 1
15 set_option -ireg_in_iob 0
16 set_option -oreg_in_iob 0
17 set_option -ioreg_in_iob 0
18 run all
```

## 4.2 Tcl 命令快速入门

gw\_sh.exe 回车命令行模式和 tcl 命令编辑窗口中对 tcl 命令使用相同，以 tcl 命令编辑窗口为例介绍 tcl 命令使用。

### 4.2.1 rm\_file

rm\_file 用于移除设计文件。为介绍该命令的使用，将工程中功能设计文件 ROM549X17.v 和 DPHY\_TOP.v 移除该工程，用 tcl 命令实现如下：

同时移除 ROM549X17.v 和 DPHY\_TOP.v

```
rm_file src/ROM549X17.v src/DPHY_TOP.v
```

执行完该命令，console 窗口会显示移除文件的提示信息，两个文件不显示在 Design 窗口。

### 4.2.2 add\_file

add\_file 用于添加设计文件。为介绍该命令的使用，将被移除的功能设计文件 ROM549X17.v 和 DPHY\_TOP.v 重新添加到工程，用 tcl 命令实现如下：

同时添加 ROM549X17.v 和 DPHY\_TOP.v

```
add_file src/ROM549X17.v src/DPHY_TOP.v
```

执行完该命令，console 窗口会显示添加文件的提示信息，两个文件显示在 Design 窗口。

### 4.2.3 set\_file\_enable

set\_file\_enable 用于设置文件是否可以被使用。为介绍该命令的使用，先将设计中的 DPHY\_TOP.v 修改为 disable 状态，然后再将其改为 enable 状态，用 tcl 命令实现如下：

将 DPHY\_TOP.v 修改为 disable 状态

```
set_file_enable src/DPHY_TOP.v false
```

执行完该命令后, console 窗口会显示 disable 文件的提示信息, Design 窗口 DPHY\_TOP.v 文件被置灰。

将 DPHY\_TOP.v 修改为 enable 状态

```
set_file_enable src/DPHY_TOP.v true
```

执行完该命令后, console 窗口会显示 enable 文件的提示信息, Design 窗口 DPHY\_TOP.v 文件显示为可用状态。

## 4.2.4 set\_option

set\_option 用于设置工程相关的选项配置。本设计中的综合和布局布线的选项配置, 用 tcl 命令实现如下:

- 综合工具选择 GowinSynthesis

```
set_option -synthesis_tool gowinsynthesis
```
- TOP Module/Entity 设为 DPHY\_TOP

```
set_option -top_module DPHY_TOP
```
- Generate SDF File 配置为 True

```
set_option -gen_sdf 1
```
- Generate Post-Place File 配置为 True

```
set_option -gen_posp 1
```
- Generate Post-PNR Simulation Model File 配置为 True

```
set_option -gen_sim_netlist 1
```
- Place input register to IOB 配置为 False

```
set_option -ireg_in_iob 0
```
- Place output register to IOB 配置为 False

```
set_option -oreg_in_iob 0
```
- Place inout register to IOB 配置为 False

```
set_option -ioreg_in_iob 0
```

## 4.2.5 run

run 用于运行全部流程或某个流程。本设计执行综合和布局布线流程, 用 tcl 命令实现如下:

- 执行综合

```
run syn
```
- 执行布局布线

```
run pnr
```

## 4.2.6 set\_device

`set_device` 可用于设置目标器件。将本设计移植到 GW1N-9C, GW1N-LV9PG256C6/I5, 用 `tcl` 命令实现如下:

将目标器件修改为 GW1N-9C, GW1N-LV9PG256C6/I5

```
set_device -name GW1N-9C GW1N-LV9PG256C6/I5
```

执行完该命令, 在 `console` 窗口会显示当前的器件信息。

## 4.2.7 saveto

`saveto` 用于将当前工程设计数据保存到 `tcl` 脚本, 包括当前的器件信息、设计文件和选项配置等信息, 但不包含运行流程信息。将本设计的数据保存为 `mipi.tcl`, 可供之后用命令行模式 `gw_sh.exe mipi.tcl` 运行, 用 `tcl` 命令实现如下:

将当前工程设计数据保存到 `mipi.tcl`

```
saveto mipi.tcl
```

执行完该命令, 会在工程文件所在路径生成 `mipi.tcl` 文件。

