




Gowin 云源软件快速入门指南

SUG918-1.5, 2022-12-20

版权所有 © 2022 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2020/05/07	1.0	初始版本。
2020/09/07	1.1	<ul style="list-style-type: none">● 新增文件加密；● 新增查看 RTL 原理图；● 新增 tcl 命令使用。
2020/10/21	1.1.1	综合流程修改为以 GowinSynthesis®为例。
2021/06/10	1.2	<ul style="list-style-type: none">● 删除 Synplify Pro 相关描述；● 修改 MIPI 设计使用的 IP。
2021/11/02	1.3	更新部分描述。
2022/07/28	1.4	修改设计为 FIFO HS，并更新相关描述。
2022/12/20	1.5	<ul style="list-style-type: none">● 新增查看综合后网表原理图功能；● 更新部分截图。

目录

目录	i
图目录.....	iii
表目录.....	v
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈.....	2
2 简介	3
2.1 设计流程简介	3
2.2 快速入门设计简介	3
3 快速入门	5
3.1 创建工程	5
3.1.1 新建工程.....	5
3.1.2 生成 FIFO HS IP	6
3.1.3 加载文件.....	8
3.1.4 查看 RTL 原理图	8
3.2 GowinSynthesis®综合	8
3.2.1 选项配置.....	8
3.2.2 综合	10
3.3 查看综合后网表原理图.....	11
3.4 物理约束	11
3.4.1 新建物理约束	11
3.4.2 修改物理约束	12
3.5 时序约束	12
3.5.1 新建时序约束	12
3.5.2 修改时序约束	14
3.6 GAO 配置.....	14
3.6.1 新建 Standard Mode GAO 配置文件.....	14
3.6.2 配置 Standard Mode GAO	15
3.7 功耗分析配置	17
3.7.1 新建功耗分析配置文件	17
3.7.2 选项配置.....	17
3.8 布局布线	21

3.8.1 选项配置.....	21
3.8.2 运行 PnR.....	22
3.9 时序优化	23
3.9.1 时序分析.....	23
3.9.2 调整关键路径	23
3.10 码流下载	25
3.11 GAO 采集数据	26
3.12 输出文件	27
3.12.1 布局布线报告.....	27
3.12.2 端口属性报告.....	27
3.12.3 时序报告	28
3.12.4 功耗分析报告.....	28
3.13 文件加密	29
3.13.1 源文件加密	29
3.13.2 仿真文件加密.....	30
4 Tcl 命令使用	31
4.1 Tcl 命令执行方式.....	31
4.1.1 Tcl 命令编辑窗口执行.....	31
4.1.2 Tcl 命令行执行.....	31
4.2 Tcl 命令快速入门.....	32
4.2.1 rm_file	32
4.2.2 add_file	32
4.2.3 set_file_enable.....	33
4.2.4 set_option	33
4.2.5 run.....	34
4.2.6 set_device.....	34
4.2.7 saveto	34

图目录

图 2-1 打开样例工程	4
图 3-1 新建工程	5
图 3-2 工程目录	6
图 3-3 FIFO HS 配置	6
图 3-4 FIFO HS IP 目录	7
图 3-5 Design 窗口	7
图 3-6 加载文件	8
图 3-7 综合选项配置	9
图 3-8 GowinSynthesis 的属性和指令	9
图 3-9 综合完成	10
图 3-10 gwsynthesis 目录	10
图 3-11 I/O 约束	11
图 3-12 物理约束显示	12
图 3-13 Clock 约束	13
图 3-14 时序报告约束	13
图 3-15 时序约束显示	14
图 3-16 新建 GAO 配置文件	14
图 3-17 设置 GAO 配置文件	15
图 3-18 触发选项配置	15
图 3-19 采样选项配置	16
图 3-20 GAO 配置文件显示	16
图 3-21 新建功耗分析配置文件	17
图 3-22 General Setting 配置	18
图 3-23 Rate Setting 配置	19
图 3-24 Clock Setting 配置	19
图 3-25 功耗分析配置文件显示	20
图 3-26 布局布线选项配置	21
图 3-27 布局布线完成	22
图 3-28 PnR 目录	22
图 3-29 gao 目录	23
图 3-30 时序路径显示	24
图 3-31 路径高亮显示	24

图 3-32 调整后路径显示	25
图 3-33 Programmer 界面	25
图 3-34 GAO 显示界面	26
图 3-35 GAO 波形显示	26
图 3-36 布局布线报告	27
图 3-37 端口属性报告	27
图 3-38 时序报告	28
图 3-39 功耗分析报告	28
图 3-40 Hierarchy 信息显示	29
图 3-41 Pack User Design 对话框	29
图 4-1 Tcl 命令编辑窗口	31
图 4-2 Tcl 命令行模式	31
图 4-3 Tcl 脚本文件	32

表目录

表 1-1 术语、缩略语	1
--------------------	---

1 关于本手册

1.1 手册内容

本手册以 FIFO HS 设计为例，介绍高云®半导体云源®软件（以下简称云源）的使用，旨在帮助用户快速熟悉云源的使用流程，提高设计效率。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可下载、查看以下相关文档：

- [SUG100, Gowin 云源软件用户指南](#)
- [SUG935, Gowin 设计物理约束指南](#)
- [SUG101, Gowin 设计时序约束指南](#)
- [SUG114, Gowin 在线逻辑分析仪用户指南](#)
- [SUG282, Gowin 功耗分析工具用户指南](#)
- [SUG502, Gowin Programmer 用户指南](#)
- [SUG550, GowinSynthesis 用户指南](#)
- [SUG755, Gowin HDL 设计原理图查看器用户指南](#)

1.3 术语、缩略语

本手册中的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
PnR	Place & Route	布局布线
GAO	Gowin Analyzer Oscilloscope	在线逻辑分析仪
GPA	Gowin Power Analyzer	功耗分析工具
AO Core	Analysis Oscilloscope Core	功能内核

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 简介

2.1 设计流程简介

云源支持 Windows 和 Linux 两类操作系统，支持界面模式和命令行模式运行，本手册以 Windows 版本、界面运行、FIFO HS 设计为例，介绍云源的快速入门方法。

整个设计流程采用 FloorPlanner 添加物理约束和时序优化，Timing Constraints Editor 添加时序约束，GAO 添加 GAO 配置文件和采集数据，功耗分析工具添加功耗分析配置文件，Programmer 进行码流下载。

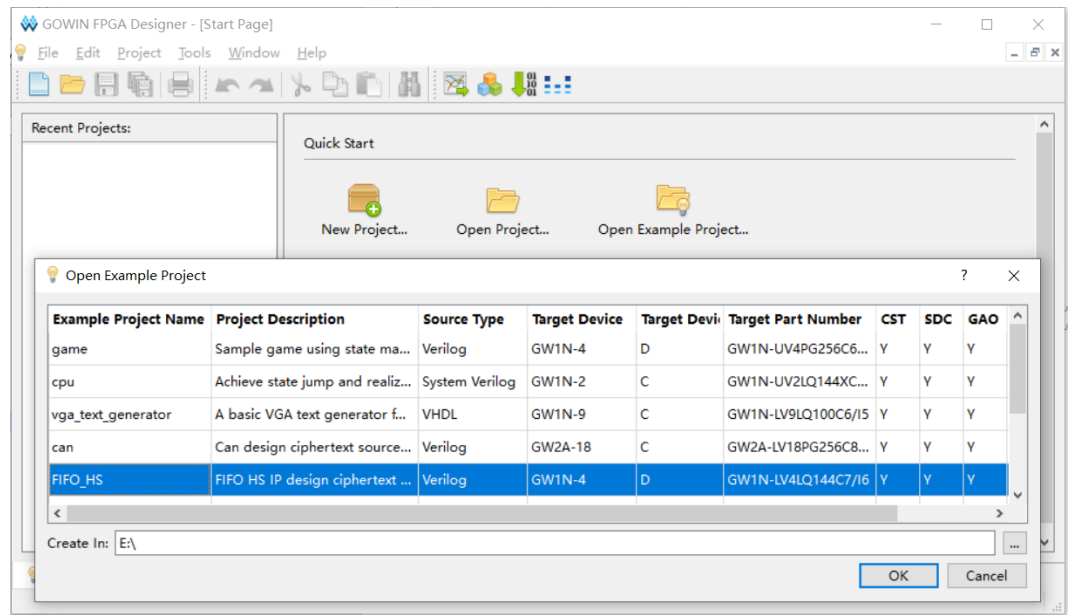
2.2 快速入门设计简介

FIFO HS IP 可完成异步时钟域不同位宽的数据传递和缓存功能，根据用户的不同需求配置不同的输出控制信号和数据结构。

整个设计通过 port 为 FIFO HS 提供时钟，通过逻辑提供复位信号、使能信号以及输入数据，最终使用 GAO 采集数据，验证 FIFO HS 的正确性。

该设计已加入样例工程 FIFO_HS，可通过 Start Page > Open Example Project...快速建立，如图 2-1 所示。通过样例建立工程会略过前面的步骤，直接到运行布局布线以及之后的流程。若想要一步步熟悉云源的使用，可根据文档中的指引进行操作，设计中涉及的源文件、约束文件以及配置文件等均与样例工程中一致，可先保存样例工程中的文件以便后期使用。

图 2-1 打开样例工程



3 快速入门

3.1 创建工程

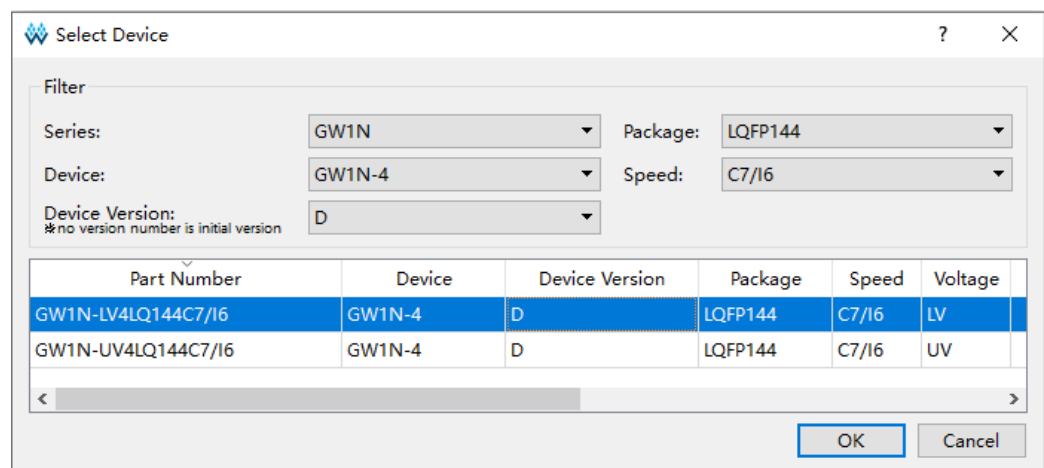
3.1.1 新建工程

打开云源，单击 Start Page 窗口上“Quick Start > New Project”新建一个工程，工程名称为 FIFO_HS，器件选择如图 3-1 所示：

- Series: GW1N
- Device: GW1N-4
- Device Version: D
- Package: LQFP144
- Speed: C7/I6
- Part Number: GW1N-LV4LQ144C7/I6





点击“Next”，直至工程创建完成。新建工程的详细步骤请参考 [SUG100, Gowin 云源软件用户指南](#)。

图 3-1 新建工程



工程创建完成之后，在工程创建路径生成 `impl` 和 `src` 文件夹，如图 3-2 所示，其中，`impl` 用于放置综合后和布局布线后的文件，`src` 用于放置源文件。

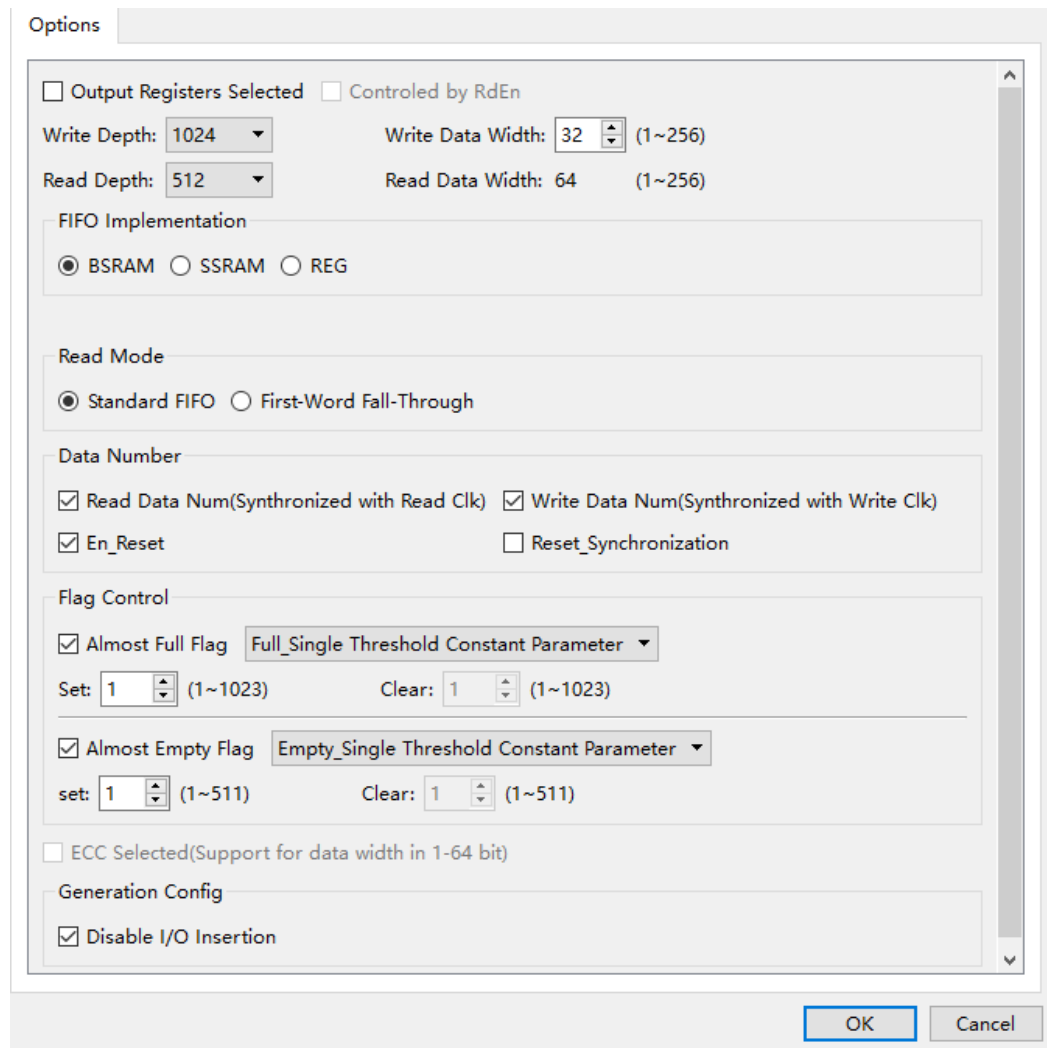
图 3-2 工程目录

Name	Date modified	Type	Size
 impl	5/31/2022 15:54	File folder	
 src	5/31/2022 15:54	File folder	
 FIFO_HS.gprj	5/31/2022 15:43	GPRJ File	1 KB
 FIFO_HS.gprj.user	5/31/2022 15:51	USER File	4 KB

3.1.2 生成 FIFO HS IP

通过选择菜单栏“Tools > IP Core Generator”打开 IP Core Generator 窗口，双击 Memory Control > FIFO 将其展开，双击 FIFO HS 打开 IP Customization 对话框，根据需要选择配置，本设计 FIFO HS 配置如图 3-3 所示，完成配置选择之后，点击“OK”，即可生成 FIFO HS 的 IP。

图 3-3 FIFO HS 配置



Options

Output Registers Selected Controlled by RdEn

Write Depth: 1024 Write Data Width: 32 (1~256)

Read Depth: 512 Read Data Width: 64 (1~256)

FIFO Implementation

BSRAM SSRAM REG

Read Mode

Standard FIFO First-Word Fall-Through

Data Number

Read Data Num(Synthonized with Read Clk) Write Data Num(Synthonized with Write Clk)

En_Reset Reset_Synchronization

Flag Control

Almost Full Flag Full_Single Threshold Constant Parameter

Set: 1 (1~1023) Clear: 1 (1~1023)

Almost Empty Flag Empty_Single Threshold Constant Parameter

set: 1 (1~511) Clear: 1 (1~511)

ECC Selected(Support for data width in 1-64 bit)

Generation Config

Disable I/O Insertion

OK Cancel

IP 生成之后，在 IP 创建路径下会生成 IP 设计文件及仿真所需文件，如图 3-4 所示：

- .v 文件为 IP 设计文件，其为加密形式；
- _tmp.v 文件为 IP 设计模板文件，为用户提供 IP 设计使用模板；
- .vo 文件为 IP 仿真模型文件，其为明文形式，可用于仿真；
- .ipc 文件为 IP 配置文件，用户可加载该文件修改配置；
- temp 文件夹包含生成 IP 所需的文件。

注！

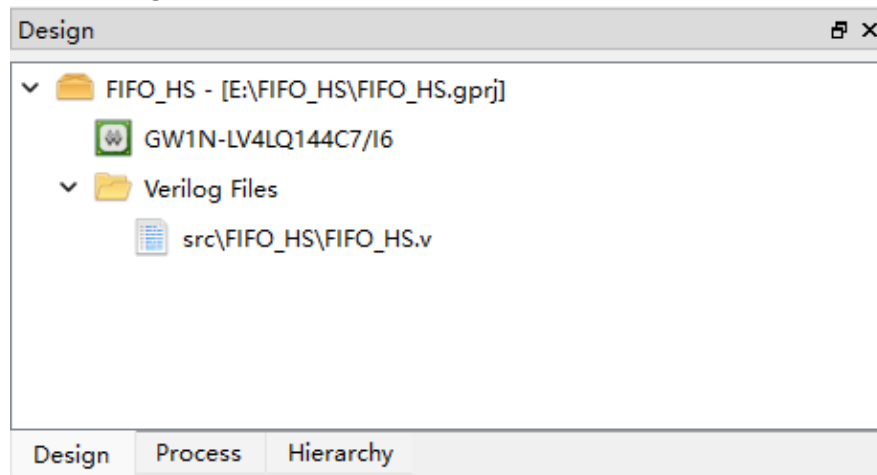
- 云源 1.9.8.06 及之后的版本，IP 生成的时候如果 Language 选项选择 VHDL，则在 IP 创建路径下会生成.vho 文件，该文件为明文形式的 IP 仿真模型文件。
- 目前有些 IP，在 IP 创建路径还会生成 doc、model、sim 和 tb 文件夹，分别为说明文档、仿真模型、仿真脚本和 testbench 仿真文件。IP 目录结构以实际 IP Core 生成为准。

图 3-4 FIFO HS IP 目录

Name	Date modified	Type	Size
temp	5/31/2022 15:54	File folder	
FIFO_HS.ipc	5/30/2022 16:59	IPC File	1 KB
FIFO_HS.v	5/30/2022 16:59	V File	59 KB
FIFO_HS.vo	5/30/2022 16:59	VO File	60 KB
FIFO_HS_tmp.v	5/30/2022 16:59	V File	1 KB

FIFO HS IP 生成之后，在 Design 窗口的显示如图 3-5 所示。

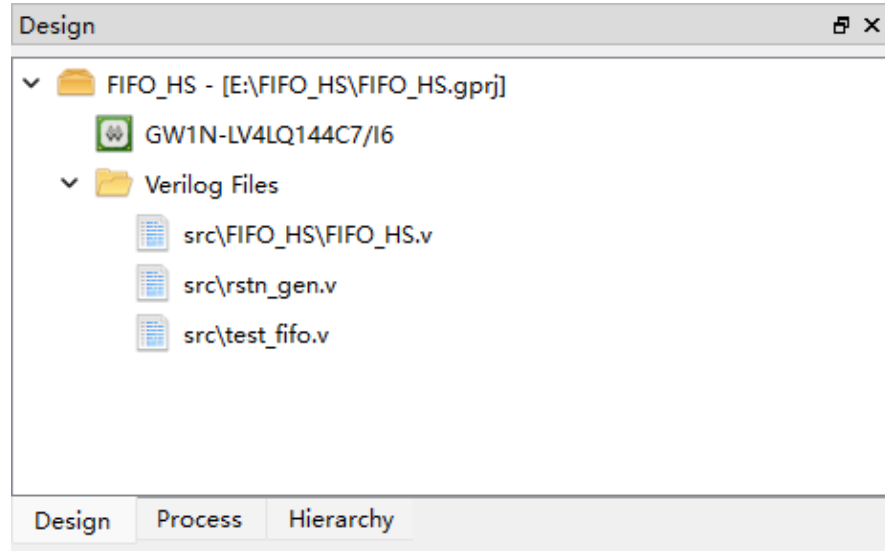
图 3-5 Design 窗口



3.1.3 加载文件

为测试 FIFO HS 的功能，需新建或加载一些功能设计文件，完成之后，Design 窗口如图 3-6 所示。

图 3-6 加载文件



3.1.4 查看 RTL 原理图

源文件加载完成后，可通过菜单栏“Tools > Schematic Viewer > RTL Design Viewer”查看整个 RTL 设计的原理图，帮助用户更好了解整个 RTL 设计的逻辑构成。Schematic Viewer 的详细使用方法请参考 [SUG755, Gowin HDL 设计原理图查看器用户指南](#)。

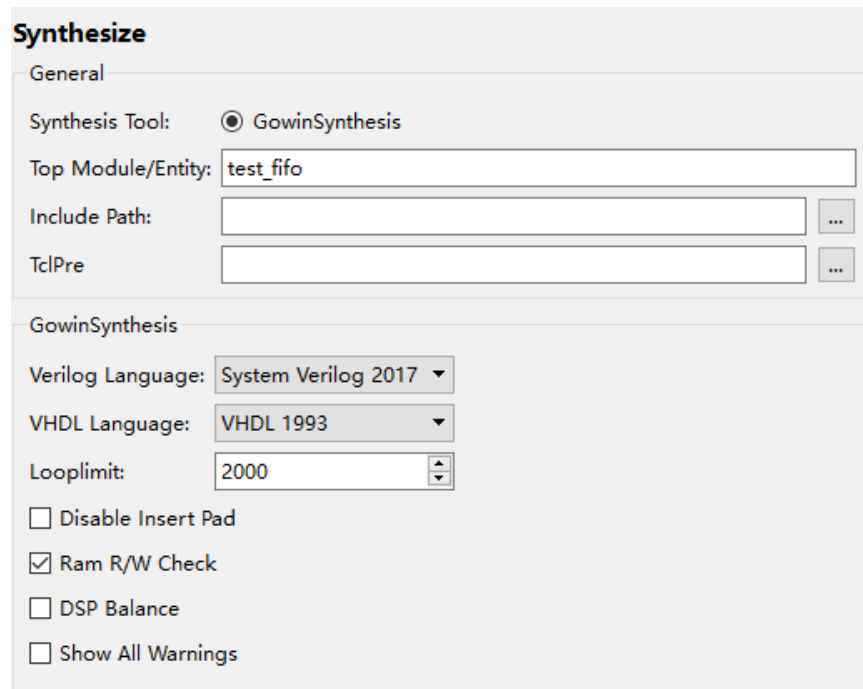
3.2 GowinSynthesis®综合

3.2.1 选项配置

选择“Process > Synthesize > Configuration”，弹出 Configurations 对话框，在此对话框进行综合选项配置，关于 GowinSynthesis 所有配置详细说明，可参考具体可参考 [SUG550, GowinSynthesis 用户指南](#)。

本设计 TOP Module/Entity 设为 test_fifo，如图 3-7 所示。

图 3-7 综合选项配置



Synthesize

General

Synthesis Tool: GowinSynthesis

Top Module/Entity: test_fifo

Include Path: ...

TclPre: ...

GowinSynthesis

Verilog Language: System Verilog 2017

VHDL Language: VHDL 1993

Looplmit: 2000

Disable Insert Pad

Ram R/W Check

DSP Balance

Show All Warnings

此外，也可以通过在源文件中添加一些综合属性和指令控制综合结果，关于属性和指令的详细说明，可参考 [SUG550, GowinSynthesis 用户指南](#)。如图 3-8 所示，本设计中，使用 `/* synthesis syn_keep=1 */` 综合属性，在综合和优化过程中，将特定 net 进行保留而不被优化。

图 3-8 GowinSynthesis 的属性和指令

```

67 reg [1:0] ALT_CNT_d;
68 reg [7:0] rand_num;
69 reg [9:0] rand_cnt;
70 reg [11:0] start_rdmck;
71 reg fifo_empty_d;
72 wire [WRSIZE-1:0] w_data_d/* synthesis syn_keep=1 */;
73 wire load;
74 wire [RDSIZE-1:0] r_data;
75 wire [WNSIZE:0] w_num;
76 wire [RNSIZE:0] r_num;
77 wire fifo_full;
78 wire fifo_empty;
79 wire fifo_alempy;
80 //test state machine

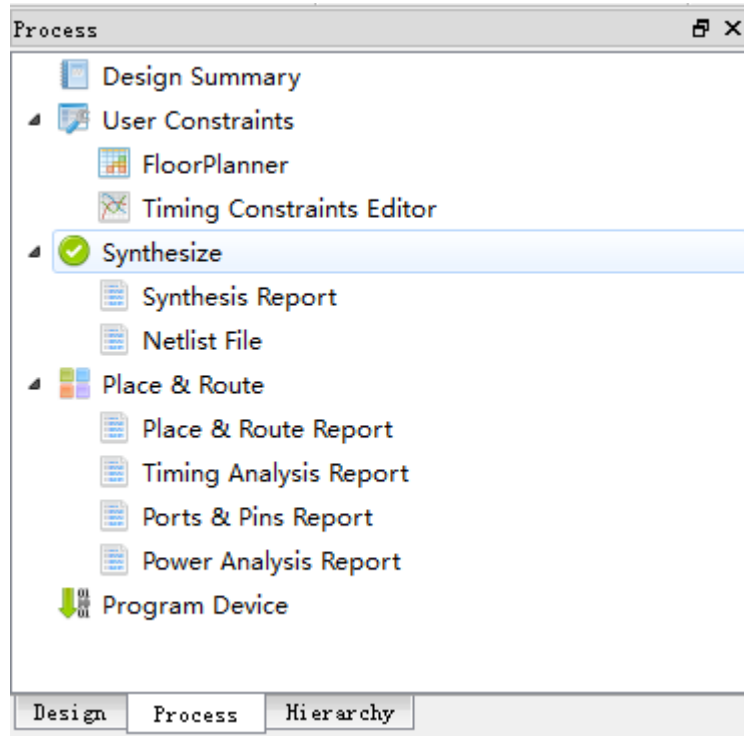
```

3.2.2 综合

完成综合选项配置之后，即可进行综合。

双击 **Process** 窗口中的 **Synthesize**，开始进行综合，综合完成后，如图 3-9 所示，**Synthesize** 前面的图标变为“✔”，可双击 **Synthesis Report** 查看综合报告，双击 **Netlist File** 查看综合后网表文件。

图 3-9 综合完成



综合完成后，在工程创建路径\impl 下生成 **gwsynthesis** 文件夹，该文件夹包含综合过程生成的所有文件，如图 3-10 所示。

图 3-10 gwsynthesis 目录

Name	Date modified	Type	Size
RTL_GAO	5/31/2022 15:54	File folder	
FIFO_HS.log	5/31/2022 15:51	LOG File	6 KB
FIFO_HS.prj	5/31/2022 15:50	PRJ File	2 KB
FIFO_HS.vg	5/31/2022 15:51	VG File	454 KB
FIFO_HS_syn.rpt.html	5/31/2022 15:51	360 se HTML Doc...	29 KB
FIFO_HS_syn_resource.html	5/31/2022 15:51	360 se HTML Doc...	3 KB
FIFO_HS_syn_rsc.xml	5/31/2022 15:51	XML Document	1 KB

3.3 查看综合后网表原理图

完成综合后，可通过菜单栏“Tools > Schematic Viewer>Post-Synthesis Netlist Viewer”查看整个设计综合后网表的原理图，帮助用户更好地了解整个设计综合后的逻辑构成。Schematic Viewer 的详细使用方法请参考 [SUG755, Gowin HDL 设计原理图查看器用户指南](#)。

3.4 物理约束

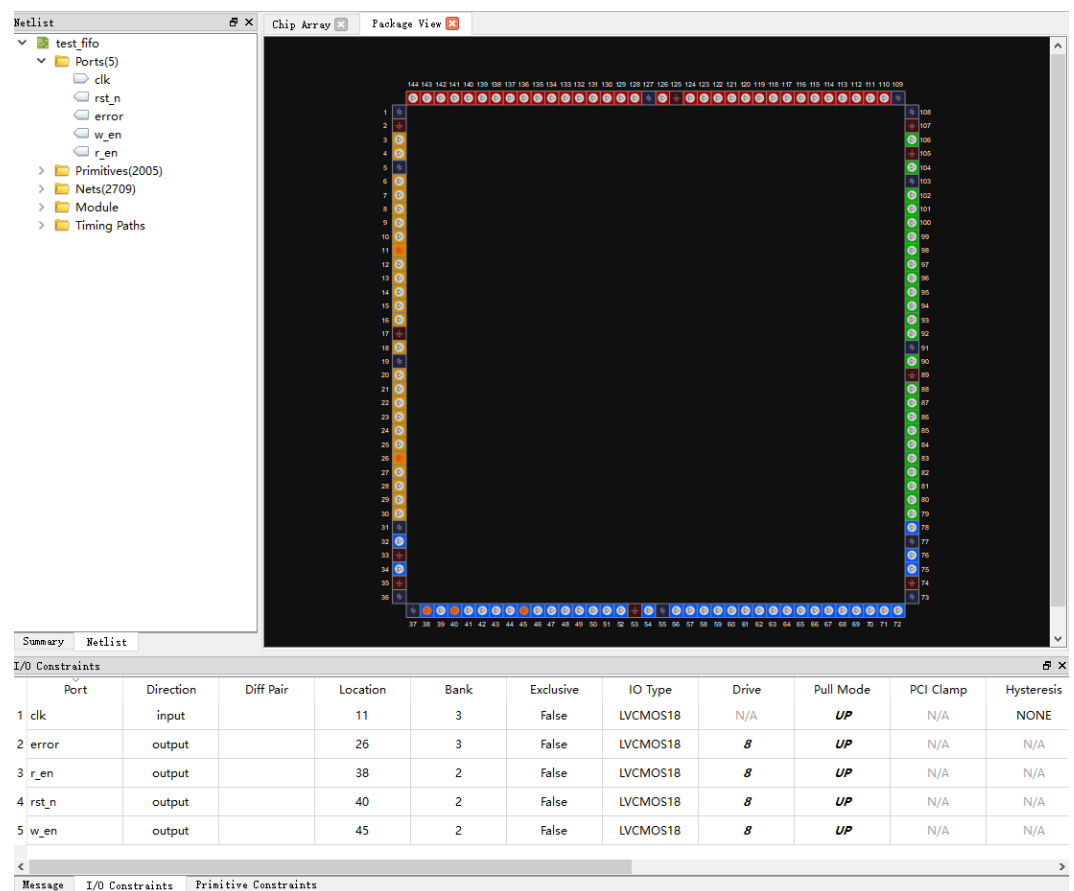
完成综合之后，可通过手动书写或 FloorPlanner 编辑物理约束，本设计使用 FloorPlanner 编辑物理约束。该工具的详细使用方法请参考 [SUG935, Gowin 设计物理约束指南](#)。

3.4.1 新建物理约束

选择云源“Process > User Constraints > FloorPlanner”，打开 FloorPlanner，该工具支持 I/O、Primitive、Group 等物理约束。本设计只添加 I/O 约束，并以此为例。

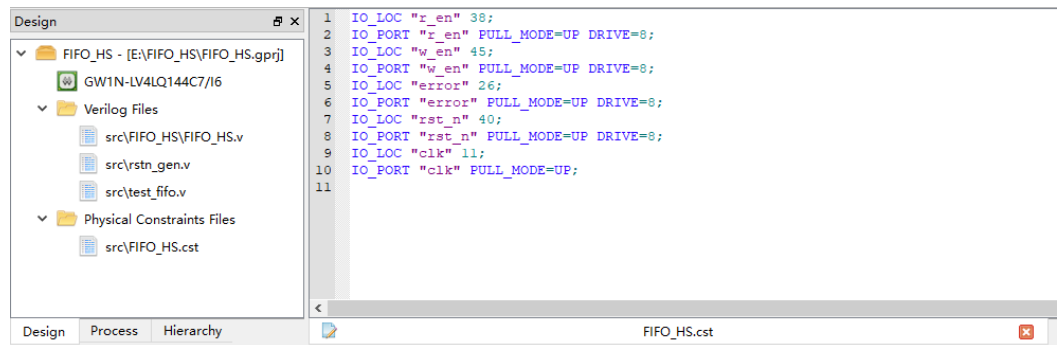
约束编辑窗口中的 I/O 约束窗口，可创建 I/O Constrains。在 Netlist 窗口或 I/O Constraints 窗口中选中预约束 Port 的所在行拖拽到 Package View 或 Chip Array 视图中的具体位置上，完成后，预约束 port 的 Location 信息变为拖拽到的 IOB 的位置，如图 3-11 所示。

图 3-11 I/O 约束



完成所有约束编辑后，单击工具栏的“Save”，生成物理约束文件，物理约束文件在 Design 窗口和源文件编辑区的显示如图 3-12 所示。

图 3-12 物理约束显示



在布局布线阶段，如果没有物理约束文件，会自动布局布线；如果有物理约束文件，会根据物理约束文件进行布局布线。

3.4.2 修改物理约束

生成物理约束文件后，可通过 FloorPlanner 对物理约束进行修改，修改完成后，单击工具栏的“Save”，即可完成约束修改。

3.5 时序约束

完成综合之后，可通过手动书写或 Timing Constraints Editor 编辑时序约束，本设计使用时序约束编辑器编辑时序约束。该工具的详细使用方法请参考 [SUG101, Gowin 设计时序约束指南](#)。

3.5.1 新建时序约束

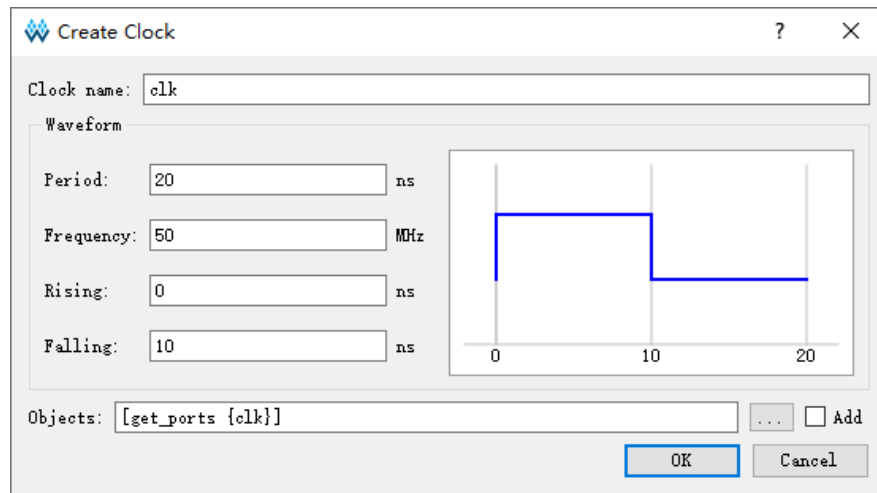
选择云源“Process > User Constraints > Timing Constrains Editor”，打开 Timing Constrains Editor，该工具支持时钟、I/O、时序报告等时序约束。本设计添加时钟、时序报告约束，以此为例。

时钟约束

选中 Timing Constraints 下的 Clocks，在右侧空白处，右键单击选择 Create Clock，弹出 Create Clock 对话框，如图 3-13 所示，创建如下约束：

- Clock name: clk
- Period: 20
- Frequency: 50
- Rising: 0
- Falling: 10
- Source Object: get_ports {clk}

图 3-13 Clock 约束

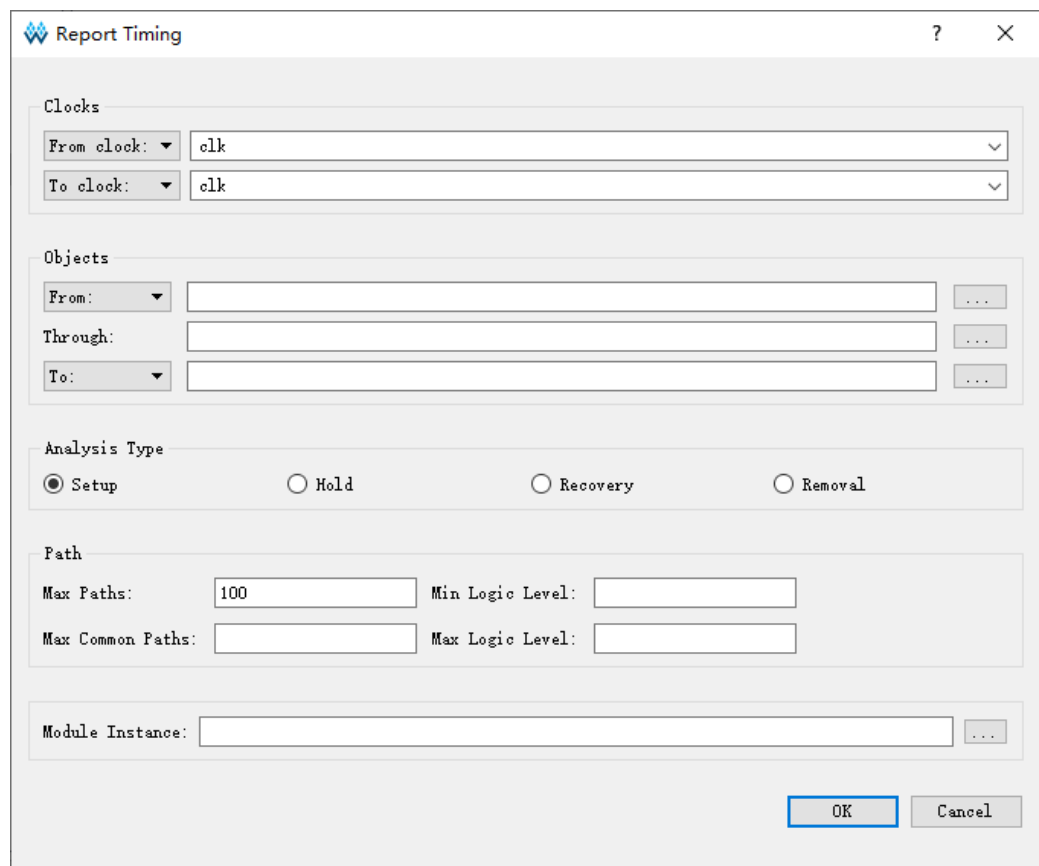


该设计用到了 GAO，因此创建时钟 `tck_pad_i`，创建方式与 `clk` 一致。`clk` 与 `tck_pad_i` 之间属于异步时钟，如果不想云源分析两者之间的关系，可通过时序约束编辑器创建时钟组约束。

时序报告约束

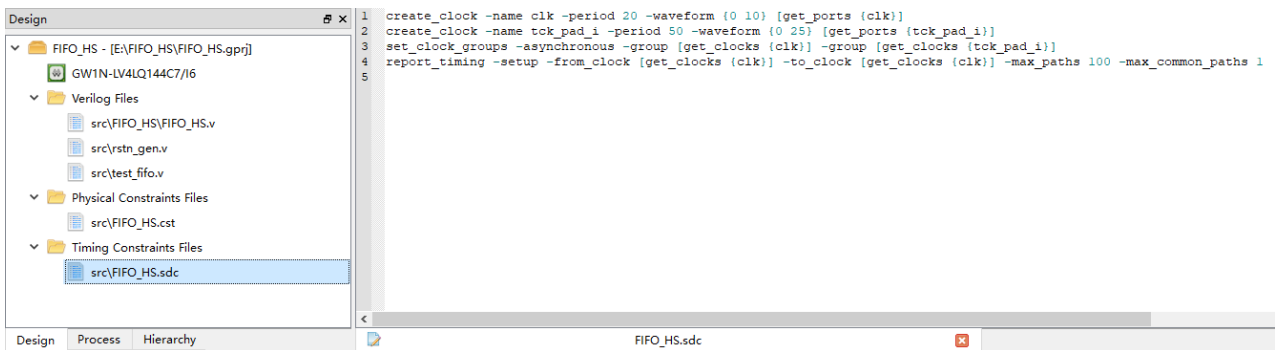
选中“Timing Constraints > Report > Report Timing”，在右侧空白处，右键单击选择 Create Report，在弹出的 Report Timing 对话框中设置参数，报告 `clk` to `clk` 的 setup 路径，路径条数限制 100，如图 3-14 所示。

图 3-14 时序报告约束



完成所有约束编辑后，单击工具栏的“Save”，生成时序约束，时序约束在 Design 窗口和源文件编辑区的显示如图 3-15 所示。

图 3-15 时序约束显示



在布局布线阶段，如果没有时序约束文件，会按照默认时钟进行时序分析；如果有时序约束文件，会根据时序约束文件进行时序分析。

3.5.2 修改时序约束

生成时序约束文件后，可通过 Timing Constrains Editor 对时序约束进行修改，修改完成后，单击工具栏的“Save”，即可完成约束修改。

3.6 GAO 配置

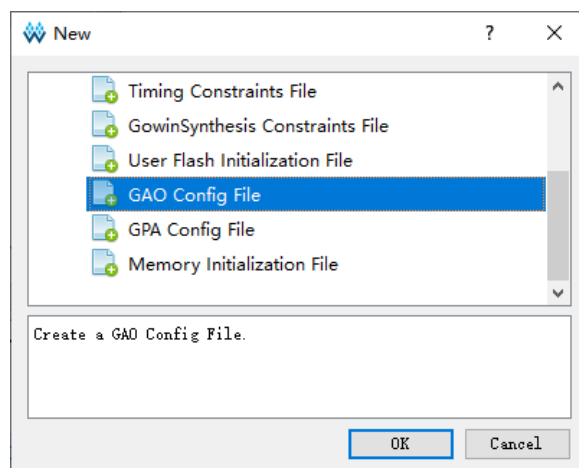
完成综合之后，可创建 GAO 配置文件，用于采集数据，验证设计的正确性。云源支持 RTL 级信号捕获和综合后网表级信号捕获两种捕获信号来源，并且提供 Standard Mode GAO 和 Lite Mode GAO，GAO 的详细使用方法请参考 [SUG114, Gowin 在线逻辑分析仪用户指南](#)。

本设计采用综合后网表级信号捕获及 Standard Mode GAO，并以此为例。

3.6.1 新建 Standard Mode GAO 配置文件

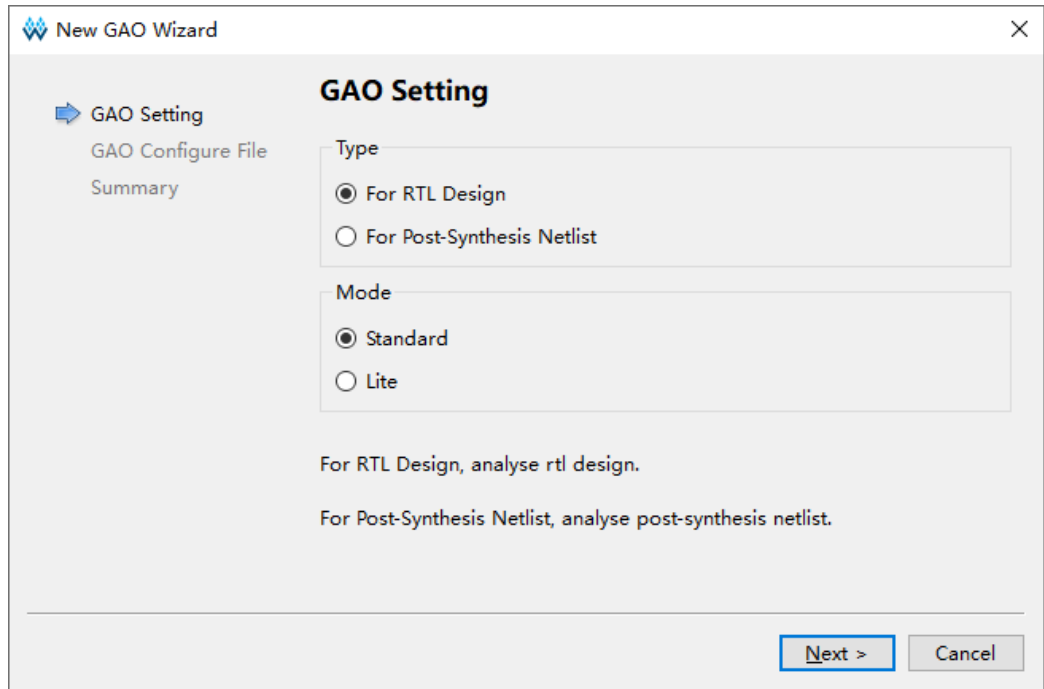
选择云源的“Design > New File...”，在弹出的 New 对话框中，选择新建一个 GAO Config File，如图 3-16 所示，单击“OK”。

图 3-16 新建 GAO 配置文件



Type 选择 For Post-Synthesis Netlist, Mode 选择 Standard, 如图 3-17 所示, 单击“Next”, 文件名定义为 FIFO HS, 单击“Next”, 直至 Standard Mode GAO 配置文件创建完成。

图 3-17 设置 GAO 配置文件



3.6.2 配置 Standard Mode GAO

完成 Standard Mode GAO 配置文件创建后, 进行配置功能内核数量、触发选项和采样选项。触发选项包括触发条件、触发端口、匹配单元和触发表达式; 采样选项包括采样信号、存储信息、采样数据信号。本设计功能内核数量为 1, 触发选项配置如图 3-18 所示, 采样选项配置如图 3-19 所示。

图 3-18 触发选项配置

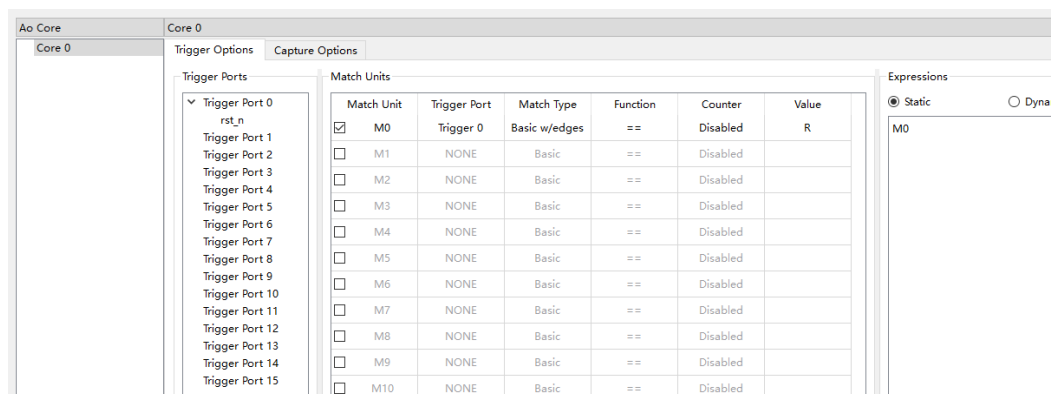
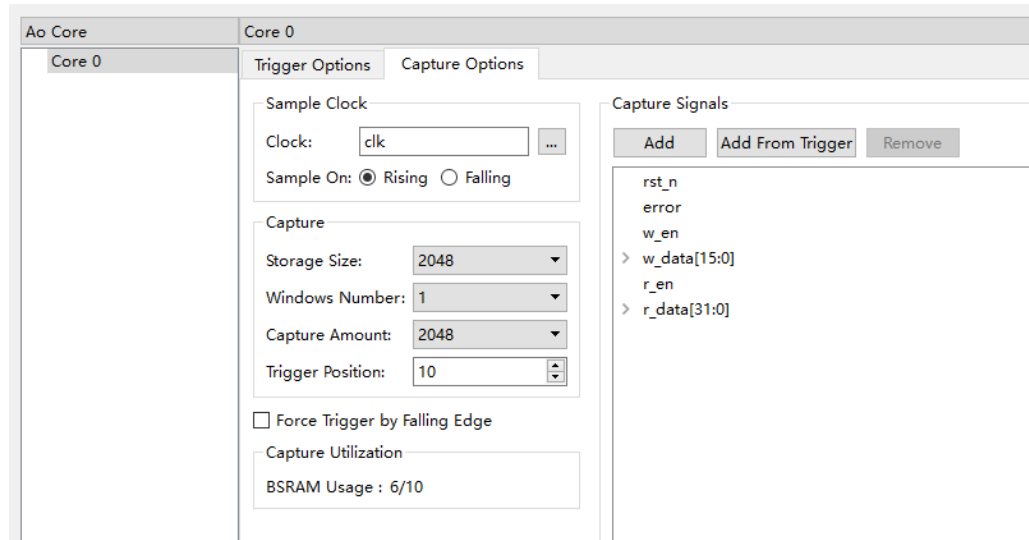
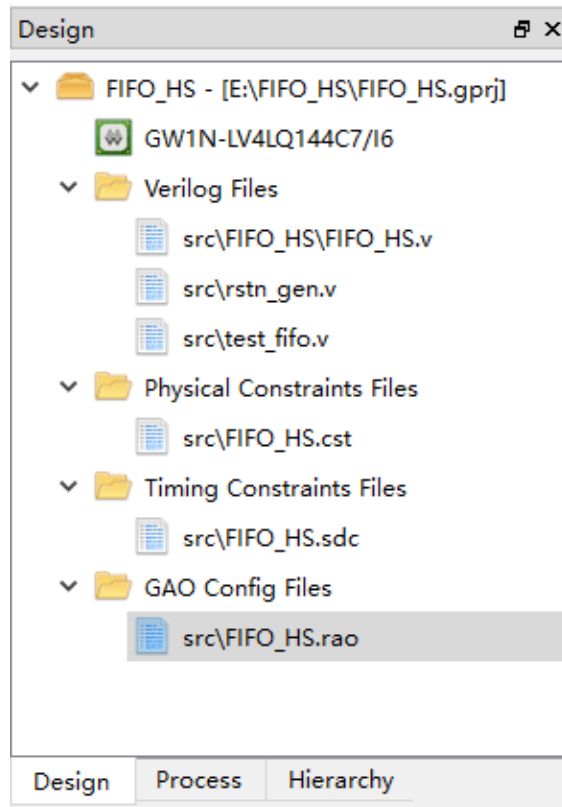


图 3-19 采样选项配置



完成所有选项配置后，单击工具栏的“Save”，即完成 Standard Mode GAO 配置文件，GAO 配置文件在 Design 窗口的显示如图 3-20 所示。

图 3-20 GAO 配置文件显示



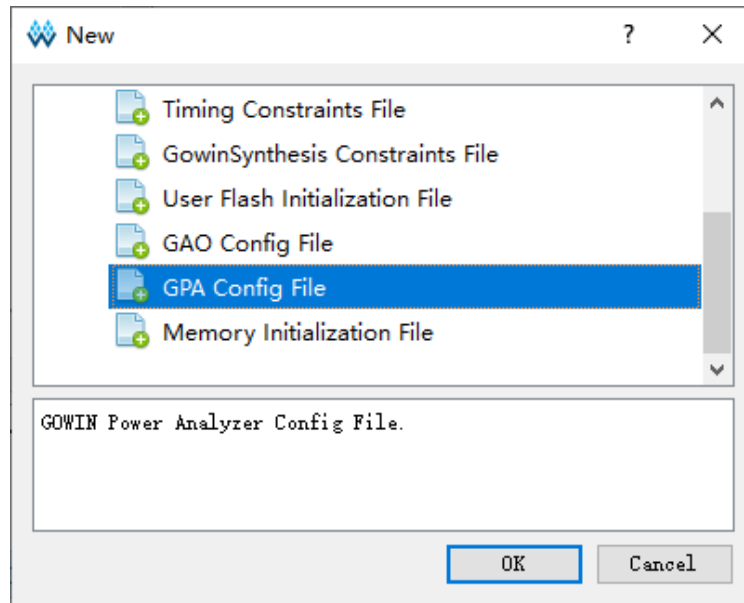
3.7 功耗分析配置

完成综合之后，可创建功耗分析配置文件，用于功耗分析，帮助用户分析系统功耗。功耗分析工具的详细使用方法请参考 [SUG282, Gowin 功耗分析工具用户指南](#)。

3.7.1 新建功耗分析配置文件

选择云源的“Design > New File...”，在弹出的 New 对话框中，选择新建一个“GPA Config File”，如图 3-21 所示。单击“OK”，文件名定义为 FIFO_HS，文件路径默认选择该工程下的 src 文件夹，单击“OK”，功耗分析配置文件创建完成。

图 3-21 新建功耗分析配置文件



3.7.2 选项配置

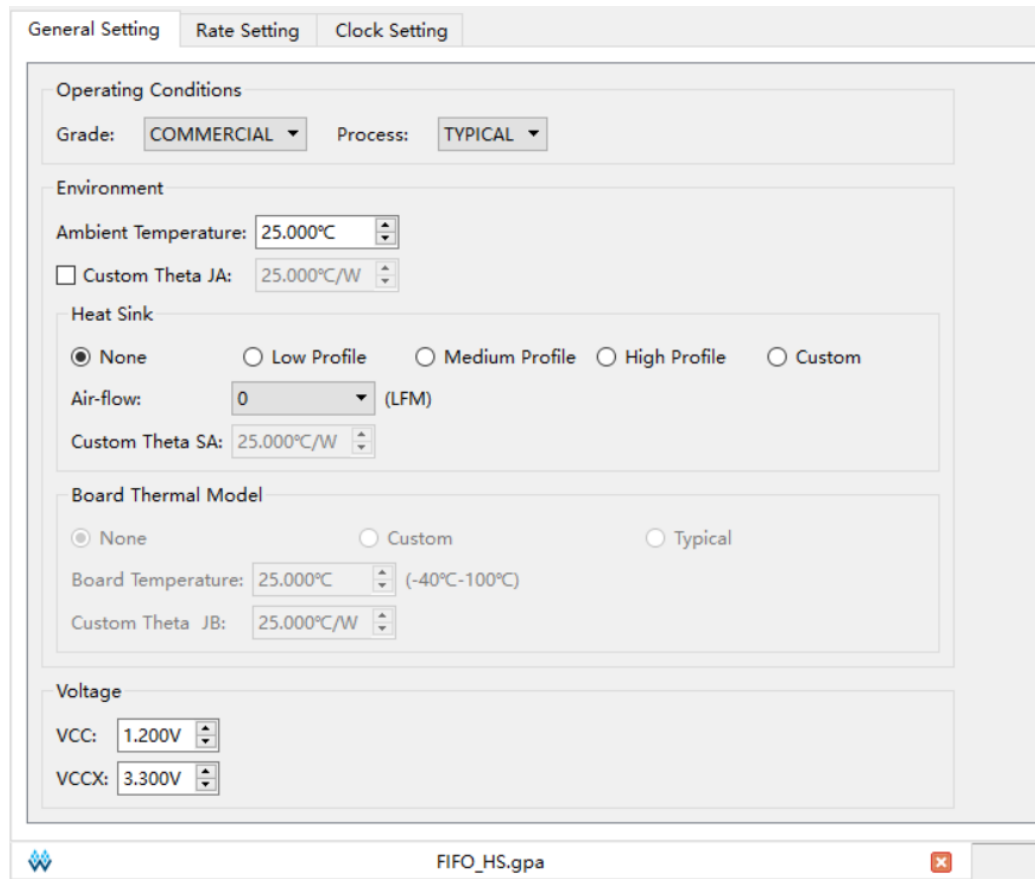
完成功耗分析配置文件创建后，进行配置 General Setting、Rate Setting 和 Clock Setting。

- **General Setting** 包括器件、封装、速度等级和配置温度等级、热阻抗、电压等特性参数；
- **Rate Setting** 用于信号翻转率的设置，可直接对 IO 或 Net 设置翻转率，也可以采用默认翻转；
- **Clock Setting** 主要用于配置工作时钟以及 BSRAM、I/O 和 DFF 时钟的工作使能特性。

General Setting

本设计 General Setting 配置为 COMMERCIAL 温度等级，环境温度选择 25°C，无散热片装置，辅助电压设为 3.3V，内核电压设为 1.2V，如图 3-22 所示。

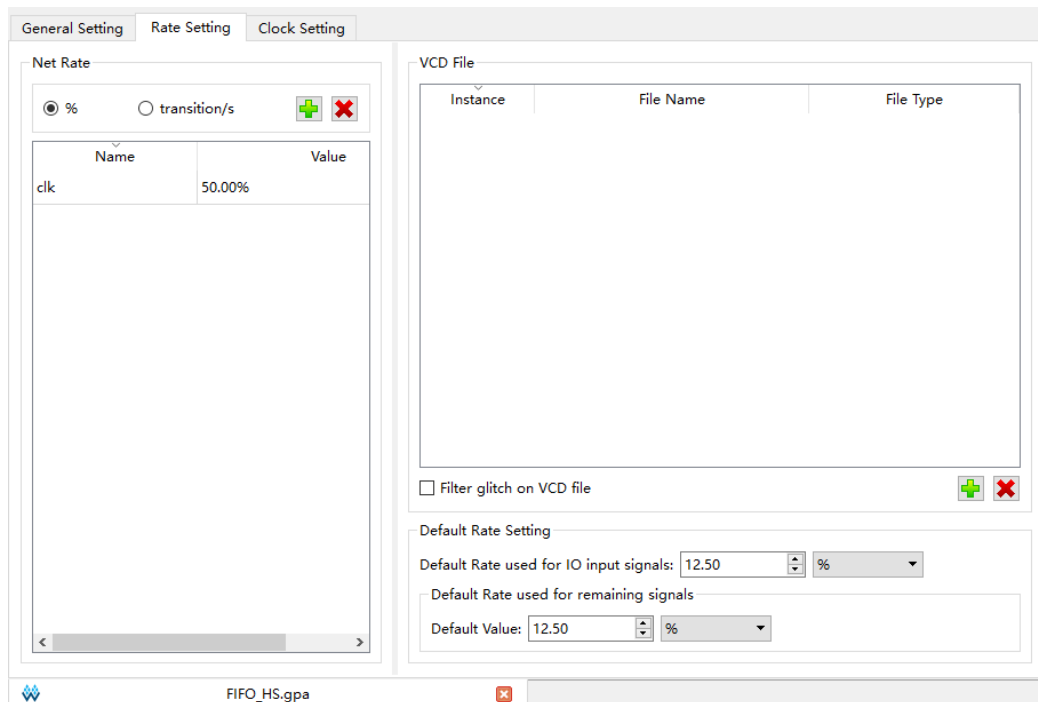
图 3-22 General Setting 配置



Rate Setting

本设计中时钟信号 clk 翻转率为 50%，其余信号翻转率为全局默认翻转率 12.5%，如图 3-23 所示。

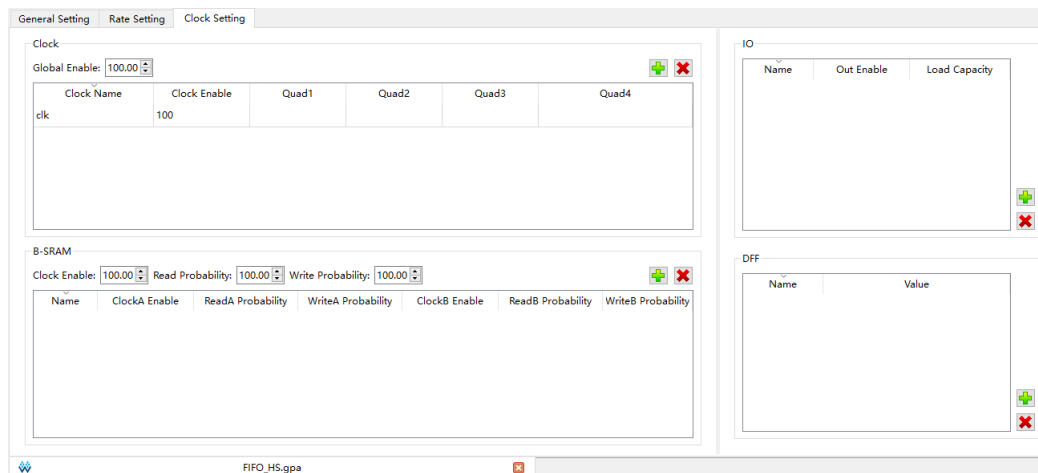
图 3-23 Rate Setting 配置



Clock Setting

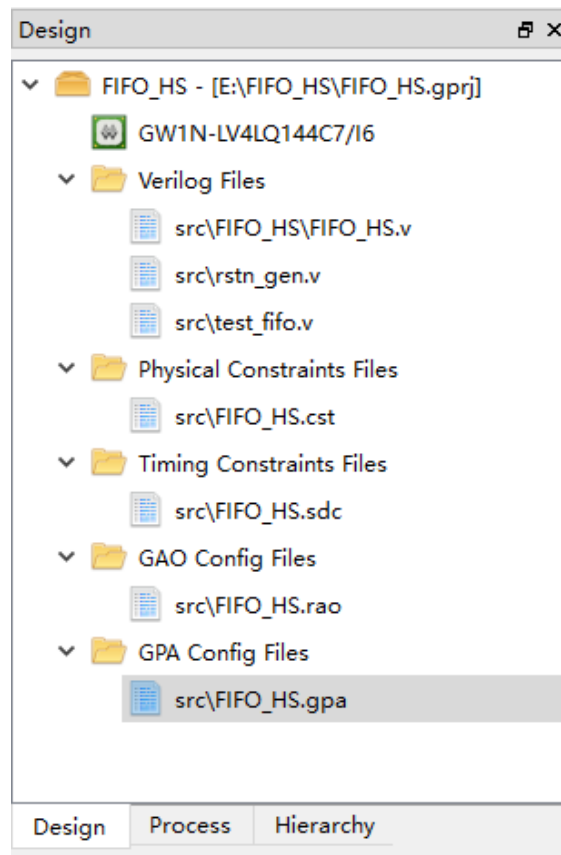
本设计 Clock 为时序分析中创建的时钟，其余未设置，如图 3-24 所示。

图 3-24 Clock Setting 配置



完成所有选项配置后，单击工具栏的“Save”，即完成功耗分析配置文件，其在 Design 窗口的显示如图 3-25 所示。

图 3-25 功耗分析配置文件显示



在布局布线阶段，如果没有功耗分析配置文件，会按照默认配置进行功耗分析；如果有功耗分析配置文件，会根据功耗分析配置文件进行功耗分析。

3.8 布局布线

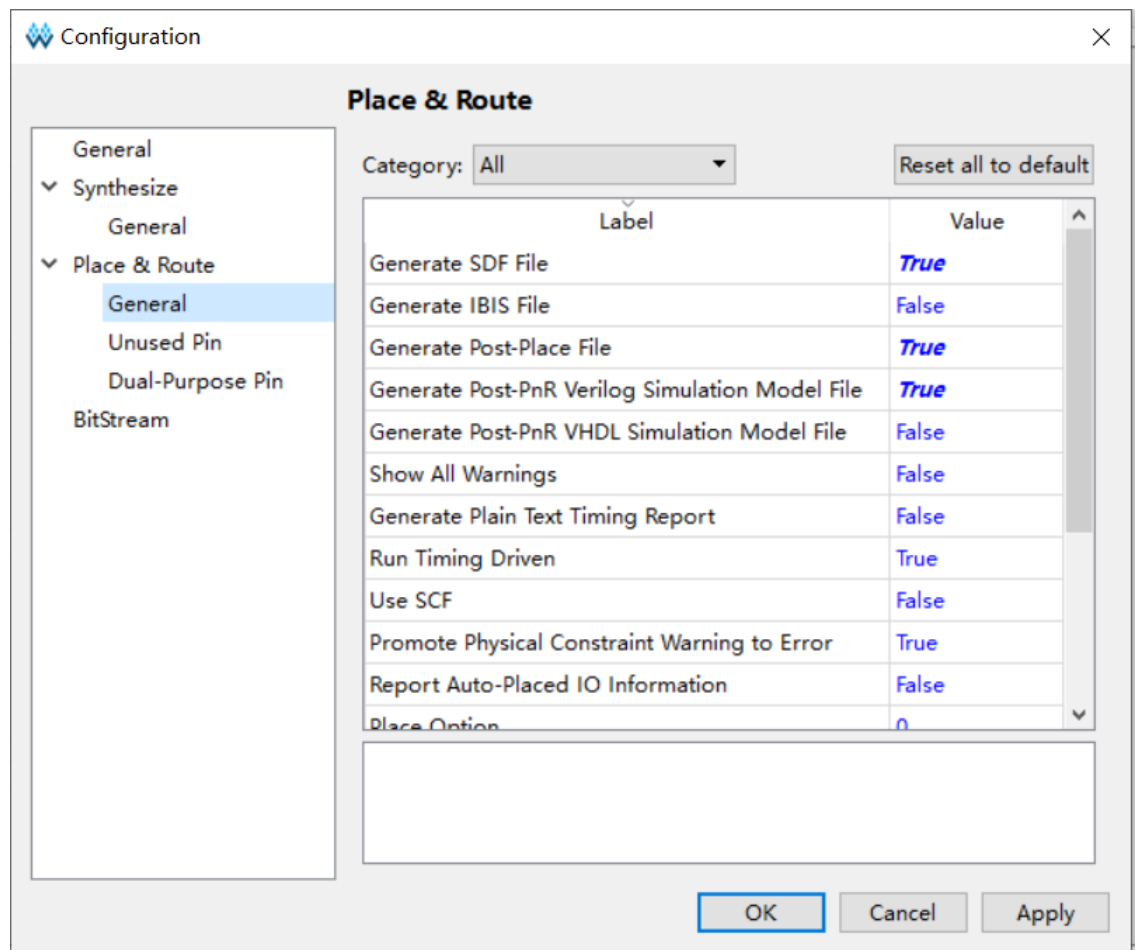
完成综合并根据用户需求创建物理约束文件、时序约束文件、GAO 配置文件以及功耗分析配置文件之后，即可开始布局布线。

3.8.1 选项配置

选择“Process > Place & Route > Configuration”，弹出 Configurations 对话框，在此对话框进行 General、Dual-Purpose 和 Bitstream 选项配置，选项配置的详细说明请参考 [SUG100, Gowin 云源软件用户指南](#)。

本设计布局布线选项配置，如图 3-26 所示，将 Generate SDF File、Generate Post-Place File、Generate Post-PNR Verilog Simulation Model File 配置为 True，Place output register to IOB 配置为 False，其余选项采用默认配置。

图 3-26 布局布线选项配置

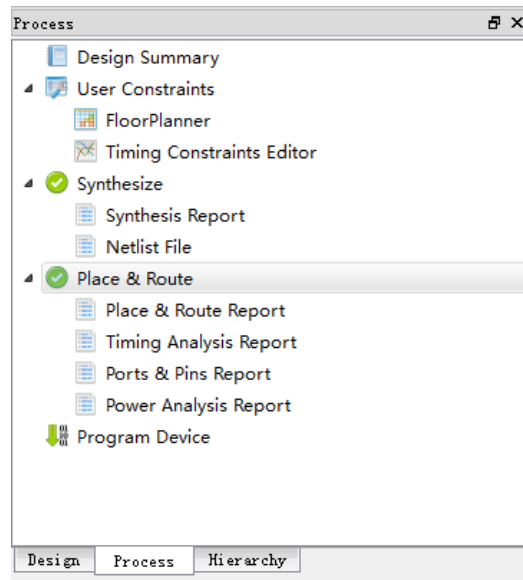


3.8.2 运行 PnR

完成布局布线选项配置之后，即可进行布局布线。

双击 **Process** 窗口中的 **Place & Route**，开始进行布局布线，布局布线时会根据物理约束进行布局布线，根据时序约束进行时序分析，根据 **GAO** 配置进行 **GAO** 的布局布线，根据功耗分析配置进行功耗分析。布局布线完成后，如图 3-27 所示，**Place & Route** 前面的图标变为“✔”。

图 3-27 布局布线完成



布局布线完成后，在工程创建路径\impl 下生成 pnr 文件夹，如图 3-28 所示，该文件夹包含布局布线过程生成的所有文件，包括码流文件、布局布线后网表文件及输出报告等。其中，布局布线报告、端口属性报告、时序报告和功耗分析报告的详细信息参考 3.12 输出文件。

图 3-28 PnR 目录

Name	Date modified	Type	Size
ao_0.fs	5/31/2022 15:51	FS File	1,732 KB
cmd.do	5/31/2022 15:51	DO File	1 KB
device.cfg	5/31/2022 15:51	CFG File	1 KB
FIFO_HS.db	5/31/2022 15:51	Data Base File	43 KB
FIFO_HS.log	5/31/2022 15:51	LOG File	2 KB
FIFO_HS.pin.html	5/31/2022 15:51	360 se HTML Doc...	35 KB
FIFO_HS.posp	5/31/2022 15:51	POSP File	1 KB
FIFO_HS.power.html	5/31/2022 15:51	360 se HTML Doc...	8 KB
FIFO_HS.rpt.html	5/31/2022 15:51	360 se HTML Doc...	40 KB
FIFO_HS.rpt.txt	5/31/2022 15:51	TXT File	29 KB
FIFO_HS.sdf	5/31/2022 15:51	SDF File	2,321 KB
FIFO_HS.timing_paths	5/31/2022 15:51	TIMING_PATHS File	32 KB
FIFO_HS.tr.html	5/31/2022 15:51	360 se HTML Doc...	1 KB
FIFO_HS.vo	5/31/2022 15:51	VO File	561 KB
FIFO_HS_tr_cata.html	5/31/2022 15:51	360 se HTML Doc...	8 KB
FIFO_HS_tr_content.html	5/31/2022 15:51	360 se HTML Doc...	844 KB

如果工程中包含 GAO 配置文件，布局布线完成后，在工程创建路径 \impl 下生成 gao 文件夹，如图 3-29 所示：

- ao_0 包含功能内核的参数文件；
- ao_control 包含控制内核的参数文件；
- gao.v 为 GAO 综合后网表文件，其为加密形式；
- gw_gao_top.v 为 GAO 的顶层文件，将 ao、ao_control 和 jtag 模块连接；
- 其余文件为 GAO 综合时产生的文件。

图 3-29 gao 目录

Name	Date modified	Type	Size
ao_0	5/31/2022 15:54	File folder	
ao_control	5/31/2022 15:54	File folder	
gao.v	5/20/2022 16:39	V File	222 KB
gao_std.prj	5/20/2022 16:39	PRJ File	2 KB
gw_gao_top.v	5/20/2022 16:39	V File	6 KB

3.9 时序优化

完成布局布线之后，可以通过 FloorPlanner 修改物理约束或关键路径，帮助用户实现时序收敛，从而达到优化时序的目的。该工具的详细使用方法请参考 [SUG935, Gowin 设计物理约束指南](#)。

使用 FloorPlanner 进行时序优化，需要布局信息文件和时序路径信息文件，这两个文件在布局布线阶段会自动产生。

3.9.1 时序分析

布局布线之后，会生成时序报告，通过查看时序报告，可以查看时序是否满足设计需求。如果最大频率不满足设计需求，可通过 FloorPlanner 进行时序优化。

3.9.2 调整关键路径

启动 FloorPlanner，会自动加载布局信息文件和时序路径信息文件，加载完成后，Netlist 窗口 Timing Path 的 Setup 和 Hold 显示如图 3-30 所示。将 Chip Array 窗口修改为 Show Place View > All Instance，即可高亮某条路径，如图 3-31 所示。

图 3-30 时序路径显示

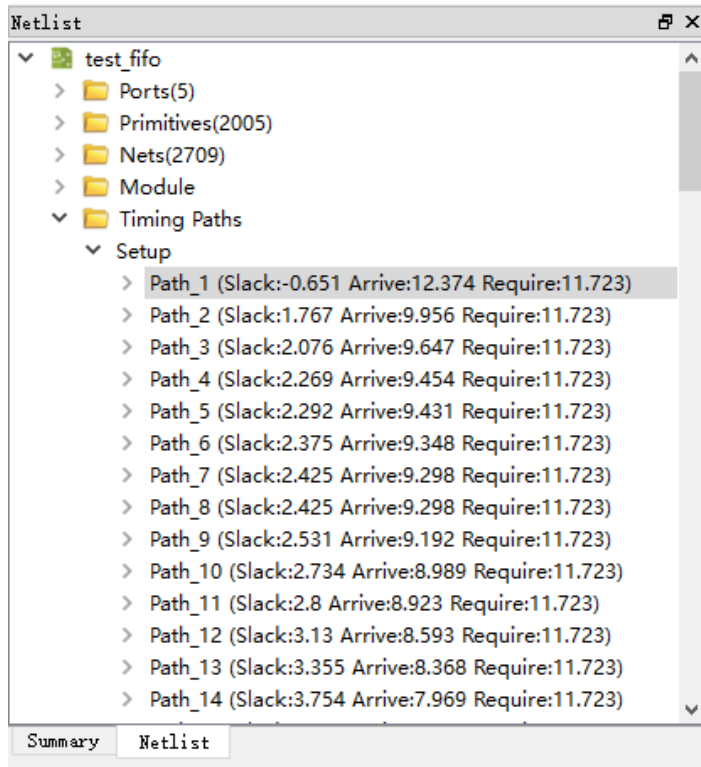
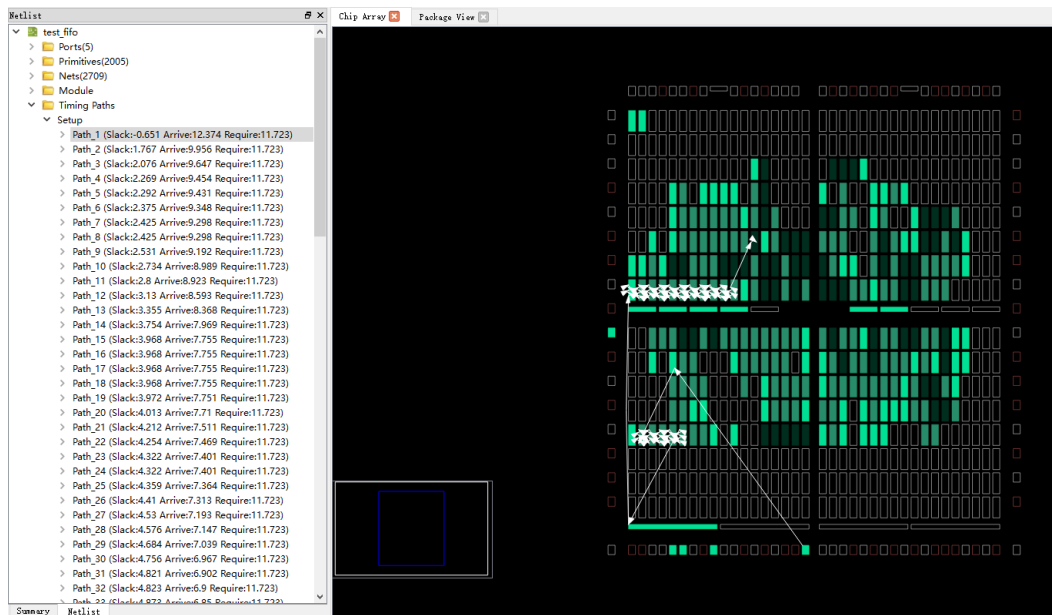
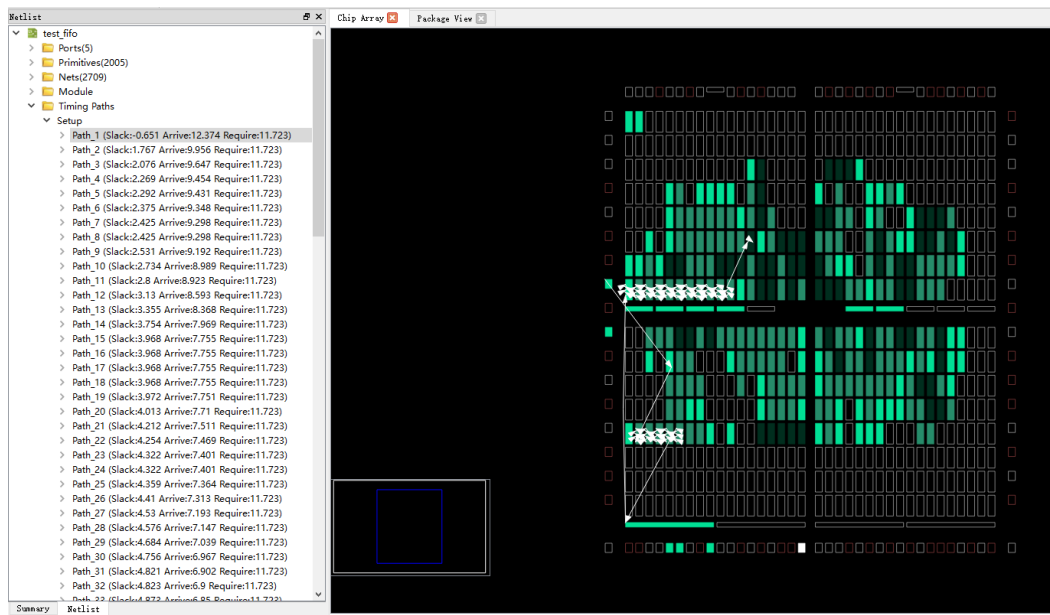


图 3-31 路径高亮显示



调整后的路径如图 3-32 所示，调整完成后，单击工具栏的“Save”，即可完成约束修改，重新运行布局布线，查看最大频率是否满足设计需求。经此调整后，如果最大频率仍不满足设计需求，可继续进行时序优化。

图 3-32 调整后路径显示

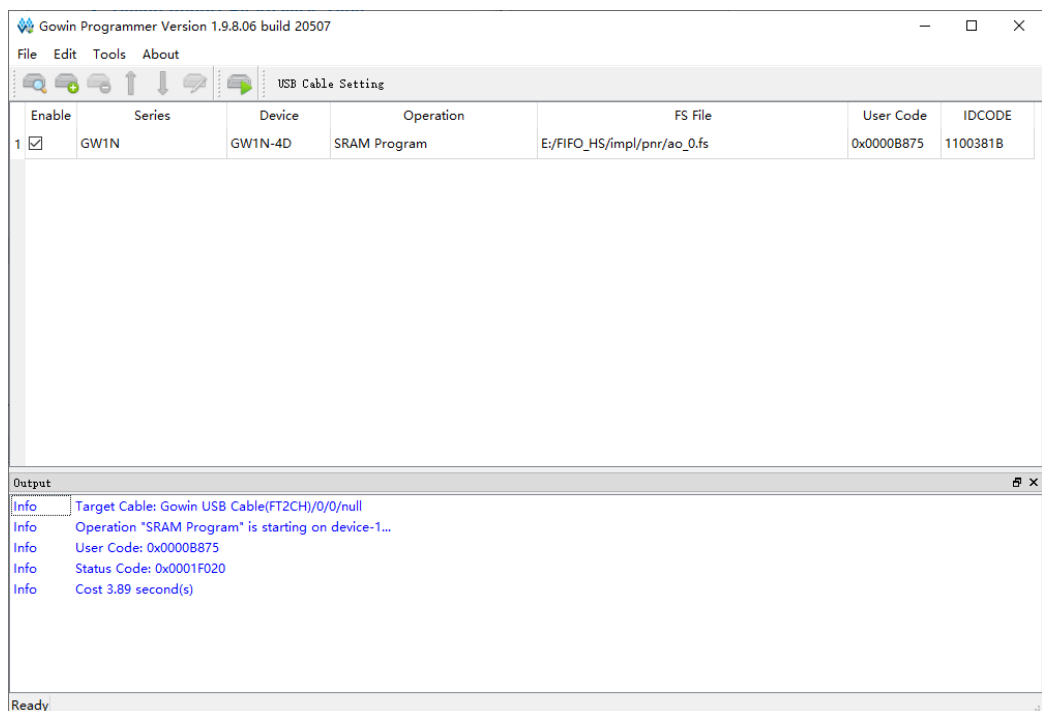


3.10 码流下载

通过时序优化调整布局使得设计满足时序需求之后，重新布局布线，生成码流文件，通过 Programmer 进行码流下载，验证设计的正确性。该工具的详细使用方法请参考 [SUG502, Gowin Programmer 用户指南](#)。

选择“Process > Program Device”，打开 Programmer，该工具自动识别加载该工程的码流文件。开发板准备就绪之后，单击工具栏的 Program/Configure 图标，即可下载码流到开发板，码流下载完成之后，如图 3-33 所示。

图 3-33 Programmer 界面

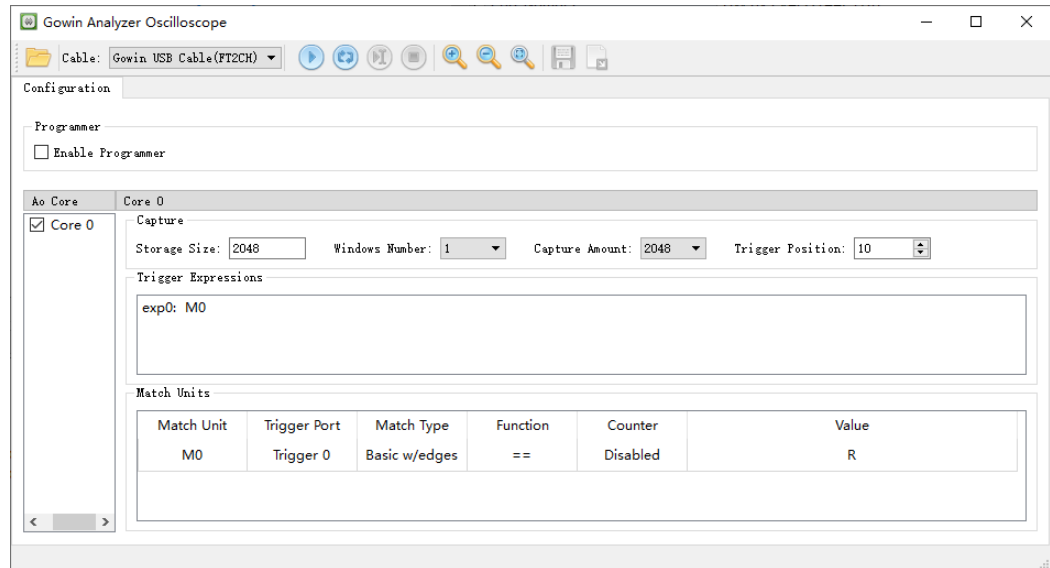


3.11 GAO 采集数据

完成码流下载之后，可以通过 GAO 验证设计的正确性，GAO 的详细信息使用方法请参考 [SUG114, Gowin 在线逻辑分析仪用户指南](#)。

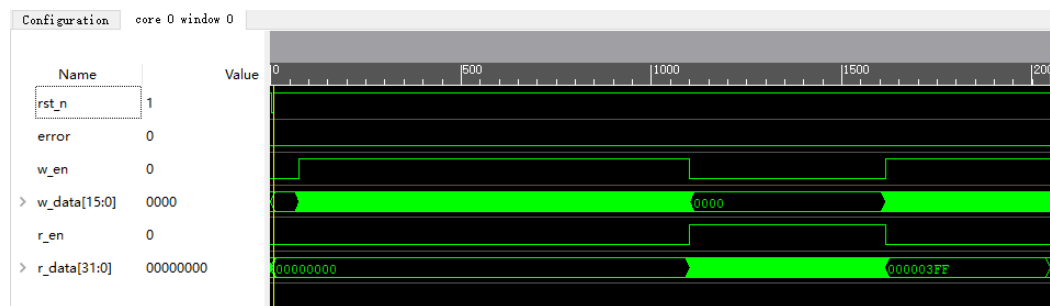
单击云源工具栏的 Gowin Analyzer Oscilloscope 图标，打开 GAO 显示界面，该工具自动识别加载该工程的 GAO 配置文件，如图 3-34 所示。

图 3-34 GAO 显示界面



单击 GAO 显示界面的 Start 图标，开始采集数据，采集完成之后，GAO 显示界面生成 windows 窗口用于显示波形，如图 3-35 所示，该窗口支持游标标记位置信息、波形放大缩小等操作，方便用户分析数据的正确性。

图 3-35 GAO 波形显示



3.12 输出文件

3.12.1 布局布线报告

布局布线报告，列出了用户设计占用的器件资源信息、内存消耗信息、时间消耗信息等，方便用户了解设计的大小及与目标器件是否匹配等内容。文件扩展名为.rpt.html，具体信息可查看*.rpt.html文件。

用户可在 Process 窗口中的 Place & Route 区，双击“Place & Route Report”，打开布局布线报告，如图 3-36 所示。

有关布局布线报告的详细信息，请参考 [SUG100, Gowin 云源软件用户指南](#)。

图 3-36 布局布线报告

PnR Details

Running placement:
 Placement Phase 0: CPU time = 0h 0m 0.203s, Elapsed time = 0h 0m 0.198s
 Placement Phase 1: CPU time = 0h 0m 0.11s, Elapsed time = 0h 0m 0.107s
 Placement Phase 2: CPU time = 0h 0m 0.218s, Elapsed time = 0h 0m 0.218s
 Placement Phase 3: CPU time = 0h 0m 1s, Elapsed time = 0h 0m 1s
 Total Placement: CPU time = 0h 0m 2s, Elapsed time = 0h 0m 2s

Running routing:
 Routing Phase 0: CPU time = 0h 0m 0s, Elapsed time = 0h 0m 0.001s
 Routing Phase 1: CPU time = 0h 0m 0.962s, Elapsed time = 0h 0m 0.961s
 Routing Phase 2: CPU time = 0h 0m 0.64s, Elapsed time = 0h 0m 0.648s
 Total Routing: CPU time = 0h 0m 0.703s, Elapsed time = 0h 0m 0.71s

Generate output files:
 CPU time = 0h 0m 0.875s, Elapsed time = 0h 0m 0.864s

Total Time and Memory Usage: CPU time = 0h 0m 3s, Elapsed time = 0h 0m 3s, Peak memory usage = 232MB

Resource Usage Summary:

Resource	Usage	Utilization
Logic	1341/4008	29%
--LUT,ALU,ROM16	1341(1084 LUT, 257 ALU, 0 ROM16)	-
--SRAM(RAM16)	0	-
Register	822/3756	21%
--Logic Register as Latch	1/3456	1%
--Logic Register as FF	821/3456	23%
--I/O Register as Latch	0/300	0%
--I/O Register as FF	0/300	0%
CLS	929/2304	40%
I/O Port	9	-

Resource

3.12.2 端口属性报告

端口属性报告，是在布局之后输出的端口属性的文件，包括端口的类型、属性及端口位置信息等，生成的文件扩展名为.pin.html，具体信息可查看*.pin.html文件。

用户可在 Process 窗口中的 Place & Route 区，双击“Ports & Pins Report”，打开端口属性报告，如图 3-37 所示。

有关端口属性报告的详细信息，请参考 [SUG100, Gowin 云源软件用户指南](#)。

图 3-37 端口属性报告

Pinout by Port Name:

Port Name	Diff Pair	Loc./Bank	Constraint	Dir.	Site	IO Type	Drive	Pull Mode	PCI Clamp	Hysteresis	Open Drain	Slew Rate	Vref	Single Re
clk		11/3	Y	in	IOL9[A]	LVCMS18	NA	UP	NA	NONE	NA	NA	NA	OFF
tms_pad_j		13/3	N	in	IOL10[A]	LVCMS18	NA	UP	NA	NONE	NA	NA	NA	OFF
tdk_pad_j		14/3	N	in	IOL10[B]	LVCMS18	NA	UP	NA	NONE	NA	NA	NA	OFF
tds_pad_j		16/3	N	in	IOL10[D]	LVCMS18	NA	UP	NA	NONE	NA	NA	NA	OFF
rst_n		40/2	Y	out	IOB7[A]	LVCMS18	8	UP	NA	NA	OFF	FAST	NA	NA
error		26/3	Y	out	IOL11[B]	LVCMS18	8	UP	NA	NA	OFF	FAST	NA	NA
w_en		45/2	Y	out	IOB10[B]	LVCMS18	8	UP	NA	NA	OFF	FAST	NA	NA
r_en		38/2	Y	out	IOB6[A]	LVCMS18	8	UP	NA	NA	OFF	FAST	NA	NA
tds_pad_o		18/3	N	out	IOL10[E]	LVCMS18	8	UP	NA	NA	OFF	FAST	NA	OFF

All Package Pins:

Loc./Bank	Signal	Dir.	Site	IO Type	Drive	Pull Mode	PCI Clamp	Hysteresis	Open Drain	Slew Rate	Vref	Single Resistor	Diff Resistor
144/0	-	in	IOT2[B]	LVCMS18	NA	UP	NA	NONE	NA	NA	NA	NA	NA
143/0	-	in	IOT3[B]	LVCMS18	NA	UP	NA	NONE	NA	NA	NA	NA	NA
142/0	-	in	IOT4[A]	LVCMS18	NA	UP	NA	NONE	NA	NA	NA	NA	NA
141/0	-	in	IOT4[B]	LVCMS18	NA	UP	NA	NONE	NA	NA	NA	NA	NA
140/0	-	in	IOT6[A]	LVCMS18	NA	UP	NA	NONE	NA	NA	NA	NA	NA
139/0	-	in	IOT6[B]	LVCMS18	NA	UP	NA	NONE	NA	NA	NA	NA	NA
138/0	-	in	IOT7[A]	LVCMS18	NA	UP	NA	NONE	NA	NA	NA	NA	NA
137/0	-	in	IOT7[B]	LVCMS18	NA	UP	NA	NONE	NA	NA	NA	NA	NA
136/0	-	in	IOT9[A]	LVCMS18	NA	UP	NA	NONE	NA	NA	NA	NA	NA
135/0	-	in	IOT9[B]	LVCMS18	NA	UP	NA	NONE	NA	NA	NA	NA	NA

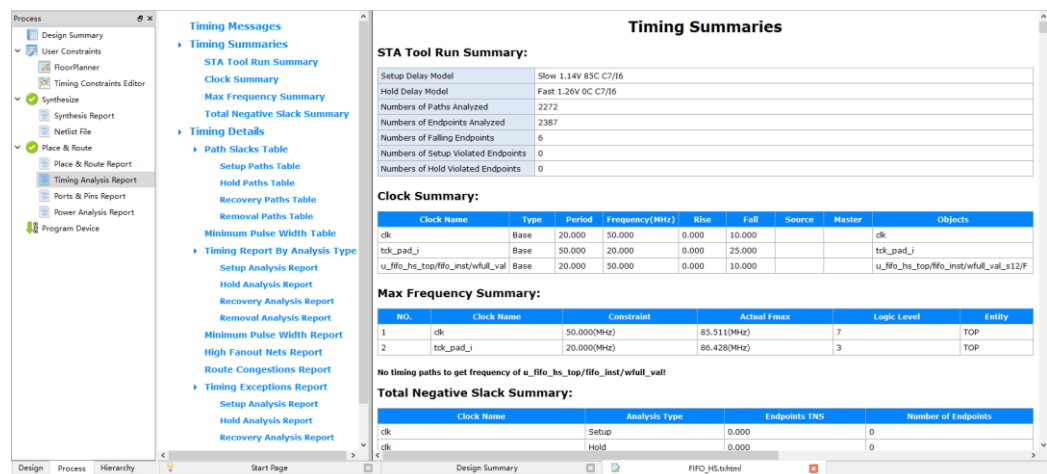
3.12.3 时序报告

时序报告包括建立时间检查、保持时间检查、恢复时间检查、移除时间检查、最小时钟脉冲检查、最大扇出路径、布线拥塞度报告等部分，默认情况下对上述所有检查进行报告，并提供最大频率的报告。

用户可在 Process 窗口中的 Place & Route 区，双击“Timing Analysis Report”，打开时序报告，如图 3-38 所示。

有关时序报告的详细信息，请参考 [SUG940, Gowin 设计时序约束指南](#)。

图 3-38 时序报告



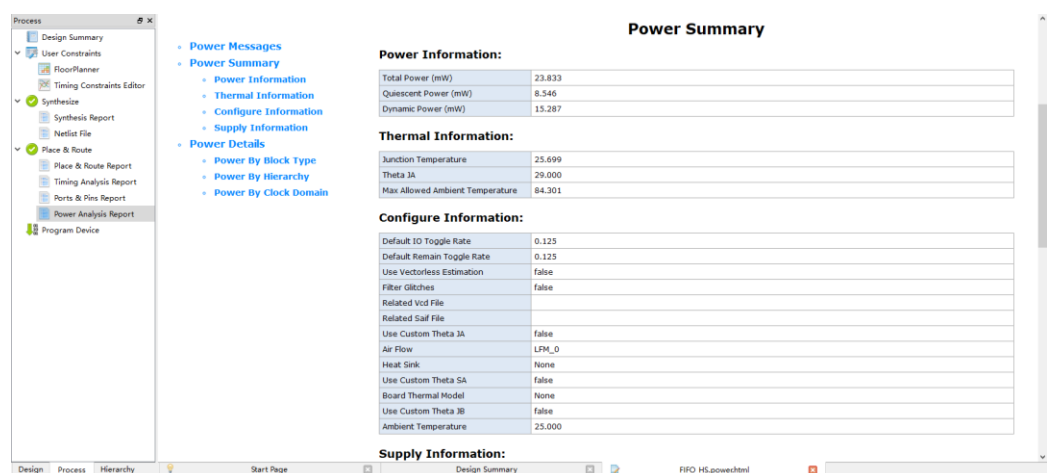
3.12.4 功耗分析报告

功耗分析报告主要是针对用户设计，根据器件的特性做一个预估的功耗计算，帮助用户评估设计的基本功耗值。

用户可在 Process 窗口中的 Place & Route 区，双击“Power Analysis Report”，可打开功耗分析报告，如图 3-39 所示。

有关功耗分析报告的详细信息，请参考 [SUG282, Gowin 功耗分析工具用户指南](#)。

图 3-39 功耗分析报告

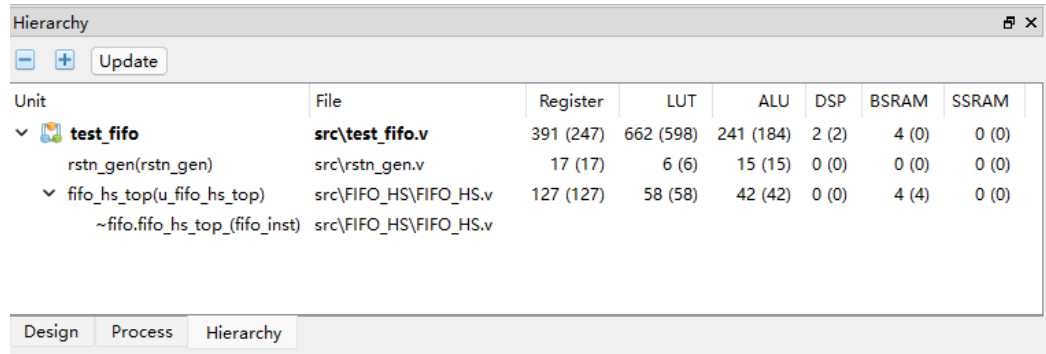


3.13 文件加密

3.13.1 源文件加密

当用户需要加密保护源文件时，可以在建立工程后，通过 Hierarchy 窗口对所选 module 及其 sub module 进行加密，如图 3-40 所示。其详细使用方法请参考 [SUG100, Gowin 云源软件用户指南](#)。

图 3-40 Hierarchy 信息显示

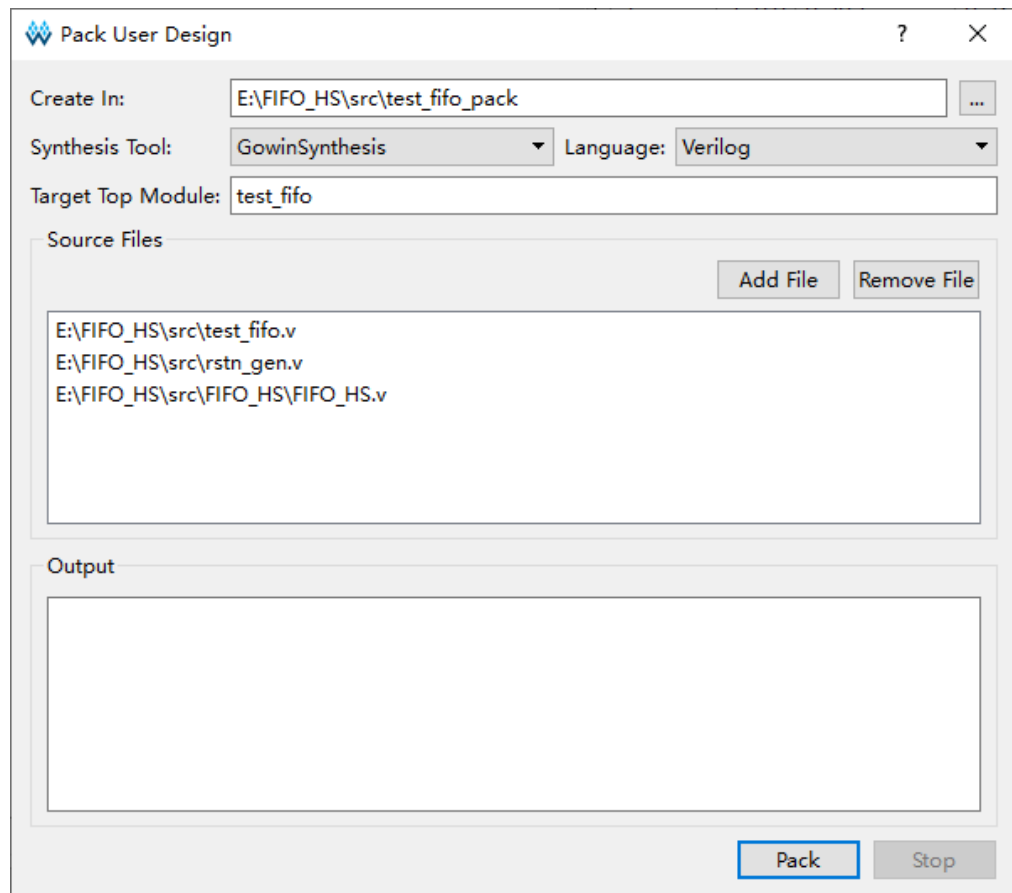


Unit	File	Register	LUT	ALU	DSP	BSRAM	SSRAM
test_fifo	src\test_fifo.v	391 (247)	662 (598)	241 (184)	2 (2)	4 (0)	0 (0)
rstn_gen(rstn_gen)	src\rstn_gen.v	17 (17)	6 (6)	15 (15)	0 (0)	0 (0)	0 (0)
fifo_hs_top(u_fifo_hs_top)	src\FIFO_HS\FIFO_HS.v	127 (127)	58 (58)	42 (42)	0 (0)	4 (4)	0 (0)
~fifo.fifo_hs_top(fifo_inst)	src\FIFO_HS\FIFO_HS.v						

以 module test_fifo 为例介绍文件加密方法。

在 Hierarchy 窗口中右键单击 test_fifo，选择右键列表中的“Pack User Design”，打开 Pack User Design 对话框，如图 3-41 所示。

图 3-41 Pack User Design 对话框



Create In: E:\FIFO_HS\src\test_fifo_pack
 Synthesis Tool: GowinSynthesis Language: Verilog
 Target Top Module: test_fifo

Source Files

E:\FIFO_HS\src\test_fifo.v
 E:\FIFO_HS\src\rstn_gen.v
 E:\FIFO_HS\src\FIFO_HS\FIFO_HS.v

Output

Pack Stop

选择 module 为 test_fifo，点击“Pack”开始执行加密，开始加密及加密成功后会在 Output 窗口打印相关信息。

加密完成后在目标路径（E:\FIFO_HS\src\test_fifo_pack）下生成两个文件：test_fifo_gowin.vp 和 test_fifo_sim.v。

- test_fifo_gowin.vp 为加密文件，可提供给他人使用；
- test_fifo_sim.v 是打平的综合后明文网表文件，可以用于仿真。

3.13.2 仿真文件加密

云源提供的仿真文件是明文格式，为了进一步保护仿真文件，可将仿真文件使用第三方仿真软件进行加密，使用第三方仿真软件需获取该工具许可证。以 Modelsim 和 VCS 仿真工具对 test_fifo_sim.v 加密为例进行介绍。

Modelsim 仿真工具加密

使用 Modelsim 仿真时，将仿真文件进行加密，可通过以下步骤：

1. 在仿真文件 test_fifo_sim.v 中需要加密的内容前后分别添加宏定义 `protect 和 `endprotect;
2. 运行命令：vlog +protect test_fifo_sim.v;
3. 执行完命令，会在 work 库生成 test_fifo_sim.vp，该文件为 test_fifo_sim.v 加密后文件，可用于 Modelsim 仿真。

VCS 仿真工具加密

使用 VCS 仿真时，将仿真文件进行加密，可通过以下步骤：

1. 在仿真文件 test_fifo_sim.v 中需要加密的内容前后分别添加宏定义 `protect128 和 `endprotect128;
2. 运行命令：vcs +v2k -protect128 test_fifo_sim.v;
3. 执行完命令，会在当前路径下生成 test_fifo_sim.vp，该文件为 test_fifo_sim.v 加密后文件，可用于 VCS 仿真。

4 Tcl 命令使用

前面介绍采用界面操作实现整个设计流程的方式，云源还提供了 tcl 命令实现一些设置和流程，以 FIFO HS 设计为例介绍在 Windows 版本下的 tcl 命令的使用，tcl 命令的详细介绍请参考 [SUG100, Gowin 云源软件用户指南](#) 的第 8 章 TCL 命令说明。

4.1 Tcl 命令执行方式

4.1.1 Tcl 命令编辑窗口执行

在 Console 窗口的最下方是 tcl 命令编辑窗口，可以在窗口中输入 tcl 命令后通过回车键来执行相关命令，如图 4-1 所示。

图 4-1 Tcl 命令编辑窗口

```
Generate file "E:\FIFO_HS\impl\pnr\FIFO_HS.power.html" completed
Generate file "E:\FIFO_HS\impl\pnr\FIFO_HS.pin.html" completed
Generate file "E:\FIFO_HS\impl\pnr\FIFO_HS.rpt.html" completed
Generate file "E:\FIFO_HS\impl\pnr\FIFO_HS.rpt.txt" completed
Generate file "E:\FIFO_HS\impl\pnr\FIFO_HS.sdf" completed
Generate file "E:\FIFO_HS\impl\pnr\FIFO_HS.vo" completed
Generate file "E:\FIFO_HS\impl\pnr\FIFO_HS.tr.html" completed
Generate file "E:\FIFO_HS\impl\pnr\FIFO_HS.posp" completed
Fri May 06 09:20:08 2022
```

```
% run pnr|
```

Console Message

4.1.2 Tcl 命令行执行

启动命令：安装目录下\x.x\IDE\bin\gw_sh.exe [script file]

方式一：直接使用 gw_sh.exe 回车启动命令行模式。该模式下执行方式与 tcl 命令编辑窗口执行方式一致，逐条执行 tcl 命令，如图 4-2 所示。

图 4-2 Tcl 命令行模式

```
*** GOWIN Tcl Command Line Console ***
% add_file -type verilog "E:/FIFO_HS/src/test_fifo.v"
add new file: "E:/FIFO_HS/src/test_fifo.v"
% add_file -type verilog "E:/FIFO_HS/src/FIFO_HS/FIFO_HS.v"
add new file: "E:/FIFO_HS/src/FIFO_HS/FIFO_HS.v"
%
```

方式二：使用 `gw_sh.exe [script file]` 执行脚本文件。tcl 脚本文件可包含器件信息、设计文件、流程选项及运行流程信息等所有可支持的 tcl 命令，tcl 脚本文件内容如图 4-3 所示。tcl 脚本文件可通过手写或 `saveto` 命令生成，但 `saveto` 命令生成 tcl 脚本时不包含运行流程命令 `run`，如有需要，可自行添加 `run` 命令。

图 4-3 Tcl 脚本文件

```
1 add_file -type verilog "E:/FIFO_HS/src/FIFO_HS/FIFO_HS.v"
2 add_file -type verilog "E:/FIFO_HS/src/rstn_gen.v"
3 add_file -type verilog "E:/FIFO_HS/src/test_fifo.v"
4 add_file -type cst "E:/FIFO_HS/src/FIFO_HS.cst"
5 add_file -type sdc "E:/FIFO_HS/src/FIFO_HS.sdc"
6 add_file -type gao "E:/FIFO_HS/src/FIFO_HS.rao"
7 add_file -type gpa "E:/FIFO_HS/src/FIFO_HS.gpa"
8 set_device GW1N-LV4LQ144C7/I6 -device_version D
9 set_option -synthesis_tool gowinsynthesis
10 set_option -output_base_name FIFO_HS
11 set_option -top_module test_fifo
12 set_option -verilog_std sysv2017
13 set_option -gen_sdf 1
14 set_option -gen_posp 1
15 set_option -gen_verilog_sim_netlist 1
16 set_option -oreg_in_iob 0
17 set_option -bit_format txt
18 run all
```

4.2 Tcl 命令快速入门

`gw_sh.exe` 回车命令行模式和 tcl 命令编辑窗口中对 tcl 命令使用相同，以 tcl 命令编辑窗口为例介绍 tcl 命令使用。

4.2.1 rm_file

`rm_file` 用于移除设计文件。为介绍该命令的使用，将工程中功能设计文件 `rstn_gen.v` 和 `test_fifo.v` 移除该工程，用 tcl 命令实现如下：

同时移除 `rstn_gen.v` 和 `test_fifo.v`

```
rm_file src/rstn_gen.v src/test_fifo.v
```

执行完该命令，console 窗口会显示移除文件的提示信息，两个文件不显示在 Design 窗口。

4.2.2 add_file

`add_file` 用于添加设计文件。为介绍该命令的使用，将被移除的功能设计文件 `rstn_gen.v` 和 `test_fifo.v` 重新添加到工程，用 tcl 命令实现如下：

同时添加 `rstn_gen.v` 和 `test_fifo.v`

```
add_file src/rstn_gen.v src/test_fifo.v
```

执行完该命令，console 窗口会显示添加文件的提示信息，两个文件显示在 Design 窗口。

4.2.3 set_file_enable

`set_file_enable` 用于设置文件是否可以被使用。为介绍该命令的使用，先将设计中的 `test_fifo.v` 修改为 `disable` 状态，然后再将其改为 `enable` 状态，用 `tcl` 命令实现如下：

将 `test_fifo.v` 修改为 `disable` 状态

```
set_file_enable src/test_fifo.v false
```

执行完该命令后，`console` 窗口会显示 `disable` 文件的提示信息，`Design` 窗口 `test_fifo.v` 文件被置灰。

将 `test_fifo.v` 修改为 `enable` 状态

```
set_file_enable src/test_fifo.v true
```

执行完该命令后，`console` 窗口会显示 `enable` 文件的提示信息，`Design` 窗口 `test_fifo.v` 文件显示为可用状态。

4.2.4 set_option

`set_option` 用于设置工程相关的选项配置。本设计中的综合和布局布线的选项配置，用 `tcl` 命令实现如下：

- 综合工具选择 `GowinSynthesis`

```
set_option -synthesis_tool gowinsynthesis
```
- TOP Module/Entity 设为 `test_fifo`

```
set_option -top_module test_fifo
```
- Generate SDF File 配置为 `True`

```
set_option -gen_sdf 1
```
- Generate Post-Place File 配置为 `True`

```
set_option -gen_posp 1
```
- Generate Post-PNR Verilog Simulation Model File 配置为 `True`

```
set_option -gen_verilog_sim_netlist 1
```
- Place output register to IOB 配置为 `False`

```
set_option -oreg_in_job 0
```

4.2.5 run

run 用于运行全部流程或某个流程。本设计执行综合和布局布线流程，用 **tcl** 命令实现如下：

- 执行综合

```
run syn
```

- 执行布局布线

```
run pnr
```

4.2.6 set_device

set_device 可用于设置目标器件。将本设计移植到 GW1N-9 (C 版本)，GW1N-LV9PG256C6/I5，用 **tcl** 命令实现如下：

将目标器件修改为 GW1N-9 (C 版本)，GW1N-LV9PG256C6/I5

```
set_device GW1N-LV9PG256C6/I5 -device_version C
```

执行完该命令，在 **console** 窗口会显示当前的器件信息。

4.2.7 saveto

saveto 用于将当前工程设计数据保存到 **tcl** 脚本，包括当前的器件信息、设计文件和选项配置等信息，但不包含运行流程信息。将本设计的数据保存为 **fifo_hs.tcl**，可供之后用命令行模式 **gw_sh.exe fifo_hs.tcl** 运行，用 **tcl** 命令实现如下：

将当前工程设计数据保存到 **fifo_hs.tcl**

```
saveto fifo_hs.tcl
```

执行完该命令，会在工程文件所在路径生成 **fifo_hs.tcl** 文件。

