

# 基于高云半导体 FPGA 的 MIPI 接口匹配方案

移动产业处理器接口(MIPI)是一种手机模块间互联的通用标准, MIPI 协议的物理层定义了 MIPI D-PHY 规范, 主要包括图像传感器接口(CSI)和显示屏接口(DSI)。

图 1 定义 MIPI DPHY 的电气特性, MIPI 标准主要有两种工作模式, 即高速(HS)模式和低功耗(LP)模式。

- 高速模式: 信号的电压摆幅较小, 大约在 200mV, 用于高速数据的传输。
- 低功耗模式: 电压摆幅较大, 达到了 1.2V, 用于传输控制信息。

图 1 MIPI DPHY 电气特性

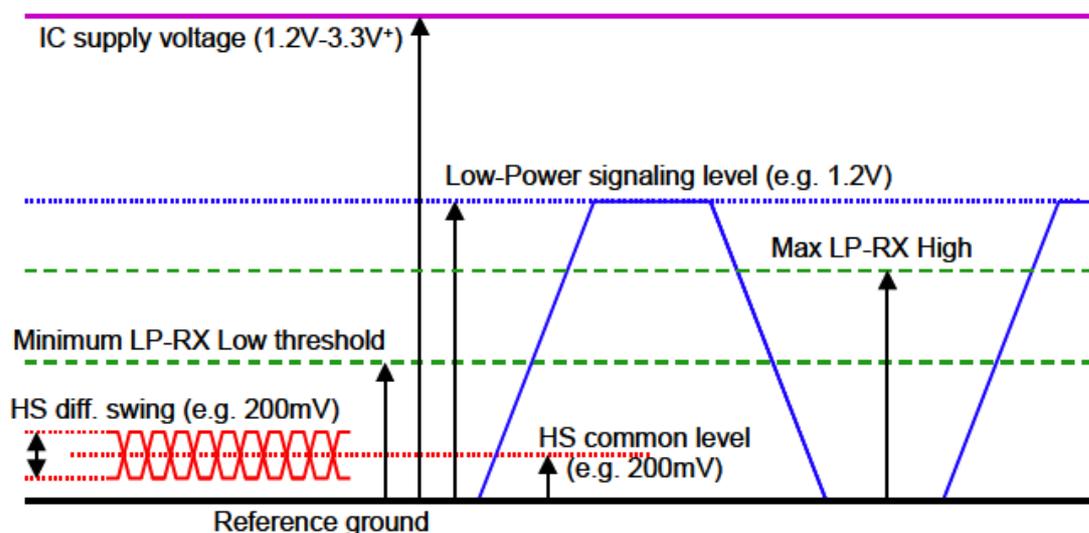


表 1~表 4 定义了 MIPI 在两种模式下发送侧和接收侧的直流参数，表 5 和表 6 定义了高云器件 LVCMOS12 和 LVDS25 两种电平标准的直流参数。通过对比可以发现，高云器件 LVCMOS12 可以满足低功耗模式的电气特性，而高云器件 LVDS25 加上合适的外部匹配网络可以兼容高速模式的电气特性。

**表 1 MIPI LP 发送模式直流参数**

Parameter	Description	Min	Nom	Max	Units	Notes
Voh	Thevenin output high level	1.1	1.2	1.3	V	
Vol	Thevenin output low level	-50		50	mV	
Zolp	Output impedance of LP transmitter	110			$\Omega$	

**表 2 MIPI HS 发送模式直流参数**

Parameter	Description	Min	Nom	Max	Units	Notes
Vcmtx	HS transmit static common mode voltage	150	200	250	mV	
$\Delta V_{cmtx}$	Vcmtx mismatch when output is Diff-1 or Diff-0			5	mV	
Vod	HS transmit differential voltage	140	200	270	mV	
$\Delta V_{od}$	Vod mismatch when output is Diff-1 or Diff-0			10	mV	
Vohhs	HS output high voltage			360	mV	
Zos	Single-ended output impedance	40	50	62.5	$\Omega$	
$\Delta Z_{os}$	Single-ended output impedance mismatch			10	%	

**表 3 MIPI LP 接收模式直流参数**

Parameter	Description	Min	Nom	Max	Units	Notes
Vih	Logic 1 input voltage	880			mV	
Vil	Logic 0 input voltage, not in ULP state			550	mV	
Vil-ulps	Logic 0 input voltage, ULP state			300	mV	
Vhyst	Input hysteresis	25				

**表 4 MIPI HS 接收模式直流参数**

Parameter	Description	Min	Nom	Max	Units	Notes
Vcmrx	Common mode voltage HS receive mode	70		330	mV	
Vidth	Differential input high threshold			70	mV	
Vidtl	Differential input low threshold	-70			mV	
Vihhs	Single-ended input high voltage			460	mV	
Vilhs	Single-ended input low voltage	-40			mV	
Vterm-en	Single-ended threshold for HS termination enable			450	mV	
Zid	Differential input impedance	80	100	125	$\Omega$	

表 5 LVCMOS 直流参数

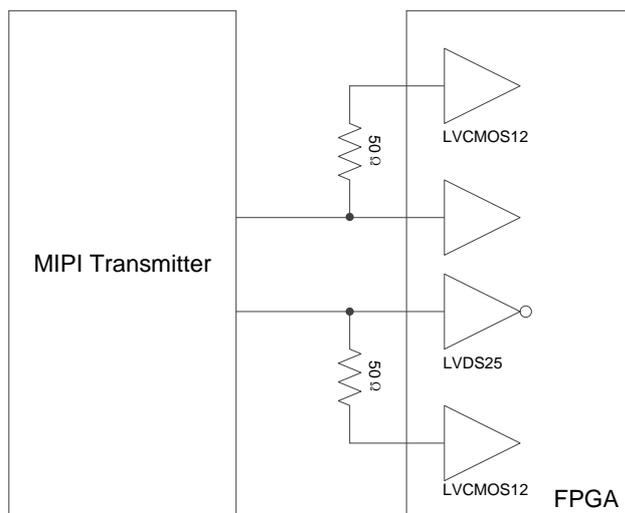
Parameter	Vil Max	Vil Min	Vih Max	Vih Min	Vol Max	Voh Min
LVCMOS12	0.42V	-0.3V	3.6V	0.78V	0.8V	0.4V

表 6 LVDS25 直流参数

Parameter	Description	Min	Nom	Max	Units	Notes
Vthd	Differential input threshold	+/-100			mV	
Vcm	Input common mode voltage	0.05		2	V	
Voh	Output high voltage		1.375		V	
Vol	Output low voltage		1.025		V	
Vod	Output voltage differential	250	350	450	mV	

当 FPGA 作为 MIPI 接收器件时，LVDS25 差分对的正端和负端分别串联 50Ω 到 LVCMOS12，高速模式下 LVCMOS12 固定输出 0，相当于 LVDS25 差分对的正端和负端端接了一个 100Ω 的电阻，如图 2 所示。

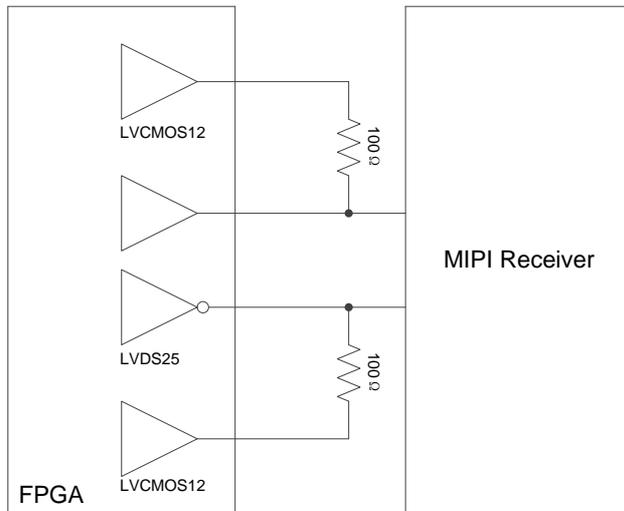
图 2 FPGA 作为接收器件匹配网络



当 FPGA 作为 MIPI 发送器件时，其电阻匹配网络如图 3 所示。100Ω 电阻和 LVDS25 输出 3.5mA 差分电流产生偏置电压，最终得到 0mV ~ 400mV 差分输出。

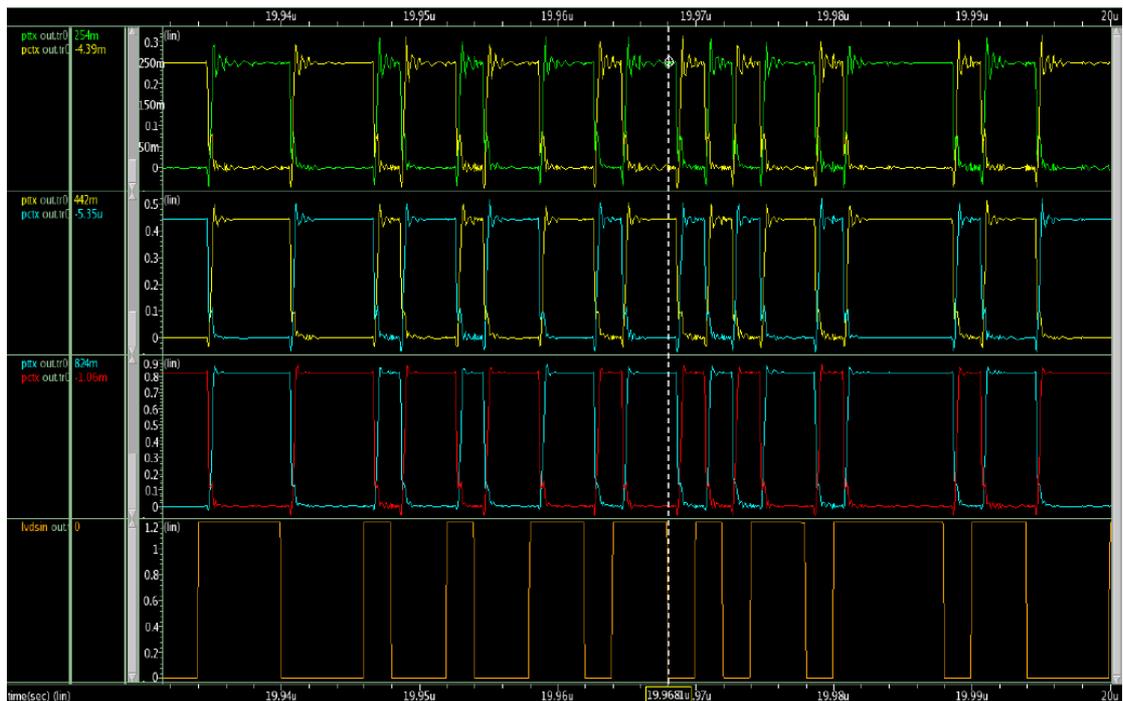
高速模式下，LVDS25 驱动输出，LVCMOS12 固定输出 0，低功耗模式下，LVDS25 处于高阻状态，LVCMOS12 驱动输出。这种方式的好处在于 100Ω 电阻同时起到了终端电阻的作用，对于保持高速信号的完整性有很大好处，因此电阻位置需要尽量靠近终端。

图 3 FPGA 作为发送器件匹配网络



在实际应用场合，信号的衰减与 PCB 密切相关，用户可以根据实际阻抗改变电阻值来匹配。图 4 是高速信号的摆幅随电阻值变化的仿真图。

图 4 高速信号摆幅和电阻值变化仿真图



## 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：<http://www.gowinsemi.com.cn/>

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: 00 86 0755 82620391

## 版本信息

日期	版本	说明
2016/09/26	1.00	初始版本。

## **版权所有© 2016 广东高云半导体科技股份有限公司**

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。