

Gowin FPGA 产品 Slave SPI 配置手册

Slave SPI 配置模式

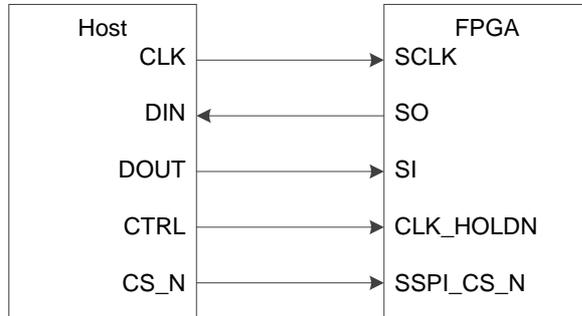
SSPI (Slave SPI) 配置模式，即 FPGA 作为从器件，由外部 Host 通过 SPI 接口对 GW1N 系列 FPGA 产品进行配置。

表 1 SSPI 配置模式管脚

管脚名称	I/O 类型	说明
RECONFIG_N	I,内部弱上拉	低电平脉冲：启动 GowinCONFIG 配置。
READY	O	高电平：当前可以对器件进行编程配置； 低电平：禁止对器件进行编程配置。
DONE	O	高电平：成功完成编程配置； 低电平：未完成编程配置或编程配置失败。
MODE[2:0]	I,内部弱上拉	MODE=001 表示 SSPI 配置模式，READY 上升沿采样。
SCLK	I	输入时钟
CLKHOLD_N	I,内部弱上拉	高电平：SCLK 对应的 SPI 操作有效； 低电平：SCLK 对应的 SPI 操作无效。
SO	O	输出数据。
SI	I	输入数据。
SSPI_CS_N	I,内部弱上拉	使能信号，低电平有效。

使用 SSPI 配置模式对 GW1N 系列 FPGA 产品配置的连接示意图如图 1 所示。

图 1 SSPI 配置模式连接示意图



注！

图 1 为 SSPI 配置模式的最小系统图，SSPI 模式 MODE 值为“001”。

图 2 SSPI 配置模式时序图

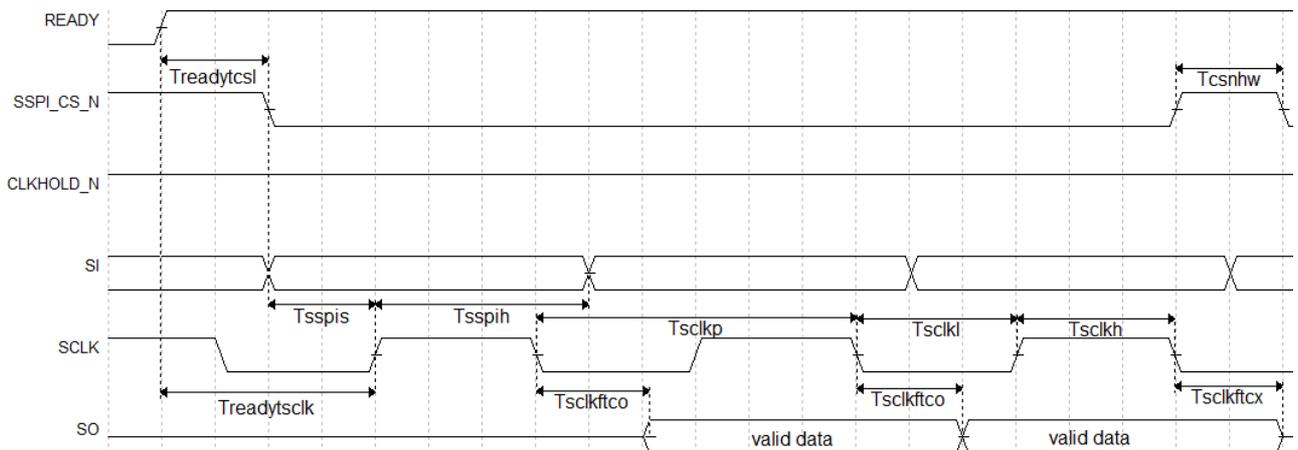


表 2 SSPI 配置模式时序参数

参数名称	参数含义	最小值	最大值
T_{sclkp}	SCLK 时钟周期(SCLK clock period)	15ns	-
T_{sclkh}	SCLK 时钟高电平时间(SCLK clock high time)	7.5ns	-
T_{sckl}	SCLK 时钟低电平时间(SCLK clock low time)	7.5ns	-
T_{sspis}	SSPI PORT 建立时间(SSPI PORT setup time)	2ns	-
T_{sspih}	SSPI PORT 保持时间(SSPI PORT hold time)	0ns	-
$T_{sclftco}$	SCLK 下降沿到数据输出时延(Time from SCLK falling edge to output)	-	10ns
$T_{sclftcx}$	SCLK 下降沿到输出高阻时延(Time from SCLK falling edge to high impedance)	-	10ns
T_{csnhw}	CSN 高电平脉冲宽度 (CSN high time)	25ns	-
$T_{readytcsi}$	READY 上升沿到 CSN 低电平时间(Time from READY rising edge to CSN low)	TBD	
$T_{readytsclk}$	READY 上升沿到第一个 SCLK 沿时间(Time from READY rising edge to first SCLK edge)	TBD	-

注！

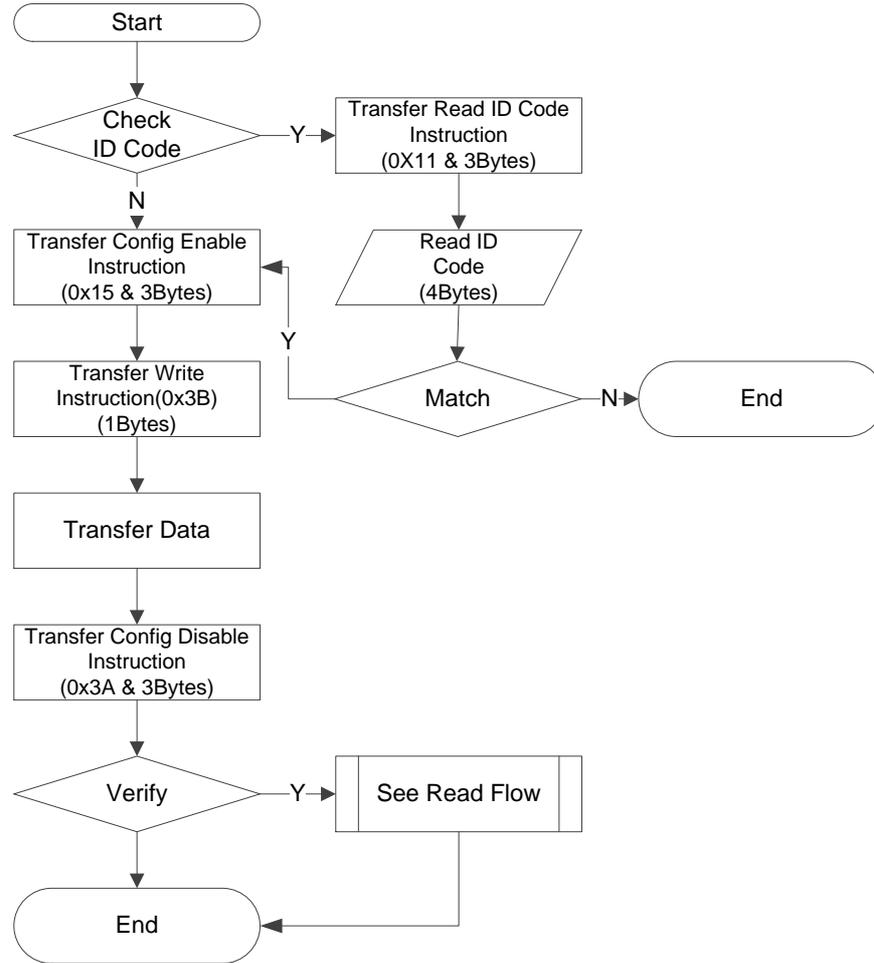
除满足上电要求外，SSPI 模式对 GW1N 系列 FPGA 产品进行配置，还需满足以下条件：

- SSPI 接口使能
RECONFIG_N 设为 “NON-RECOVERY” 状态；
- 启动新的配置
重新上电或低电平脉冲触发 RECONFIG_N 管脚。

配置流程

当 FPGA 属于 SlaveSPI 模式时，仅能通过 SPI 配置 SRAM 或者读取 SRAM 中 ID CODE\USER CODE\STATUS CODE 等信息，不能够配置 Flash 或外部存储设备。

图 3 SSPI 配置 FPGA SRAM 的流程示意图



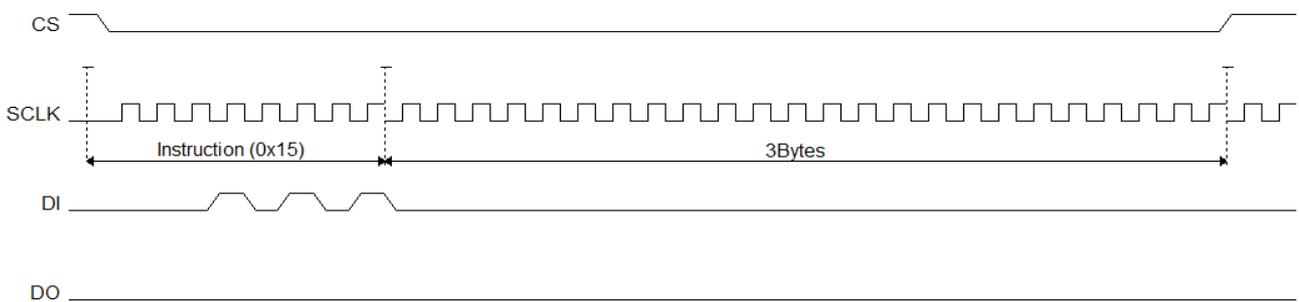
指令及时序

一个指令由 4 个字节组成，分别是 1 个指令类字节和 3 个信息类字节，没有指定信息字节的情况下，信息类字节可由 0x0 或 0xFF 代替。

Config Enable (0x15)

在配置 SRAM（写 Features）前，使用 Write Enable（0x15）指令进入设备编辑模式，使设备可以接受写数据 WriteData（0x3B）指令。

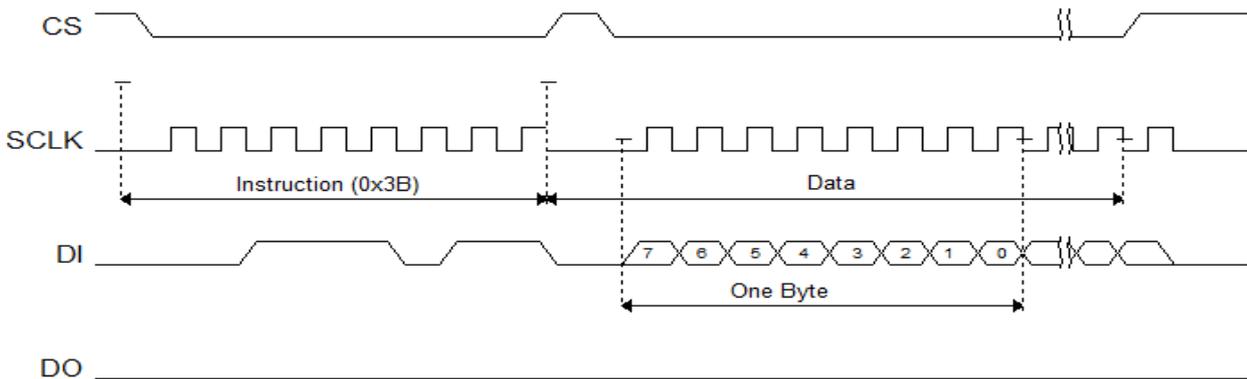
图 4 Write Enable（0x15）时序示意图



Write Data (0x3B)

通过使用 WriteData（0x3B）指令直接向 FPGA 设备发送 fs 文件。

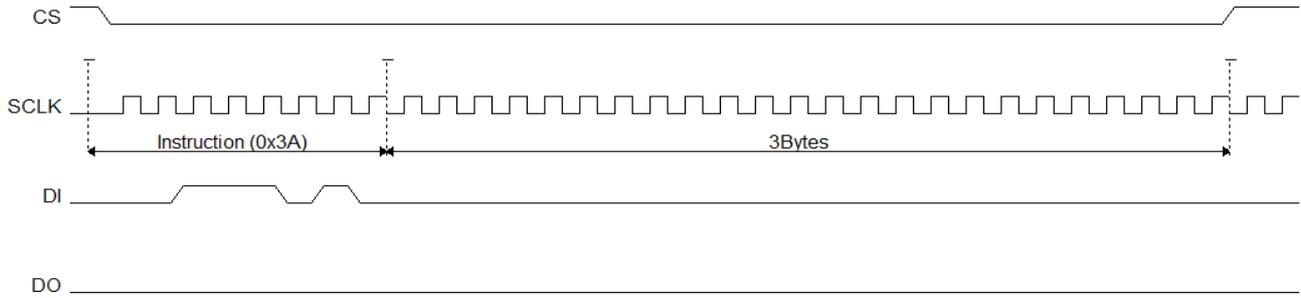
图 5 WriteData（0x3B）时序示意图



Config Disable (0x3A)

发送数据完成后，需使用 Write Disable 从编辑模式中退出。退出后可唤醒设备，使设备进入工作状态。

图 6 Config Disable (0x3A) 时序示意图



技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：<http://www.gowinsemi.com.cn>

E-mail：support@gowinsemi.com

Tel: 00 86 0755 82620391

版本信息

日期	版本	说明
2017/04/14	1.0	初始版本。
2017/12/06	1.1	更新 SSPI 配置 FPGA SRAM 的流程示意图，添加指令相关信息。

版权所有© 2017 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。