



Gowin LVDS 7:1 驱动屏控制器参考设计 用户指南

TN657-1.00,2017-07-10

版权所有© 2017 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2017/07/10	1.00	初始版本。

目录

目录	i
图目录	ii
表目录	iii
1 关于本手册	1
1.1 手册内容	1
1.2 适用产品	1
1.3 相关文档	1
1.4 术语、缩略语	1
1.5 技术支持与反馈	2
2 概述	3
2.1 LVDS7:1 驱动屏控制器介绍	3
3 特征与性能	4
3.1 主要特征	4
3.2 最大频率	4
3.3 资源利用	4
4 功能描述	5
4.1 功能描述	5
4.2 RGB 信号产生模块	5
4.3 LVDS 7:1 TX 模块	5
5 端口描述	7
5.1 LVDS7:1 驱动屏控制器框图	7
5.2 接口信号	7
6 时序说明	9
6.1 时序接口要求	9

图目录

图 2-1 LVDS7:1 驱动屏控制器结构示意图.....	3
图 4-1 RGB 信号产生模块功能框图.....	5
图 4-2 LVDS 7:1 TX 模块功能框图	6
图 5-1 LVDS7:1 驱动屏控制器接口框图	7
图 6-1 LVDS 7:1 驱动屏接口时序	9

表目录

表 1-1 术语、缩略语	1
表 3-1 LVDS7:1 驱动屏控制器参考设计的资源利用情况	4
表 5-1 LVDS7:1 驱动屏控制器的接口信号	7

1 关于本手册

1.1 手册内容

本手册主要对 LVDS7:1 驱动屏控制器参考设计进行介绍。用户手册主要内容包括功能特点、端口描述、时序说明等。主要用于帮助用户快速了解高云半导体 LVDS7:1 驱动屏控制器参考设计的特点及使用方法。

1.2 适用产品

本手册中描述的信息适用于以下产品：

GW2AR 系列 FPGA 产品：GW2AR-18

1.3 相关文档

通过登录高云半导体网站 <http://www.gowinsemi.com.cn> 可以下载、查看以下相关文档：

GW2AR 系列 FPGA 产品数据手册

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
LVDS	Low-Voltage Differential Signaling	低电压差分信号
I/O	Input/Output	输入/输出
PLL	Phase Locked Loop	锁相环

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：<http://www.gowinsemi.com.cn>

E-mail：support@gowinsemi.com

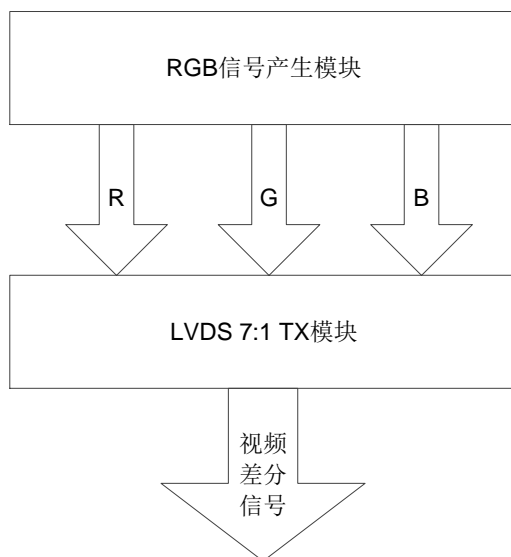
Tel: +86 755 8262 0391

2 概述

2.1 LVDS7:1 驱动屏控制器介绍

液晶驱动屏控制器作为液晶驱动电路的核心部件，为液晶显示系统提供时序信号和显示数据，是计算机与液晶显示系统之间的接口。LVDS7:1 驱动屏控制器参考设计中，接口采用低压差分信号（LVDS）I/O 标准，将产生的 RGB 信号转换成标准的视频差分信号。其结构示意图如图 2-1 所示。

图 2-1 LVDS7:1 驱动屏控制器结构示意图



3 特征与性能

3.1 主要特征

- 符合 LVDS 接口标准；
- 采用低电压差分信号；
- 可实现数据的高速率、低噪声、远距离、高准确度的传输。

3.2 最大频率

LVDS 7:1 驱动屏控制器参考设计的时序要求接口速率可达到 800Mbps。

3.3 资源利用

LVDS7:1 驱动屏控制器参考设计通过 Verilog 语言实现，应用于高云 GW2AR-18-LQFP144 系列的 FPGA，资源利用情况如表 3-1 所示。

表 3-1 LVDS7:1 驱动屏控制器参考设计的资源利用情况

封装信息	速度等级	器件名称	资源利用
GW2AR-18-L QFP144	-8	LUT	84
		ALU	23
		PLL	1
		CLKDIV	1
		REG	47

4 功能描述

4.1 功能描述

LVDS7:1 驱动屏控制器参考设计包含 2 个模块：

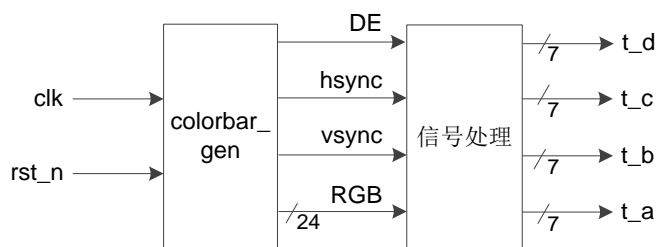
- RGB 信号产生模块
- LVDS 7:1 TX 模块

RGB 信号产生模块主要产生 24-bit RGB 信号、行场同步信号以及使能控制信号；LVDS 7:1 TX 模块将 4 路 7-bit LVDS 信号转换为可驱动液晶屏的 4 路串行信号。

4.2 RGB 信号产生模块

RGB 信号产生模块产生 24-bit RGB 信号、行场同步信号以及使能控制信号，并将这些信号转换成 4 路 7-bit LVDS 信号。RGB 信号产生模块功能框图如图 4-1 所示。

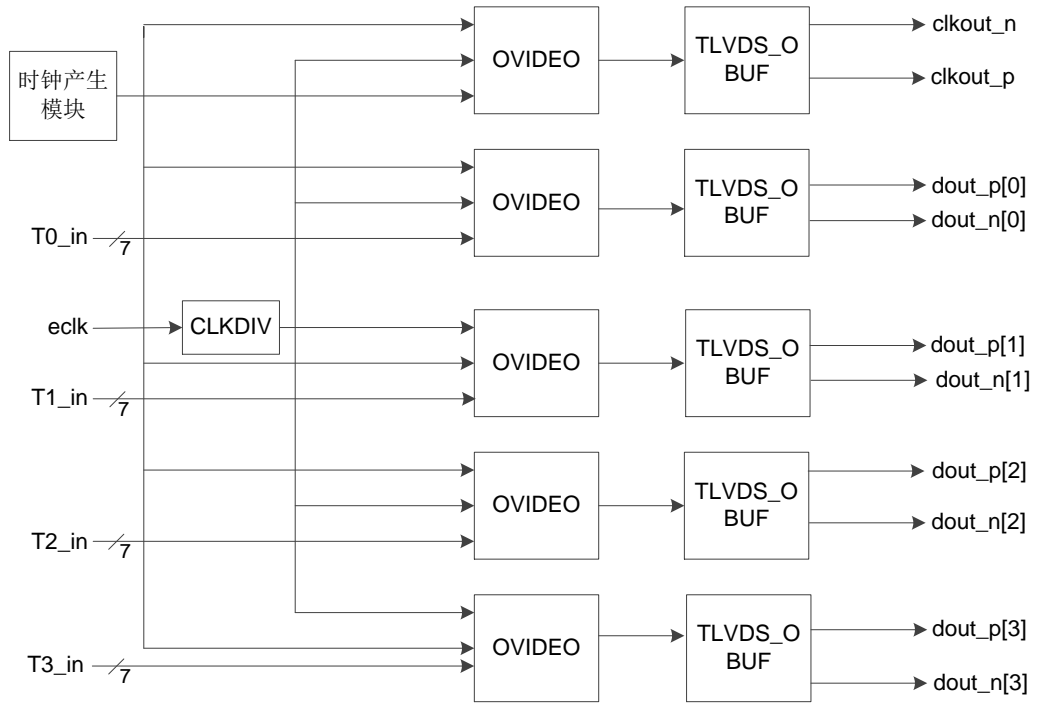
图 4-1 RGB 信号产生模块功能框图



4.3 LVDS 7:1 TX 模块

LVDS 7:1 TX 模块将 RGB 产生模块输出的 4 路 7-bit LVDS 信号转换为 4 路串行信号，并产生时钟信号，用于液晶屏的驱动。其功能框图如图 4-2 所示。

图 4-2 LVDS 7:1 TX 模块功能框图

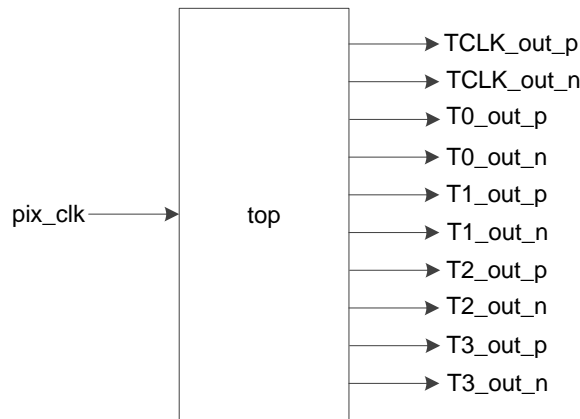


5 端口描述

5.1 LVDS7:1 驱动屏控制器框图

LVDS7:1 驱动屏控制器参考设计的接口框图如图 5-1 所示。

图 5-1 LVDS7:1 驱动屏控制器接口框图



5.2 接口信号

LVDS7:1 驱动屏控制器参考设计的接口信号如表 5-1 所示。

表 5-1 LVDS7:1 驱动屏控制器的接口信号

接口名称	接口类型	详细描述
pix_clk	input	时钟信号
TCLK_out_p	output	同步时钟源 CLK
TCLK_out_n	output	同步时钟源 CLK
T0_out_p	output	TX 接口 0 串行数据输出
T0_out_n	output	TX 接口 0 串行数据输出
T1_out_p	output	TX 接口 1 串行数据输出
T1_out_n	output	TX 接口 1 串行数据输出
T2_out_p	output	TX 接口 2 串行数据输出

接口名称	接口类型	详细描述
T2_out_n	output	TX 接口 2 串行数据输出
T3_out_p	output	TX 接口 3 串行数据输出
T3_out_n	output	TX 接口 3 串行数据输出

6 时序说明

本节旨在介绍 LVDS7:1 驱动屏控制器参考设计输出信号的时序情况。

6.1 时序接口要求

LVDS7:1 驱动屏控制器参考设计用于产生 RGB 信号并转换为标准的视频差分信号传送给液晶屏，包括 1 路时钟通道（TCLK_out）和 4 路数据通道（T0_out、T1_out、T2_out 和 T3_out），一对差分数据线可以传输 7-bit 数据，信号时序如图 6-1 所示。

图 6-1 LVDS 7:1 驱动屏接口时序

