

GW1N シリーズ FPGA 製品パッケージ及び ピンアウト ユーザーガイド

UG103-2.9.2J, 2025-04-30

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN **高云**、Gowin、及びLittleBeeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2016/03/03	1.05J	初版。
2018/11/27	1.2J	● 新しいデバイス GW1N-2B、GW1N-4B を追加。 ● GW1N-1 デバイス MG160 及び PG201 パッケージを削除。
2019/01/11	1.3J	IO Bank の説明、すべてのパッケージのピン配置図、および GW1N-6/9 のピン数を更新。
2019/04/10	1.4J	● GW1N-9 デバイス EQ144 パッケージの情報を追加。 ● GW1N-1S デバイス FN32 パッケージの情報を追加。
2019/07/02	1.5J	● GW1N-6/9 デバイス MG196、UG169、および EQ176 パッケージの情報を追加。 ● GW1N-1S デバイス CS30 パッケージの情報を追加。
2019/08/23	1.6J	CS30、CM64、CS72 パッケージの外形図を更新。
2019/10/10	1.7J	● GW1N-1 デバイス LQ100X-LV および LQ100X-UV パッケージの情報を追加。 ● LQ100/LQ144/EQ144/LQ176/EQ17 パッケージのサイズを修正。
2020/01/16	1.8J	● LQ100X-LV および LQ100X-UV パッケージの名前を変更。 ● GW1N-4 デバイス MG132X パッケージの情報を追加。
2020/03/30	1.9J	● CS72 パッケージの外形図を変更。 ● GW1N-9 デバイス CS81M パッケージの情報を追加。
2020/04/16	2.0J	デバイス GW1N-2/GW1N-2B/GW1N-6 の情報を削除。
2020/07/08	2.1J	● GW1N-9 デバイス MG100 パッケージを追加。 ● GW1N-9 デバイス QN48F パッケージを追加。
2020/07/23	2.1.1J	● 表 3-72 GW1N-9 デバイス UG332 パッケージのその他のピンを変更。 ● QN48F のピン配置図を追加。
2020/12/08	2.2J	CS42、MG132X、LQ100X、および LQ144X パッケージをサポートする GW1N-2 デバイスを追加。
2021/01/20	2.2.1J	GW1N-2 デバイス QN48 および QN48M パッケージを追加。
2021/03/02	2.2.2J	GW1N-2 デバイス MG132 パッケージを追加。
2021/04/01	2.3J	GW1N-1P5 デバイス LQ100X パッケージを追加。
2021/05/20	2.4J	● GW1N-1P5 デバイス LQ100 パッケージを追加。 ● GW1N-2 デバイス MG132、LQ100、LQ144 パッケージを追加。MG132 パッケージの名前を MG132H に変更、QN48M パッケージの名前を QN48H に変更。 ● GW1N-9 デバイス MG100T パッケージを追加。 ● GW1N-1 デバイス LQ100X パッケージを削除。
2021/07/16	2.4.1J	GW1N-2 デバイス MG121 および MG121X パッケージを追加。
2021/08/26	2.4.2J	EQ144 および EQ176 パッケージの外形図を更新。
2021/10/28	2.5J	● GW1N-2 デバイス MG49 パッケージおよび GW1N-1P5 デバイス FN48X パッケージを追加。

日付	バージョン	説明
		● GWN1-1 デバイス QN32、QN48、LQ100、および LQ144 パッケージを削除。
2022/01/20	2.6J	● GW1N-2 デバイス QN32X、QN88、および CS42H パッケージを追加。 ● GW1N-1P5 デバイス FN48X パッケージを削除し、GW1N-1P5 デバイス QN48X パッケージを追加。
2022/05/19	2.7J	● GW1N-4 デバイス UG169 パッケージを追加。 ● GW1N-2 デバイス CS42H パッケージを更新。
2022/06/02	2.7.1J	GW1N-1 デバイス QN32、QN48、LQ100、および LQ144 パッケージを追加。
2022/07/21	2.8J	● GW1N-2 デバイス QN32、CS100H、LQ144F パッケージを追加。 ● パッケージの外形図の単位をミリメートルに統一。 ● QN88 パッケージの厚さに関する注記を追加。
2022/08/08	2.8.1J	GW1N-9 デバイス QN48 と QN48F パッケージの外形図を追加。
2022/08/18	2.8.2J	GW1N-2 デバイス QN32 と QN32X パッケージのピン情報を更新。
2022/12/20	2.8.3J	● GW1N-1P5 デバイス QN48XF パッケージを追加。 ● QN32X および QN32(GW1N-2)のパッケージの外形図を更新。
2023/06/30	2.8.4J	● GW1N-9 デバイス QN60 パッケージを追加。 ● 推奨 PCB レイアウトを追加。
2023/08/18	2.8.5J	● GW1N-9 デバイス QN60 パッケージの情報を更新。 ● 表 2-1 各パッケージの最大ユーザー I/O 数、(LVDS ペア数およびその注記を最適化。
2023/10/31	2.8.6J	GW1N-9 デバイス QN88F パッケージを追加。
2023/11/17	2.8.7J	● 図 4-11 CS100H パッケージの外形図を更新。 ● 図 4-62 UG332 の推奨 PCB レイアウトを更新。
2023/12/14	2.8.8J	GW1N-2 デバイス CS42H と CS100H パッケージの情報を更新。
2024/02/02	2.8.9J	● 表 2-1 各パッケージの最大ユーザー I/O 数、(LVDS ペア数)における GW1N-9 デバイス LQ176 パッケージの最大ユーザー I/O 数を修正。 ● セクション「2.5 I/O BANK の説明」を最適化。 ● GW1N-1 デバイス CS30 パッケージのサイズを更新。
2024/02/08	2.9J	● 「表 2-2 GW1N の電源ピン」を更新。 ● 「表 2-5 GW1N-2 のピン数一覧」の注記を更新。
2024/04/18	2.9.1J	「図 3-10 GW1N-2 デバイス CS100H パッケージのピン配置図(トップビュー)」を更新。
2025/04/30	2.9.2J	GW1N-9 デバイス CS81M パッケージを削除。

目次

目次	i
図一覧	iv
表一覧	viii
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	2
1.4 テクニカル・サポートとフィードバック	2
2 概要	3
2.1 無鉛パッケージ	3
2.2 パッケージと最大ユーザー I/O 情報、(LVDS ペア数)	3
2.3 電源ピン	5
2.4 ピン数	5
2.4.1 GW1N-1S デバイスのピン数	5
2.4.2 GW1N-1 デバイスのピン数	5
2.4.3 GW1N-2 デバイスのピン数	7
2.4.4 GW1N-1P5 デバイスのピン数	12
2.4.5 GW1N-4 デバイスのピン数	13
2.4.6 GW1N-9 デバイスのピン数	14
2.5 I/O BANK の説明	16
3 ピン配置図	17
3.1 GW1N-1S デバイスのピン配置図	17
3.1.1 FN32 のピン配置図	17
3.1.2 CS30 のピンの配置図	18
3.2 GW1N-1 デバイスのピン配置図	19
3.2.1 CS30 のピン配置図	19
3.2.2 QN32 のピン配置図	19
3.2.3 QN48 のピン配置図	20
3.2.4 LQ100 のピン配置図	21
3.2.5 LQ144 のピン配置図	22
3.3 GW1N-2 デバイスのピン配置図	23
3.3.1 CS42 のピン配置図	23
3.3.2 CS42H のピン配置図	24
3.3.3 CS100H のピン配置図	25
3.3.4 MG132X のピン配置図(UV バージョン)	26
3.3.5 MG132X のピン配置図(LV バージョン)	27

3.3.6 LQ100X のピン配置図(UV バージョン).....	28
3.3.7 LQ100X のピン配置図(LV バージョン)	29
3.3.8 LQ100 のピン配置図(UV バージョン).....	30
3.3.9 LQ100 のピン配置図(LV バージョン).....	31
3.3.10 LQ144X のピン配置図(UV バージョン).....	32
3.3.11 LQ144X のピン配置図(LV バージョン).....	33
3.3.12 LQ144 のピン配置図(UV バージョン).....	34
3.3.13 LQ144 のピン配置図(LV バージョン).....	35
3.3.14 LQ144F のピン配置図(UV バージョン).....	36
3.3.15 LQ144F のピン配置図(LV バージョン).....	37
3.3.16 QN48 のピン配置図.....	38
3.3.17 QN48H のピン配置図	39
3.3.18 MG132H のピン配置図.....	40
3.3.19 MG132 のピン配置図(UV バージョン).....	41
3.3.20 MG132 のピン配置図(LV バージョン).....	42
3.3.21 MG121 のピン配置図(LV バージョン).....	43
3.3.22 MG121 のピン配置図(UV バージョン).....	44
3.3.23 MG121X のピン配置図(LV バージョン)	45
3.3.24 MG121X のピン配置図(UV バージョン).....	46
3.3.25 MG49 のピン配置図	47
3.3.26 QN32 のピン配置図(LV バージョン)	48
3.3.27 QN32 のピン配置図(UV バージョン)	49
3.3.28 QN32X のピン配置図(LV バージョン).....	50
3.3.29 QN32X のピン配置図(UV バージョン).....	51
3.3.30 QN88 のピン配置図(LV バージョン)	52
3.3.31 QN88 のピン配置図(UV バージョン)	53
3.4 GW1N-1P5 デバイスのピン配置図	54
3.4.1 LQ100X のピン配置図(LV バージョン)	54
3.4.2 LQ100X のピン配置図(UV バージョン).....	55
3.4.3 LQ100 のピン配置図(LV バージョン).....	56
3.4.4 LQ100 のピン配置図(UV バージョン).....	57
3.4.5 QN48X のピン配置図(LV バージョン).....	58
3.4.6 QN48X のピン配置図(UV バージョン).....	59
3.4.7 QN48XF のピン配置図(LV バージョン).....	60
3.4.8 QN48XF のピン配置図(UV バージョン).....	61
3.5 GW1N-4 デバイスのピン配置図.....	62
3.5.1 QN32 のピン配置図.....	62
3.5.2 QN48 のピン配置図.....	63
3.5.3 CS72 のピン配置図	64
3.5.4 QN88 のピン配置図.....	65
3.5.5 LQ100 のピン配置図	66
3.5.6 MG132X のピン配置図.....	67
3.5.7 LQ144 のピン配置図	68
3.5.8 MG160 のピン配置図	69
3.5.9 UG169 のピン配置図.....	70
3.5.10 PG256 のピン配置図.....	71
3.5.11 PG256M のピン配置図	72
3.6 GW1N-9 デバイスのピン配置図.....	73
3.6.1 QN48 のピン配置図.....	73
3.6.2 CM64 のピン配置図.....	74
3.6.3 QN88 のピン配置図.....	75
3.6.4 LQ100 のピン配置図	76
3.6.5 MG100 のピン配置図	77

3.6.6 LQ144 のピン配置図	78
3.6.7 EQ144 のピン配置図	79
3.6.8 MG160 のピン配置図	80
3.6.9 UG169 のピン配置図	81
3.6.10 LQ176 のピン配置図	82
3.6.11 EQ176 のピン配置図	83
3.6.12 MG196 のピン配置図	84
3.6.13 PG256 のピン配置図	85
3.6.14 UG256 のピン配置図	86
3.6.15 UG332 のピン配置図	87
3.6.16 QN48F のピン配置図	88
3.6.17 MG100T のピン配置図	89
3.6.18 QN60 のピン配置図	90
3.6.19 QN88F のピン配置図	91
4 パッケージ外形図	92
4.1 CS30 パッケージの外形図(2.3mm x 2.2mm, GW1N-1)	92
4.2 CS30 パッケージの外形図(2.3mm x 2.4mm, GW1N-1S)	94
4.3 CS42 パッケージの外形図(2.4mm x 2.9mm)	96
4.4 CS42H パッケージの外形図(2.4mm x 2.9mm)	98
4.5 CS72 パッケージの外形図(3.6mm x 3.3mm)	100
4.6 CS100H パッケージの外形図(4mm x 4mm)	101
4.7 FN32 パッケージの外形図(4mm x 4mm)	102
4.8 QN32 パッケージの外形図(5mm x 5mm, GW1N-1/4)	104
4.9 QN32 パッケージの外形図(5mm x 5mm, GW1N-2)	106
4.10 QN32X パッケージの外形図(5mm x 5mm)	108
4.11 QN48/QN48H パッケージの外形図(6mm x 6mm, GW1N-1/2/4)	110
4.12 QN48/QN48F パッケージの外形図(6mm x 6mm, GW1N-9)	112
4.13 QN48X/QN48XF パッケージの外形図(7mm x 7mm)	114
4.14 CM64 パッケージの外形図(4.1mm x 4.1mm)	116
4.15 QN88/QN88F パッケージの外形図(10mm x 10mm)	117
4.16 LQ100/LQ100X パッケージの外形図(14mm x 14mm)	119
4.17 LQ144/LQ144X/LQ144F パッケージの外形図(20mm x 20mm)	121
4.18 EQ144 パッケージの外形図(20mm x 20mm)	123
4.19 LQ176 パッケージの外形図(20mm x 20mm)	125
4.20 EQ176 パッケージの外形図(20mm x 20mm)	127
4.21 MG49 パッケージの外形図(3.8mm x 3.8mm)	129
4.22 MG100/MG100T パッケージの外形図(5mm x 5mm)	131
4.23 MG121/MG121X パッケージの外形図(6mm x 6mm)	133
4.24 MG132/MG132X/MG132H パッケージの外形図(8mm x 8mm)	135
4.25 MG160 パッケージの外形図(8mm x 8mm)	137
4.26 MG196 パッケージの外形図(8mm x 8mm)	139
4.27 PG256M パッケージの外形図(17mm x 17mm)	141
4.28 PG256 パッケージの外形図(17mm x 17mm)	143
4.29 UG169 パッケージの外形図(11mm x 11mm)	145
4.30 UG256 パッケージの外形図(14mm x 14mm)	147
4.31 UG332 パッケージの外形図(17mm x 17mm)	149
4.32 QN60 パッケージの外形図(6mm x 6mm)	151

図一覧

図 3-1 GW1N-1S デバイス FN32 パッケージのピン配置図(トップビュー).....	17
図 3-2 GW1N-1S デバイス CS30 パッケージのピン配置図(トップビュー).....	18
図 3-3 GW1N-1 デバイス CS30 パッケージのピン配置図(トップビュー).....	19
図 3-4 GW1N-1 デバイス QN32 パッケージのピン配置図(トップビュー).....	19
図 3-5 GW1N-1 デバイス QN48 パッケージのピン配置図(トップビュー).....	20
図 3-6 GW1N-1 デバイス LQ100 パッケージのピン配置図(トップビュー).....	21
図 3-7 GW1N-1 デバイス LQ144 パッケージのピン配置図(トップビュー).....	22
図 3-8 GW1N-2 デバイス CS42 パッケージのピン配置図(トップビュー).....	23
図 3-9 GW1N-2 デバイス CS42H パッケージのピン配置図(トップビュー).....	24
図 3-10 GW1N-2 デバイス CS100H パッケージのピン配置図(トップビュー).....	25
図 3-11 GW1N-2 デバイス MG132X パッケージのピン配置図(UV バージョン、トップビュー).....	26
図 3-12 GW1N-2 デバイス MG132X パッケージのピン配置図(LV バージョン、トップビュー).....	27
図 3-13 GW1N-2 デバイス LQ100X パッケージのピン配置図(UV バージョン、トップビュー).....	28
図 3-14 GW1N-2 デバイス LQ100X パッケージのピン配置図(LV バージョン、トップビュー).....	29
図 3-15 GW1N-2 デバイス LQ100 パッケージのピン配置図(UV バージョン、トップビュー).....	30
図 3-16 GW1N-2 デバイス LQ100 パッケージのピン配置図(LV バージョン、トップビュー).....	31
図 3-17 GW1N-2 デバイス LQ144X パッケージのピン配置図(UV バージョン、トップビュー).....	32
図 3-18 GW1N-2 デバイス LQ144X パッケージのピン配置図(LV バージョン、トップビュー).....	33
図 3-19 GW1N-2 デバイス LQ144 パッケージのピン配置図(UV バージョン、トップビュー).....	34
図 3-20 GW1N-2 デバイス LQ144 パッケージのピン配置図(LV バージョン、トップビュー).....	35
図 3-21 GW1N-2 デバイス LQ144F パッケージのピン配置図(UV バージョン、トップビュー).....	36
図 3-22 GW1N-2 デバイス LQ144F パッケージのピン配置図(LV バージョン、トップビュー).....	37
図 3-23 GW1N-2 デバイス QN48 パッケージのピン配置図(トップビュー).....	38
図 3-24 GW1N-2 デバイス QN48H パッケージのピン配置図(トップビュー).....	39
図 3-25 GW1N-2 デバイス MG132H パッケージのピン配置図(トップビュー).....	40
図 3-26 GW1N-2 デバイス MG132 パッケージのピン配置図(UV バージョン、トップビュー).....	41
図 3-27 GW1N-2 デバイス MG132 パッケージのピン配置図(LV バージョン、トップビュー).....	42
図 3-28 GW1N-2 デバイス MG121 パッケージのピン配置図(LV バージョン、トップビュー).....	43
図 3-29 GW1N-2 デバイス MG121 パッケージのピン配置図(UV バージョン、トップビュー).....	44

図 3-30 GW1N-2 デバイス MG121X パッケージのピン配置図(LV バージョン、トップビュー).....	45
図 3-31 GW1N-2 デバイス MG121X パッケージのピン配置図(UV バージョン、トップビュー).....	46
図 3-32 GW1N-2 デバイス MG49 パッケージのピン配置図(トップビュー).....	47
図 3-33 GW1N-2 デバイス QN32 パッケージのピン配置図(LV バージョン、トップビュー).....	48
図 3-34 GW1N-2 デバイス QN32 パッケージのピン配置図(UV バージョン、トップビュー).....	49
図 3-35 GW1N-2 デバイス QN32X パッケージのピン配置図(LV バージョン、トップビュー).....	50
図 3-36 GW1N-2 デバイス QN32X パッケージのピン配置図(UV バージョン、トップビュー).....	51
図 3-37 GW1N-2 デバイス QN88 パッケージのピン配置図(LV バージョン、トップビュー).....	52
図 3-38 GW1N-2 デバイス QN88 パッケージのピン配置図(UV バージョン、トップビュー).....	53
図 3-39 GW1N-1P5 デバイス LQ100X パッケージのピン配置図(LV バージョン、トップビュー)...	54
図 3-40 GW1N-1P5 デバイス LQ100X パッケージのピン配置図(UV バージョン、トップビュー)..	55
図 3-41 GW1N-1P5 デバイス LQ100 パッケージのピン配置図(LV バージョン、トップビュー).....	56
図 3-42 GW1N-1P5 デバイス LQ100 パッケージのピン配置図(UV バージョン、トップビュー)....	57
図 3-43 GW1N-1P5 デバイス QN48X パッケージのピン配置図(LV バージョン、トップビュー)....	58
図 3-44 GW1N-1P5 デバイス QN48X パッケージのピン配置図(UV バージョン、トップビュー)...	59
図 3-45 GW1N-1P5 デバイス QN48XF パッケージのピン配置図(LV バージョン、トップビュー)..	60
図 3-46 GW1N-1P5 デバイス QN48XF パッケージのピン配置図(UV バージョン、トップビュー).	61
図 3-47 GW1N-4 デバイス QN32 パッケージのピン配置図(トップビュー).....	62
図 3-48 GW1N-4 デバイス QN48 パッケージのピン配置図(トップビュー).....	63
図 3-49 GW1N-4 デバイス CS72 パッケージのピン配置図(トップビュー).....	64
図 3-50 GW1N-4 デバイス QN88 パッケージのピン配置図(トップビュー).....	65
図 3-51 GW1N-4 デバイス LQ100 パッケージのピン配置図(トップビュー).....	66
図 3-52 GW1N-4 デバイス MG132X パッケージのピン配置図(トップビュー).....	67
図 3-53 GW1N-4 デバイス LQ144 パッケージのピン配置図(トップビュー).....	68
図 3-54 GW1N-4 デバイス MG160 パッケージのピン配置図(トップビュー).....	69
図 3-55 GW1N-4 デバイス UG169 パッケージのピン配置図(トップビュー).....	70
図 3-56 GW1N-4 デバイス PG256 パッケージのピン配置図(トップビュー).....	71
図 3-57 GW1N-4 デバイス PG256M パッケージのピン配置図(トップビュー).....	72
図 3-58 GW1N-9 デバイス QN48 パッケージのピン配置図(トップビュー).....	73
図 3-59 GW1N-9 デバイス CM64 パッケージのピン配置図(トップビュー).....	74
図 3-60 GW1N-9 デバイス QN88 パッケージのピン配置図(トップビュー).....	75
図 3-61 GW1N-9 デバイス LQ100 パッケージのピン配置図(トップビュー).....	76
図 3-62 GW1N-9 デバイス MG100 パッケージのピン配置図(トップビュー).....	77
図 3-63 GW1N-9 デバイス LQ144 パッケージのピン配置図(トップビュー).....	78
図 3-64 GW1N-9 デバイス EQ144 パッケージのピン配置図(トップビュー).....	79
図 3-65 GW1N-9 デバイス MG160 パッケージのピン配置図(トップビュー).....	80
図 3-66 GW1N-9 デバイス UG169 パッケージのピン配置図(トップビュー).....	81

図 3-67 GW1N-9 デバイス LQ176 パッケージのピン配置図(トップビュー)	82
図 3-68 GW1N-9 デバイス EQ176 パッケージのピン配置図(トップビュー)	83
図 3-69 GW1N-9 デバイス MG196 パッケージのピン配置図(トップビュー)	84
図 3-70 GW1N-9 デバイス PG256 パッケージのピン配置図(トップビュー)	85
図 3-71 GW1N-9 デバイス UG256 パッケージのピン配置図(トップビュー)	86
図 3-72 GW1N-9 デバイス UG332 パッケージのピン配置図(トップビュー)	87
図 3-73 GW1N-9 デバイス QN48F パッケージのピン配置図(トップビュー)	88
図 3-74 GW1N-9 デバイス MG100T パッケージのピン配置図(トップビュー)	89
図 3-75 GW1N-9 デバイス QN60 パッケージのピン配置図(トップビュー)	90
図 3-76 GW1N-9 デバイス QN88F パッケージのピン配置図(トップビュー)	91
図 4-1 CS30 パッケージの外形図(GW1N-1)	92
図 4-2 CS30 の推奨 PCB レイアウト(GW1N-1)	93
図 4-3 CS30 パッケージの外形図(GW1N-1S)	94
図 4-4 CS30 の推奨 PCB レイアウト(GW1N-1S)	95
図 4-5 CS42 パッケージの外形図	96
図 4-6 CS42 の推奨 PCB レイアウト	97
図 4-7 CS42H パッケージの外形図	98
図 4-8 CS42H の推奨 PCB レイアウト	99
図 4-9 CS72 パッケージの外形図	100
図 4-10 CS72 の推奨 PCB レイアウト	100
図 4-11 CS100H パッケージの外形図	101
図 4-12 CS100H の推奨 PCB レイアウト	101
図 4-13 FN32 パッケージの外形図(GW1N-1S)	102
図 4-14 FN32 の推奨 PCB レイアウト(GW1N-1S)	103
図 4-15 QN32 パッケージの外形図(GW1N-1/4)	104
図 4-16 QN32 の推奨 PCB レイアウト(GW1N-1/4)	105
図 4-17 QN32 パッケージの外形図(GW1N-2)	106
図 4-18 QN32 の推奨 PCB レイアウト(GW1N-2)	107
図 4-19 QN32X パッケージの外形図	108
図 4-20 QN32X の推奨 PCB レイアウト	109
図 4-21 QN48/QN48H パッケージの外形図(GW1N-1/2/4)	110
図 4-22 QN48/QN48H の推奨 PCB レイアウト(GW1N-1/2/4)	111
図 4-23 QN48/QN48F パッケージの外形図(GW1N-9)	112
図 4-24 QN48/QN48F の推奨 PCB レイアウト(GW1N-9)	113
図 4-25 QN48X/QN48XF パッケージの外形図	114
図 4-26 QN48X/QN48XF の推奨 PCB レイアウト	115
図 4-27 CM64 パッケージの外形図	116

図 4-28 CM64 の推奨 PCB レイアウト	116
図 4-29 QN88/QN88F パッケージの外形図	117
図 4-30 QN88/QN88F の推奨 PCB レイアウト	118
図 4-31 LQ100/LQ100X パッケージの外形図	119
図 4-32 LQ100/LQ100X の推奨 PCB レイアウト	120
図 4-33 LQ144/LQ144X/LQ144F パッケージの外形図	121
図 4-34 LQ144/LQ144X/LQ144F の推奨 PCB レイアウト	122
図 4-35 EQ144 パッケージの外形図	123
図 4-36 EQ144 の推奨 PCB レイアウト	124
図 4-37 LQ176 パッケージの外形図	125
図 4-38 LQ176 の推奨 PCB レイアウト	126
図 4-39 EQ176 パッケージの外形図	127
図 4-40 EQ176 の推奨 PCB レイアウト	128
図 4-41 MG49 パッケージの外形図	129
図 4-42 MG49 の推奨 PCB レイアウト	130
図 4-43 MG100/MG100T パッケージの外形図	131
図 4-44 MG100/MG100T の推奨 PCB レイアウト	132
図 4-45 MG121/MG121X パッケージの外形図	133
図 4-46 MG121/MG121X の推奨 PCB レイアウト	134
図 4-47 MG132/MG132X/MG132H パッケージの外形図	135
図 4-48 MG132/MG132X/MG132H の推奨 PCB レイアウト	136
図 4-49 MG160 パッケージの外形図	137
図 4-50 MG160 の推奨 PCB レイアウト	138
図 4-51 MG196 パッケージの外形図	139
図 4-52 MG196 の推奨 PCB レイアウト	140
図 4-53 PG256M パッケージの外形図	141
図 4-54 PG256M の推奨 PCB レイアウト	142
図 4-55 PG256 パッケージの外形図	143
図 4-56 PG256 の推奨 PCB レイアウト	144
図 4-57 UG169 パッケージの外形図	145
図 4-58 UG169 の推奨 PCB レイアウト	146
図 4-59 UG256 パッケージの外形図	147
図 4-60 UG256 の推奨 PCB レイアウト	148
図 4-61 UG332 パッケージの外形図	149
図 4-62 UG332 の推奨 PCB レイアウト	150
図 4-63 QN60 パッケージの外形図	151
図 4-64 QN60 の推奨 PCB レイアウト	152

表一覧

表 1-1 用語、略語	2
表 2-1 各パッケージの最大ユーザーI/O 数、(LVDS ペア数)	3
表 2-2 GW1N の電源ピン	5
表 2-3 GW1N-1S のピン数一覧	5
表 2-4 GW1N-1 のピン数一覧	5
表 2-5 GW1N-2 のピン数一覧	7
表 2-6 GW1N-1P5 のピン数一覧	12
表 2-7 GW1N-4 のピン数一覧	13
表 2-8 GW1N-9 デバイスのピン数一覧	14
表 3-1 GW1N-1S デバイス FN32 パッケージのその他のピン	18
表 3-2 GW1N-1S デバイス CS30 パッケージのその他のピン	18
表 3-3 GW1N-1 デバイス CS30 パッケージのその他のピン	19
表 3-4 GW1N-1 デバイス QN32 パッケージのその他のピン	20
表 3-5 GW1N-1 デバイス QN48 パッケージのその他のピン	20
表 3-6 GW1N-1 デバイス LQ100 パッケージのその他のピン	22
表 3-7 GW1N-1 デバイス LQ144 パッケージのその他のピン	22
表 3-8 GW1N-2 デバイス CS42 パッケージのその他のピン	23
表 3-9 GW1N-2 デバイス CS42H パッケージのその他のピン	25
表 3-10 GW1N-2 デバイス CS100H パッケージのその他のピン	25
表 3-11 GW1N-2 デバイス MG132X パッケージのその他のピン(UV バージョン)	27
表 3-12 GW1N-2 デバイス MG132X パッケージのその他のピン(LV バージョン)	28
表 3-13 GW1N-2 デバイス LQ100X パッケージのその他のピン(UV バージョン)	29
表 3-14 GW1N-2 デバイス LQ100X パッケージのその他のピン(LV バージョン)	30
表 3-15 GW1N-2 デバイス LQ100 パッケージのその他のピン(UV バージョン)	31
表 3-16 GW1N-2 デバイス LQ100 パッケージのその他のピン(LV バージョン)	32
表 3-17 GW1N-2 デバイス LQ144X パッケージのその他のピン(UV バージョン)	33
表 3-18 GW1N-2 デバイス LQ144X パッケージのその他のピン(LV バージョン)	34
表 3-19 GW1N-2 デバイス LQ144 パッケージのその他のピン(UV バージョン)	35
表 3-20 GW1N-2 デバイス LQ144 パッケージのその他のピン(LV バージョン)	36

表 3-21 GW1N-2 デバイス LQ144F パッケージのその他のピン(UV バージョン)	37
表 3-22 GW1N-2 デバイス LQ144F パッケージのその他のピン(LV バージョン)	37
表 3-23 GW1N-2 デバイス QN48 パッケージのその他のピン	39
表 3-24 GW1N-2 デバイス QN48H パッケージのその他のピン	40
表 3-25 GW1N-2 デバイス MG132H パッケージのその他のピン	41
表 3-26 GW1N-2 デバイス MG132 パッケージのその他のピン(UV バージョン)	42
表 3-27 GW1N-2 デバイス MG132 パッケージのその他のピン(LV バージョン)	43
表 3-28 GW1N-2 デバイス MG121 パッケージのその他のピン(LV バージョン)	44
表 3-29 GW1N-2 デバイス MG121 パッケージのその他のピン(UV バージョン)	45
表 3-30 GW1N-2 デバイス MG121X パッケージのその他のピン(LV バージョン)	46
表 3-31 GW1N-2 デバイス MG121X パッケージのその他のピン(UV バージョン)	47
表 3-32 GW1N-2 デバイス MG49 パッケージのその他のピン	48
表 3-33 GW1N-2 デバイス QN32 パッケージのその他のピン(LV バージョン)	49
表 3-34 GW1N-2 デバイス QN32 パッケージのその他のピン(UV バージョン)	50
表 3-35 GW1N-2 デバイス QN32X パッケージのその他のピン(LV バージョン)	51
表 3-36 GW1N-2 デバイス QN32X パッケージのその他のピン(UV バージョン)	52
表 3-37 GW1N-2 デバイス QN88 パッケージのその他のピン(LV バージョン)	53
表 3-38 GW1N-2 デバイス QN88 パッケージのその他のピン(UV バージョン)	53
表 3-39 GW1N-1P5 デバイス LQ100X パッケージのその他のピン(LV バージョン)	55
表 3-40 GW1N-1P5 デバイス LQ100X パッケージのその他のピン(UV バージョン)	56
表 3-41 GW1N-1P5 デバイス LQ100 パッケージのその他のピン(LV バージョン)	57
表 3-42 GW1N-1P5 デバイス LQ100 パッケージのその他のピン(UV バージョン)	58
表 3-43 GW1N-1P5 デバイス QN48X パッケージのその他のピン(LV バージョン)	59
表 3-44 GW1N-1P5 デバイス QN48X パッケージのその他のピン(UV バージョン)	59
表 3-45 GW1N-1P5 デバイス QN48XF パッケージのその他のピン(LV バージョン)	61
表 3-46 GW1N-1P5 デバイス QN48XF パッケージのその他のピン(UV バージョン)	61
表 3-47 GW1N-4 デバイス QN32 パッケージのその他のピン	62
表 3-48 GW1N-4 デバイス QN48 パッケージのその他のピン	63
表 3-49 GW1N-4 デバイス CS72 パッケージのその他のピン	64
表 3-50 GW1N-4 デバイス QN88 パッケージのその他のピン	65
表 3-51 GW1N-4 デバイス LQ100 パッケージのその他のピン	66
表 3-52 GW1N-4 デバイス MG132X パッケージのその他のピン	68
表 3-53 GW1N-4 デバイス LQ144 パッケージのその他のピン	68
表 3-54 GW1N-4 デバイス MG160 パッケージのその他のピン	70
表 3-55 GW1N-4 デバイス UG169 パッケージのその他のピン	70
表 3-56 GW1N-4 デバイス PG256 パッケージのその他のピン	72
表 3-57 GW1N-4 デバイス PG256M パッケージのその他のピン	72

表 3-58 GW1N-9 デバイス QN48 パッケージのその他のピン	73
表 3-59 GW1N-9 デバイス CM64 パッケージのその他のピン	75
表 3-60 GW1N-9 デバイス QN88 パッケージのその他のピン	75
表 3-61 GW1N-9 デバイス LQ100 パッケージのその他のピン	77
表 3-62 GW1N-9 デバイス MG100 パッケージのその他のピン	78
表 3-63 GW1N-9 デバイス LQ144 パッケージのその他のピン	79
表 3-64 GW1N-9 デバイス EQ144 パッケージのその他のピン	79
表 3-65 GW1N-9 デバイス MG160 パッケージのその他のピン	81
表 3-66 GW1N-9 デバイス UG169 パッケージのその他のピン	82
表 3-67 GW1N-9 デバイス LQ176 パッケージのその他のピン	82
表 3-68 GW1N-9 デバイス EQ176 パッケージのその他のピン	84
表 3-69 GW1N-9 デバイス MG196 パッケージのその他のピン	85
表 3-70 GW1N-9 デバイス PG256 パッケージのその他のピン	86
表 3-71 GW1N-9 デバイス UG256 パッケージのその他のピン	86
表 3-72 GW1N-9 デバイス UG332 パッケージのその他のピン	88
表 3-73 GW1N-9 デバイス QN48F パッケージのその他のピン	89
表 3-74 GW1N-9 デバイス MG100T パッケージのその他のピン	89
表 3-75 GW1N-9 デバイス QN60 パッケージのその他のピン	90
表 3-76 GW1N-9 デバイス QN88F パッケージのその他のピン	91

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルには、主に GW1N シリーズ FPGA 製品のパッケージの紹介、ピンの定義、ピン数一覧、ピンの配置図、及びパッケージの外形図が含まれています。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1N-1 デバイス Pinout([UG107](#))
- GW1N-2 デバイス Pinout([UG171](#))
- GW1N-4 デバイス Pinout([UG105](#))
- GW1N-9 デバイス Pinout([UG114](#))
- GW1N-1S デバイス Pinout([UG167](#))
- GW1N-1P5 デバイス Pinout([UG174](#))
- Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG290](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
CM	WLCSP	WLCSP パッケージ
CS	WLCSP	WLCSP パッケージ
EQ	ELQFP	ELQFP パッケージ
FN	QFN	QFN パッケージ
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
LQ	LQFP	LQFP パッケージ
MG	MBGA	MBGA パッケージ
PG	PBGA	PBGA パッケージ
QN	QFN	QFN パッケージ
UG	UBGA	UBGA パッケージ

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

GOWIN セミコンダクターの LittleBee®ファミリーの第一世代製品である GW1N シリーズ FPGA 製品は、豊富なパッケージタイプ、高い I/O 互換性、および柔軟な使用法を提供します。

2.1 無鉛パッケージ

GW1N シリーズの FPGA は、無鉛技術パッケージを採用した、環境にやさしい製品で、EU の RoHS 指令に準拠しています。GW1N シリーズの FPGA 製品に使用されている物質は、IPC-1752 スタンドードに準拠しています。

2.2 パッケージと最大ユーザー I/O 情報、(LVDS ペア数)

表 2-1 各パッケージの最大ユーザー I/O 数、(LVDS ペア数)

パッケージ	ピッチ (mm)	サイズ (mm)	最大ユーザー I/O (LVDS ペア数)					
			GW1N-1S	GW1N-1	GW1N-2	GW1N-1P5	GW1N-4	GW1N-9
CM64	0.5	4.1 x 4.1	-	-	-	-	-	55 (16)
CS100H	0.4	4 x 4	-	-	79 (21)	-	-	-
CS30	0.4	2.3 x 2.2	-	24	-	-	-	-
CS30	0.4	2.3 x 2.4	23	-	-	-	-	-
CS42	0.4	2.4 x 2.9	-	-	24 (7)	-	-	-
CS42H	0.4	2.4 x 2.9	-	-	21 (3)	-	-	-
CS72	0.4	3.6 x 3.3	-	-	-	-	58 (19)	-
EQ144	0.5	20 x 20	-	-	-	-	-	121 (28)
EQ176	0.4	20 x 20	-	-	-	-	-	148 (37)
FN32	0.4	4 x 4	25	-	-	-	-	-
LQ100	0.5	14 x 14	-	80	80 (15)	80 (16)	80 (13)	80 (20)
LQ100X	0.5	14 x 14	-	-	80 (15)	80 (16)	-	-
LQ144	0.5	20 x 20	-	117	113 (28)	-	120 (22)	121 (28)
LQ144F	0.5	20 x 20	-	-	115 (27)	-	-	-

パッケージ	ピッチ (mm)	サイズ (mm)	最大ユーザー I/O (LVDS ペア数)					
			GW1N-1S	GW1N-1	GW1N-2	GW1N-1P5	GW1N-4	GW1N-9
LQ144X	0.5	20 x 20	-	-	113 (28)	-	-	-
LQ176	0.4	20 x 20	-	-	-	-	-	148 (37)
MG100	0.5	5 x 5	-	-	-	-	-	87 (25)
MG100T	0.5	5 x 5	-	-	-	-	-	87 (17)
MG121	0.5	6 x 6	-	-	100 (28)	-	-	-
MG121X	0.5	6 x 6	-	-	100 (28)	-	-	-
MG132	0.5	8 x 8	-	-	104 (29)	-	-	-
MG132H	0.5	8 x 8	-	-	95 (29)	-	-	-
MG132X	0.5	8 x 8	-	-	104 (29)	-	105 (23)	-
MG160	0.5	8 x 8	-	-	-	-	132 (25)	132 (38)
MG196	0.5	8 x 8	-	-	-	-	-	113 (35)
MG49	0.5	3.8 x 3.8	-	-	42 (11)	-	-	-
PG256	1.0	17 x 17	-	-	-	-	208 (32)	208 (36)
PG256M	1.0	17 x 17	-	-	-	-	208 (32)	-
QN32	0.5	5 x 5	-	26	21 (1)	-	24 (3)	-
QN32X	0.5	5 x 5	-	-	21 (1)	-	-	-
QN48	0.4	6 x 6	-	41	41 (12)	-	40 (9)	40 (12)
QN48F	0.4	6 x 6	-	-	-	-	-	40 (11)
QN48H	0.4	6 x 6	-	-	31 (8)	-	-	-
QN48X	0.5	7 x 7	-	-	-	39 (10)	-	-
QN48XF	0.5	7 x 7	-	-	-	40 (11)	-	-
QN60	0.35	6 x 6	-	-	-	-	-	44 (11)
QN88	0.4	10 x 10	-	-	58 (17)	-	71 (11)	71 (19)
QN88F	0.4	10 x 10	-	-	-	-	-	70 (24)
UG169	0.8	11 x 11	-	-	-	-	129 (27)	129 (38)
UG256	0.8	14 x 14	-	-	-	-	-	207 (36)
UG332	0.8	17 x 17	--	-	-	-	-	274 (43)

注記：

- このマニュアルでは、パッケージタイプを表すために略語が使用されています。詳細については、1.3 用語、略語を参照してください。
- JTAGSEL_N と JTAG ピンは、相互に排他的なピンで、JTAGSEL_N ピンと JTAG 機能の 4 ピン(TCK、TDI、TDO、TMS)を同時に I/O として使用することはできません。ただし、mode[2:0]=001 の場合、JTAGSEL_N が常に GPIO であり、JTAGSEL_N ピンと JTAG の 4 ピン(TCK、TMS、TDI、TDO)を同時に GPIO として使用できます。

2.3 電源ピン

表 2-2 GW1N の電源ピン

VCC	VCCIO0	VCCIO1	VCCIO2
VCCIO3	VCCIO4	VCCIO5	VCCX
VSS	NC	VCCD	VCCIOD

2.4 ピン数

2.4.1 GW1N-1S デバイスのピン数

表 2-3 GW1N-1S のピン数一覧

ピンタイプ		GW1N-1S	
		FN32	CS30
シングルエンド/差動ペア ^[1]	BANK0	5/2	5/2
	BANK1	10/5	10/5
	BANK2	10/5	8/3
最大ユーザー I/O 数 ^[2]		25	23
差動ペア		12	10
VCC/VCCPLL		1	1
VCCIO0		1	1
VCCIO1		1	1
VCCIO2		1	1
VSS		2	2
JTAGSEL_N		1	1

注記：

- ^[1] シングルエンド/差動 I/O の数には、CLK ピン、ダウンロードピンが含まれています。
- ^[2] JTAGSEL_N と JTAG ピンは、相互に排他的なピンで、JTAGSEL_N ピンと JTAG 機能の 4 ピン(TCK、TDI、TDO、TMS)を同時に I/O として使用することはできません。

2.4.2 GW1N-1 デバイスのピン数

表 2-4 GW1N-1 のピン数一覧

ピンタイプ		GW1N-1				
		CS30	QN32	QN48	LQ100	LQ144
シングルエンド/差動ペア ^[1]	BANK0	0/0	3/1	9/4	21/10	29/14
	BANK1	10/4	10/4	9/3	18/9	26/13
	BANK2	2/1	3/1	12/5	22/9	34/17
	BANK3	11/5	9/4	9/4	17/8	25/12

ピンタイプ	GW1N-1				
	CS30	QN32	QN48	LQ100	LQ144
最大ユーザー I/O 数 ^[2]	24	26	41	79	116
差動ペア	10	10	16	36	57
VCC	1	2	2	4	4
VCCIO0	0	1	0	2	2
VCCIO1	0	0	1	3	3
VCCIO2	0	0	1	2	2
VCCIO3	0	1	0	3	3
VCCIO0/VCCIO3 ^[3]	1	0	1	0	0
VCCIO1/VCCIO2 ^[3]	2	1	0	0	0
VSS	2	1	2	6	10
MODE0	1	1	1	1	1
MODE1	0	0	1	0	1
MODE2	0	0	0	0	0
JTAGSEL_N	0	0	0	1	1
NC	0	0	0	0	3

注記：

- ^[1] シングルエンド/差動 I/O の数には、CLK ピン、ダウンロードピンが含まれています。
- ^[2] JTAGSEL_N と JTAG ピンは、相互に排他的なピンで、JTAGSEL_N ピンと JTAG 機能の 4 ピン(TCK、TDI、TDO、TMS)を同時に I/O として使用することはできません。
- ^[3] ピンの多重化。

2.4.3 GW1N-2 デバイスのピン数

表 2-5 GW1N-2 のピン数一覧

ピンタイプ		GW1N-2																
		CS42 ^[6]	MG132 X ^[4]	MG132 X ^[5]	LQ100 X ^[4]	LQ100 X ^[5]	LQ144 X ^[4]	LQ144 X ^[5]	QN48	QN48H ^[6]	MG132 H ^[6]	MG132 ^[4]	MG132 ^[5]	MG121 X ^[4]	MG121 X ^[5]	MG121 ^[4]	MG121 ^[5]	MG49
シングルエ ンド/差動ペ ア/LVDS ^[1]	BANK0	6/3/1	25/12/7	25/12/7	19/8/4	19/8/4	28/13/7	28/13/7	10/4/1	12/5/2	25/11/7	25/12/7	25/12/7	24/11/7	24/11/7	24/11/7	24/11/7	14/7/4
	BANK1	0/0/0	26/13/7	26/13/7	21/10/3	21/10/3	28/14/7	28/14/7	10/5/5	0/0/0	16/8/7	26/13/7	26/13/7	26/13/7	26/13/7	26/13/7	26/13/7	12/6/3
	BANK2	6/3/0	28/14/8	28/14/8	20/10/3	20/10/3	29/14/7	29/14/7	8/4/1	8/4/1	28/14/8	28/14/8	28/14/8	26/12/7	26/12/7	26/12/7	26/12/7	8/4/2
	BANK3	4/2/2	7/3/2	7/3/2	6/3/2	6/3/2	8/4/2	8/4/2	4/2/2	4/2/2	7/3/2	7/3/2	7/3/2	7/3/2	7/3/2	7/3/2	7/3/2	4/2/1
	BANK4	2/1/1	8/4/2	8/4/2	6/3/1	6/3/1	10/5/2	10/5/2	2/1/1	2/1/1	8/4/2	8/4/2	8/4/2	7/3/2	7/3/2	7/3/2	7/3/2	4/2/1
	BANK5	6/3/3	10/5/3	10/5/3	8/4/2	8/4/2	10/5/3	10/5/3	6/3/2	4/2/2	10/5/3	10/5/3	10/5/3	10/5/3	10/5/3	10/5/3	10/5/3	0/0/0

ピンタイプ	GW1N-2																
	CS42 ^[6]	MG132 X ^[4]	MG132 X ^[5]	LQ100 X ^[4]	LQ100 X ^[5]	LQ144 X ^[4]	LQ144 X ^[5]	QN48	QN48H ^[6]	MG132 H ^[6]	MG132 ^[4]	MG132 ^[5]	MG121 X ^[4]	MG121 X ^[5]	MG121 ^[4]	MG121 ^[5]	MG49
最大ユーザーI/O 数 ^[2]	24	104	104	80	80	113	113	40	30	94	104	104	100	100	100	100	42
差動ペア	17	51	51	38	38	55	55	19	19	45	51	51	47	47	47	47	21
True LVDS 出力	7	29	29	15	15	28	28	12	8	29	29	29	28	28	28	28	11
VCC	1	0	4	0	2	0	4	1	0	4	4	0	4	0	4	0	1
VCCIO0	0	3	3	2	2	3	3	1	1	3	3	3	1	1	1	1	1
VCCIO1	0	3	0	2	0	3	0	1	0	2	0	3	0	1	0	1	1
VCCIO2	0	3	3	2	2	3	3	0	0	3	3	3	1	1	1	1	0
VCCIO3	0	1	1	1	1	1	1	0	0	1	1	1	1	1	1	1	0
VCCIO4	0	1	1	1	1	1	1	0	0	1	1	1	1	1	1	1	0
VCCIO5	0	1	1	1	1	1	1	0	0	1	1	1	1	1	1	1	0
VCCX	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1
VCC/VCCX	0	4	0	2	0	4	0	0	0	0	0	4	0	4	0	4	0
VCC/VCCIO1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
VCCIO1/VCCX	0	0	3	0	2	0	3	0	0	0	3	0	1	0	1	0	0
VCCIO2/VCCX	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0
VCCIO2/VCCIO3/ VCCIO4/VCCIO5	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
VCCD/VCCIO1/ VCCIOD	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
VCCD/VCCIOD	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0
VCCIO3/VCCIO4/ VCCIO5	1	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0
VCCIO0/VCCIO2 ^[3]	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
VSS	2	10	10	8	8	12	12	2	2	10	10	10	10	10	10	10	2
MODE0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0
MODE1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ピンタイプ	GW1N-2																
	CS42 ^[6]	MG132 ^X ^[4]	MG132 ^X ^[5]	LQ100 ^X ^[4]	LQ100 ^X ^[5]	LQ144 ^X ^[4]	LQ144 ^X ^[5]	QN48	QN48H ^[6]	MG132 ^H ^[6]	MG132 ^[4]	MG132 ^[5]	MG121 ^X ^[4]	MG121 ^X ^[5]	MG121 ^[4]	MG121 ^[5]	MG49
MODE2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
JTAGSEL_N	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
NC	0	1	1	0	0	2	2	0	0	0	1	1	0	0	0	0	0

(続く)

ピンタイプ		GW1N-2									
		QN32X ^[4]	QN32X ^[5]	QN32 ^[4]	QN32 ^[5]	QN88 ^{[4][6]}	QN88 ^{[5][6]}	CS42H ^[6]	CS100H	LQ144F ^[4]	LQ144F ^[5]
シングルエンド/差動ペア/LVDS ^[1]	BANK0	8/3/0	8/3/0	8/3/0	8/3/0	19/9/5	19/9/5	9/3/0	23/9/4	28/13/7	28/13/7
	BANK1	2/1/1	2/1/1	2/1/1	2/1/1	5/2/1	5/2/1	6/3/3	17/8/7	29/14/6	29/14/6
	BANK2	9/4/0	9/4/0	9/4/0	9/4/0	18/9/4	18/9/4	3/0/0	23/11/7	29/14/7	29/14/7
	BANK3	2/1/0	2/1/0	2/1/0	2/1/0	5/2/2	5/2/2	1/0/0	4/1/0	9/4/2	9/4/2
	BANK4	0/0/0	0/0/0	0/0/0	0/0/0	4/2/2	4/2/2	1/0/0	6/3/1	10/5/2	10/5/2
	BANK5	0/0/0	0/0/0	0/0/0	0/0/0	6/3/3	6/3/3	1/0/0	5/2/2	10/5/3	10/5/3

ピンタイプ	GW1N-2									
	QN32X ^[4]	QN32X ^[5]	QN32 ^[4]	QN32 ^[5]	QN88 ^{[4][6]}	QN88 ^{[5][6]}	CS42H ^[6]	CS100H	LQ144F ^[4]	LQ144F ^[5]
最大ユーザーI/O 数 ^[2]	21	21	21	21	57	57	21	79	115	115
差動ペア	9	9	9	9	27	27	6	34	55	55
True LVDS 出力	1	1	1	1	17	17	3	21	27	27
VCC	0	0	0	0	4	4	1	0	4	0
VCCIO0	0	2	0	2	2	2	1	1	3	3
VCCIO1	1	1	1	1	1	1	1	1	0	3
VCCIO2	2	2	2	2	2	2	1	1	3	3
VCCIO3	1	1	1	1	1	1	0	1	1	1
VCCIO4	0	0	0	0	1	1	0	1	1	1
VCCIO5	0	0	0	0	1	1	0	1	1	1
VCC/VCCX	0	0	0	0	0	0	0	0	0	4
VCC/VCCIO4/VCCIO5	2	0	2	0	0	0	0	0	0	0
VCC/VCCIO4/VCCIO5/ VCCX	0	2	0	2	0	0	0	0	0	0
VCCIO0/VCCX ^[3]	2	0	2	0	0	0	0	0	0	0
VCCIO1/VCCIO4/ VCCIO5	0	0	0	0	0	0	0	0	0	0
VCCIO1/VCCX									3	0
VCCIO3/VCCIO4/ VCCIO5	0	0	0	0	0	0	1	0	0	0
VCCD/VCCIOD	0	0	0	0	1	1	1	1	0	0
VCCX	0	0	0	0	2	2	2	1	0	0
VSS	1	1	1	1	5	5	3	2	12	12
MODE0	0	0	0	0	1	1	0	1	0	0
MODE1	0	0	0	0	1	1	0	0	0	0
MODE2	0	0	0	0	1	1	0	1	0	0

ピンタイプ	GW1N-2									
	QN32X ^[4]	QN32X ^[5]	QN32 ^[4]	QN32 ^[5]	QN88 ^{[4][6]}	QN88 ^{[5][6]}	CS42H ^[6]	CS100H	LQ144F ^[4]	LQ144F ^[5]
JTAGSEL_N	1	1	1	1	1		0	1	1	1
NC	1	1	1	1	0		0	0	0	0

注記：

- ^[1] シングルエンド/差動 I/O の数には、CLK ピン、ダウンロードピンが含まれています。
- ^[2] JTAGSEL_N と JTAG ピンは、相互に排他的なピンで、JTAGSEL_N ピンと JTAG 機能の 4 ピン(TCK、TDI、TDO、TMS)を同時に I/O として使用することはできません。
- ^[3] ピンの多重化。
- ^[4] LV バージョンのパッケージ。
- ^[5] UV バージョンのパッケージ。
- ^[6] GW1N-2 デバイスの CS42、QN48H、MG132H、QN88、および CS42H パッケージの Bank6 は MIPI 専用 Bank です。

2.4.4 GW1N-1P5 デバイスのピン数

表 2-6 GW1N-1P5 のピン数一覧

ピンタイプ		GW1N-1P5							
		LQ100X ^[1]	LQ100X ^[2]	LQ100 ^[1]	LQ100 ^[2]	QN48X ^[1]	QN48X ^[2]	QN48XF ^[1]	QN48XF ^[2]
シングルエンド/差動ペア/LVDS ^[3]	BANK0	19/8/4	19/8/4	19/8/4	19/8/4	9/4/0	9/4/0	10/5/1	10/5/1
	BANK1	20/10/3	20/10/3	20/10/3	20/10/3	10/5/5	10/5/5	10/5/5	10/5/5
	BANK2	20/10/3	20/10/3	20/10/3	20/10/3	10/5/1	10/5/1	10/5/1	10/5/1
	BANK3	6/3/2	6/3/2	6/3/2	6/3/2	2/1/1	2/1/1	2/1/1	2/1/1
	BANK4	8/4/2	8/4/2	8/4/2	8/4/2	4/2/1	4/2/1	4/2/1	4/2/1
	BANK5	6/3/2	6/3/2	6/3/2	6/3/2	4/2/2	4/2/2	4/2/2	4/2/2
最大ユーザー I/O 数 ^[4]		80	80	80	80	39	39	40	40
差動ペア		38	38	38	38	19	19	20	20
True LVDS 出力		16	16	16	16	10	10	11	11
VCC		0	2	0	2	0	2	0	2
VCCIO0		2	2	2	2	2	2	2	2
VCCIO1		2	0	2	0	1	0	1	0
VCCIO2		2	2	2	2	2	2	2	2
VCCIO3		1	1	1	1	0	0	0	0
VCCIO4/VCCIO5 ^[5]		1	1	1	1	0	0	0	0
VCCIO3/VCCIO4/VCCIO5		0	0	0	0	1	1	1	1
VCCIO1/VCCX		0	2	0	2	0	1	0	1
VCC/VCCX		2	0	2	0	2	0	2	0
VSS		8	8	8	8	0	0	0	0
MODE0		0	0	0	0	0	0	0	0
MODE1		0	0	0	0	0	0	0	0
MODE2		0	0	0	0	0	0	0	0
JTAGSEL_N		1	1	1	1	1	1	0	0
NC		1	1	1	1	0	0	0	0

注記：

- ^[1]UV バージョン。
- ^[2]LV バージョン。
- ^[3]シングルエンド/差動 I/O の数には、CLK ピン、ダウンロードピンが含まれています。
- ^[4]JTAGSEL_N と JTAG ピンは、相互に排他的なピンで、JTAGSEL_N ピンと JTAG 機能の 4 ピン(TCK、TDI、TDO、TMS)を同時に I/O として使用することはできません。
- ^[5]ピンの多重化。

2.4.5 GW1N-4 デバイスのピン数

表 2-7 GW1N-4 のピン数一覧

ピンタイプ		GW1N-4										
		QN32	QN48	CS72	QN88	LQ100	MG132X	LQ144	MG160	UG169	PG256	PG256M
シングルエンド/差動ペア/LVDS ^[1]	BANK0	3/1/0	10/5/0	9/4/0	18/6/0	21/10/0	26/13/0	33/14/0	32/16/0	30/15/12	51/24/0	51/25/0
	BANK1	9/4/1	9/4/2	11/5/4	15/6/2	16/8/1	28/13/5	24/12/5	26/13/6	38/19/8	42/21/8	42/21/8
	BANK2	4/2/2	12/6/6	22/11/11	23/9/7	26/12/10	26/13/11	38/18/12	43/20/13	33/16/7	70/36/16	70/35/16
	BANK3	7/2/0	8/3/1	14/6/4	12/4/2	15/7/2	25/12/7	24/11/5	27/12/6	28/13/0	41/20/8	41/20/8
最大ユーザー I/O 数 ^[2]		24	40	57	70	79	105	119	131	129	207	207
差動ペア		9	18	26	25	37	51	55	61	63	101	101
True LVDS 出力		3	9	19	11	13	23	22	25	27	32	32
VCC		2	2	3	4	4	4	4	4	4	8	8
VCCIO0		1	0	1	1	2	3	2	2	3	4	4
VCCIO1		1	0	1	1	2	3	2	2	4	3	3
VCCIO2		1	0	1	2	2	3	2	2	3	4	4
VCCIO3		1	0	1	1	2	3	2	2	4	3	3
VCCIO0/VCCIO3 ^[3]		0	1	0	0	0	0	0	0	0	0	0
VCCIO1/VCCIO2 ^[3]		0	1	0	0	0	0	0	0	0	0	0
VCCX		1	1	1	2	2	0	2	4	5	2	2
VSS		1	2	6	6	6	10	10	12	16	24	24
MODE0		0	0	1	1	1	0	1	1	0	1	1
MODE1		1	1	0	1	0	0	1	1	0	1	1
MODE2		0	0	0	0	0	0	0	1	0	1	1
JTAGSEL_N		0	1	1	1	1	1	1	1	1	1	1

注記：

- ^[1] シングルエンド/差動 I/O の数には、CLK ピン、ダウンロードピンが含まれています。

- ^[2] JTAGSEL_N と JTAG ピンは、相互に排他的なピンで、JTAGSEL_N ピンと JTAG 機能の 4 ピン(TCK、TDI、TDO、TMS)を同時に I/O として使用することはできません。
- ^[3]ピンの多重化。

2.4.6 GW1N-9 デバイスのピン数

表 2-8 GW1N-9 デバイスのピン数一覧

ピンタイプ		GW1N-9												
		QN48	CM64	QN88	LQ100	MG100	LQ144	EQ144	MG160	UG169	LQ176	EQ176	MG196	PG256
シングルエンド/ 差動ペア/LVDS ^[1]	BANK0	4/2/0	12/6/0	0/0/0	9/4/0	22/11/0	18/9/0	18/9/0	20/10/0	28/13/0	17/8/0	17/8/0	30/15/0	36/16/0
	BANK1	13/6/3	12/6/4	25/6/4	24/12/4	16/8/5	32/16/8	32/16/8	34/17/9	38/19/12	36/17/7	36/17/7	26/13/11	56/28/10
	BANK2	12/6/6	18/9/9	23/9/11	26/13/12	32/15/14	40/19/14	40/19/14	43/21/19	30/15/15	54/26/20	54/26/20	35/17/16	70/35/16
	BANK3	11/4/3	13/5/3	22/4/4	20/9/4	17/7/6	30/13/6	30/13/6	34/16/10	33/15/11	40/18/10	40/18/10	22/9/8	49/23/10
最大ユーザー I/O 数 ^[2]		40	55	70	79	87	120	120	131	129	147	147	113	207
差動ペア		18	26	30	38	41	57	57	64	62	69	69	54	102
True LVDS 出力		12	16	19	20	25	28	28	38	38	37	37	35	36
VCC		2	2	4	4	3	4	4	4	4	4	4	15	8
VCCX		1	2	2	2	1	2	2	4	5	4	4	8	2
VCCIO0		0	0	1	2	1	2	2	2	3	3	3	4	4
VCCIO1		0	0	1	2	1	2	2	2	4	3	3	6	3
VCCIO2		0	0	2	2	1	2	2	2	3	3	3	4	4
VCCIO3		0	0	1	2	0	2	2	2	4	3	3	6	3
VCCIO0/VCCIO3 ^[3]		1	0	0	0	0	0	0	0	0	0	0	0	0
VCCIO1/VCCIO2 ^[3]		1	0	0	0	0	0	0	0	0	0	0	0	0
VCCIO0/VCCIO2 ^[3]		0	1	0	0	0	0	0	0	0	0	0	0	0
VCCIO1/VCCIO3 ^[3]		0	1	0	0	0	0	0	0	0	0	0	0	0
VSS		2	2	6	6	4	9	9	12	16	8	8	39	24
MODE0		0	0	1	1	0	1	1	1	0	1	1	0	1
MODE1		0	0	1	0	1	1	1	1	0	1	1	0	1
MODE2		0	0	0	0	0	0	0	1	0	1	1	0	1
MODE1/MODE2 ^[3]		1	0	0	0	0	0	0	0	0	0	0	0	0
JTAGSEL_N		1	1	1	1	1	1	1	1	1	1	1	1	1
NC		0	0	0	0	0	0	0	0	0	0	0	0	0

(続く)

ピンタイプ		GW1N-9					
		UG256	UG332	QN48F	MG100T	QFN88F	QN60
シングルエンド/差動ペア /LVDS ^[1]	BANK0	46/23/0	46/23/0	9/4/0	12/6/0	18/9/0	12/6/0
	BANK1	58/29/12	68/34/11	9/3/2	22/5/1	14/7/6	10/5/3
	BANK2	52/26/12	90/45/20	12/6/6	32/15/14	20/10/10	12/6/6
	BANK3	51/25/12	69/34/12	9/4/3	21/4/2	18/8/8	10/3/2
最大ユーザー I/O 数 ^[2]		207	273	39	87	70	44
差動ペア		103	136	17	30	34	20
True LVDS 出力		36	43	11	17	24	11
VCC		8	8	2	3	4	4
VCCX		1	2	1	1	0	2
VCCIO0/VCCX		0	0	0	0	2	0
VCCIO0		4	3	1	1	0	2
VCCIO1		4	4	0	1	2	1
VCCIO2		4	5	0	1	2	1
VCCIO3		3	3	1	1	2	2
VCCIO0/VCCIO3 ^[3]		0	0	0	0	0	0
VCCIO1/VCCIO2 ^[3]		0	0	1	0	0	0
VCCIO0/VCCIO2 ^[3]		0	0	0	0	0	0
VCCIO1/VCCIO3 ^[3]		0	0	0	0	0	0
VSS		24	27	2	4	6	3
MODE0		0	1	1	0	0	0
MODE1		0	1	0	1	1	0
MODE2		0	1	0	0	0	0
MODE1/MODE2 ^[3]		0	0	0	0	0	1
JTAGSEL_N		1	1	1	1	0	1
NC		0	6	0	0	0	0

●

注記：

- ^[1]シングルエンド/差動 I/O の数には、CLK ピン、ダウンロードピンが含まれています。
- ^[2]JTAGSEL_N と JTAG ピンは、相互に排他的なピンで、JTAGSEL_N ピンと JTAG 機能の 4 ピン(TCK、TDI、TDO、TMS)を同時に I/O として使用することはできません。
- ^[3]ピンの多重化。

2.5 I/O BANK の説明

GW1N-1/4/9 には 4 つの I/O BANK があります。

GW1N-1S には 3 つの I/O BANK があります。

GW1N-1P5/GW1N-2 には 6 つの I/O BANK があり、GW1N-2 の CS42/QN48H/MG132H/QN88/CS42H パッケージには 7 つの I/O BANK があります。

BANK の詳細については、『GW1N シリーズ FPGA 製品データシート([DS100](#))』 > 2.3 入出力ブロックを参照してください。

このマニュアルには、GW1N シリーズ FPGA 製品の各パッケージのピン配置図が記載されています。詳細は、[3 ピン配置図](#)を参照してください。GW1N シリーズ FPGA 製品の BANK は異なる色で区別されています。

ユーザー I/O、電源、グラウンドは異なる記号により区別されています。GW1N シリーズ FPGA 製品のピン配置図のピンの定義は以下の通りです：

- “” は BANK0 内の I/O を表します。
- “” は BANK1 内の I/O を表します。
- “” は BANK2 内の I/O を表します。
- “” は BANK3 内の I/O を表します。
- “” は BANK4 内の I/O を表します。
- “” は BANK5 内の I/O を表します。
- “” は BANK6 内の I/O(MIPI ハードコアの DIO)を表します。
- “” は VCC、VCCX、VCCIO を表します。
- “” は VSS を表します。
- “” は NC を表します。

3ピン配置図

3.1 GW1N-1S デバイスのピン配置図

3.1.1 FN32 のピン配置図

図 3-1 GW1N-1S デバイス FN32 パッケージのピン配置図(トップビュー)

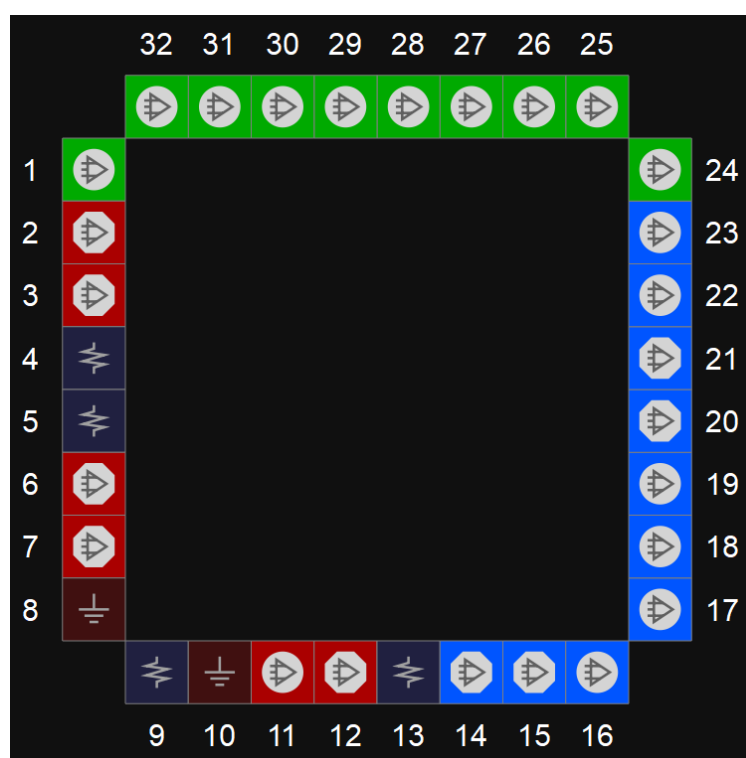


表 3-1 GW1N-1S デバイス FN32 パッケージのその他のピン

VCC/VCCPLL	9
VCCIO0	5
VCCIO1	4
VCCIO2	13
VSS	8,10

3.1.2 CS30 のピンの配置図

図 3-2 GW1N-1S デバイス CS30 パッケージのピン配置図(トップビュー)

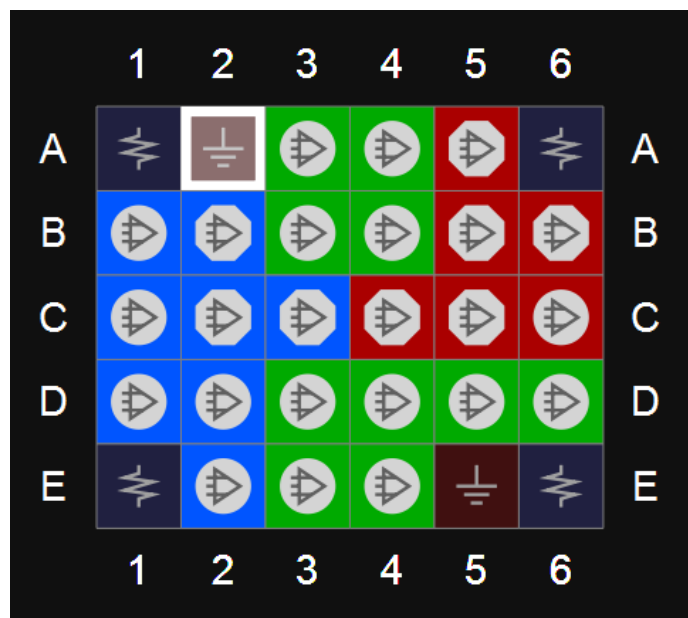


表 3-2 GW1N-1S デバイス CS30 パッケージのその他のピン

VCC/VCCPLL	E6
VCCIO0	A6
VCCIO1	A1
VCCIO2	E1
VSS	A2,E5

表 3-4 GW1N-1 デバイス QN32 パッケージのその他のピン

VCC	2, 18
VCCIO0	19
VCCIO1/VCCIO2	7
VCCIO3	31
VSS	3

3.2.3 QN48 のピン配置図

図 3-5 GW1N-1 デバイス QN48 パッケージのピン配置図(トップビュー)

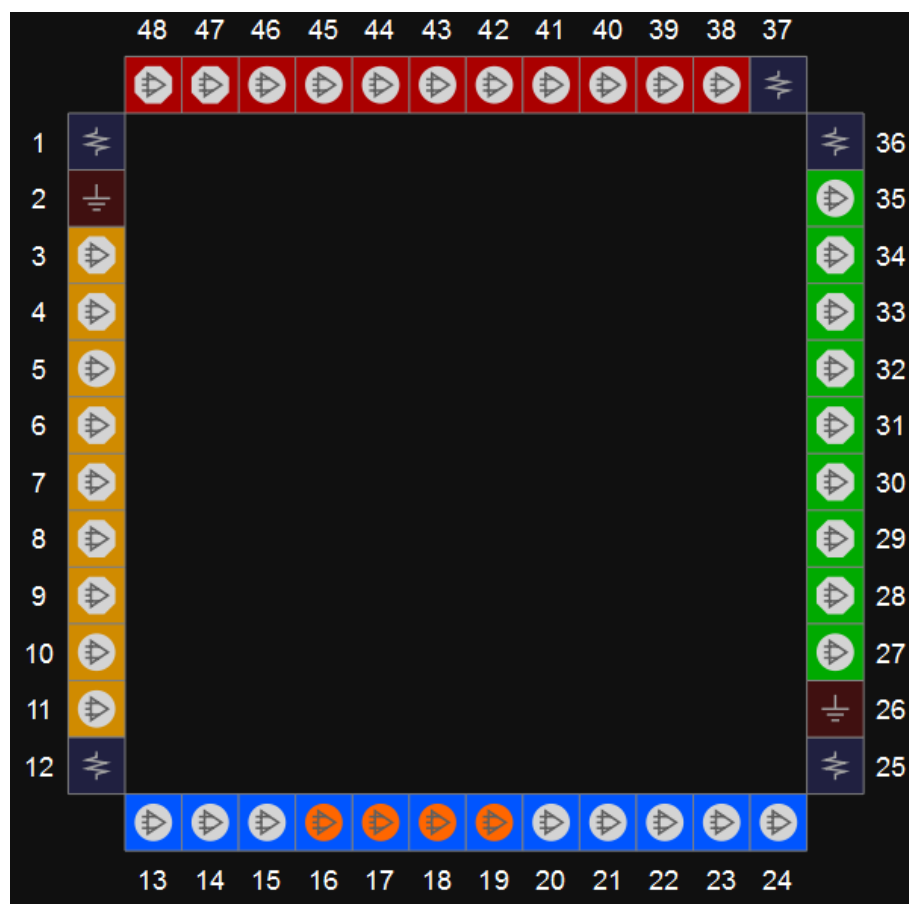


表 3-5 GW1N-1 デバイス QN48 パッケージのその他のピン

VCC	12, 37
VCCIO0/VCCIO3	1
VCCIO1	36
VCCIO2	25
VSS	2, 26

3.2.4 LQ100 のピン配置図

図 3-6 GW1N-1 デバイス LQ100 パッケージのピン配置図(トップビュー)

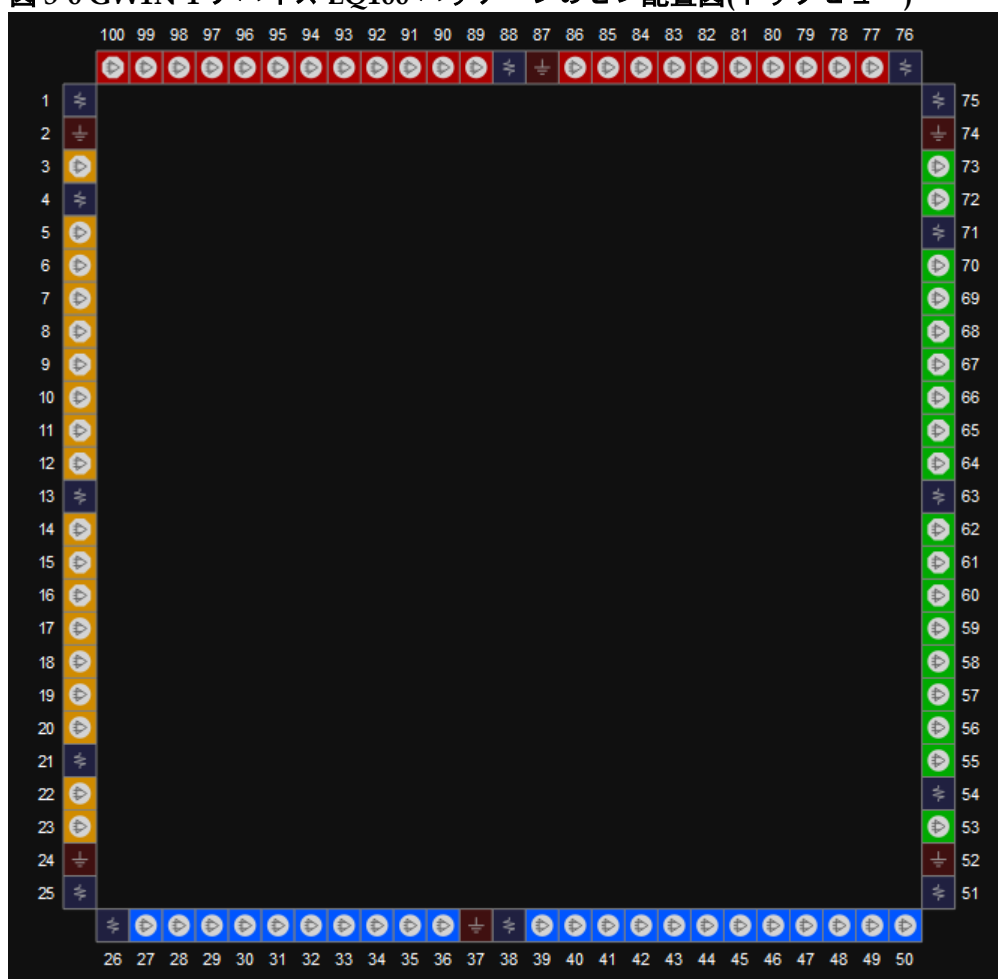


表 3-6 GW1N-1 デバイス LQ100 パッケージのその他のピン

VCC	1, 25, 51, 75
VCCIO0	76, 88
VCCIO1	54, 63, 71
VCCIO2	26, 38
VCCIO3	4, 13, 21
VSS	2, 24, 37, 52, 74, 87

3.2.5 LQ144 のピン配置図

図 3-7 GW1N-1 デバイス LQ144 パッケージのピン配置図(トップビュー)



表 3-7 GW1N-1 デバイス LQ144 パッケージのその他のピン

VCC	1, 36, 73, 108
VCCIO0	109, 127
VCCIO1	77, 91, 103
VCCIO2	37, 55
VCCIO3	5, 19, 31
VSS	2, 17, 33, 35, 53, 74, 89, 105, 107, 125
NC	110, 111, 112

3.3 GW1N-2 デバイスのピン配置図

3.3.1 CS42 のピン配置図

図 3-8 GW1N-2 デバイス CS42 パッケージのピン配置図(トップビュー)

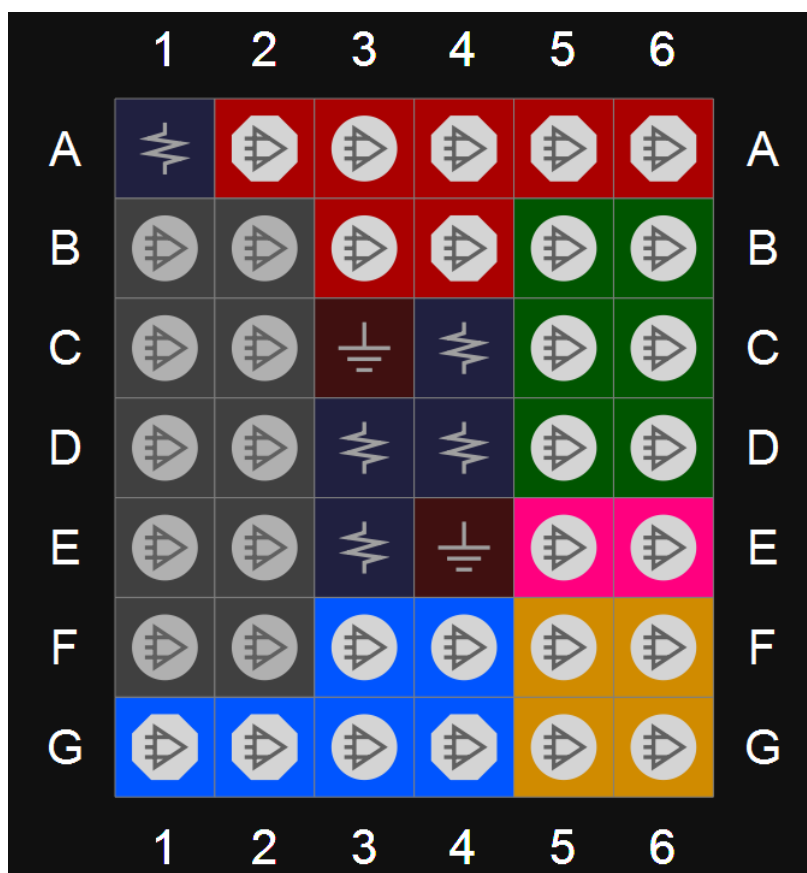


表 3-8 GW1N-2 デバイス CS42 パッケージのその他のピン

VCC	D4
VCCIO0/VCCIO2	A1
VCCIO3/VCCIO4/VCCIO5	C4
VCCIOD/VCCIO1/VCCIOD	D3
VCCX	E3
VSS	C3,E4

3.3.2 CS42H のピン配置図

図 3-9 GW1N-2 デバイス CS42H パッケージのピン配置図(トップビュー)

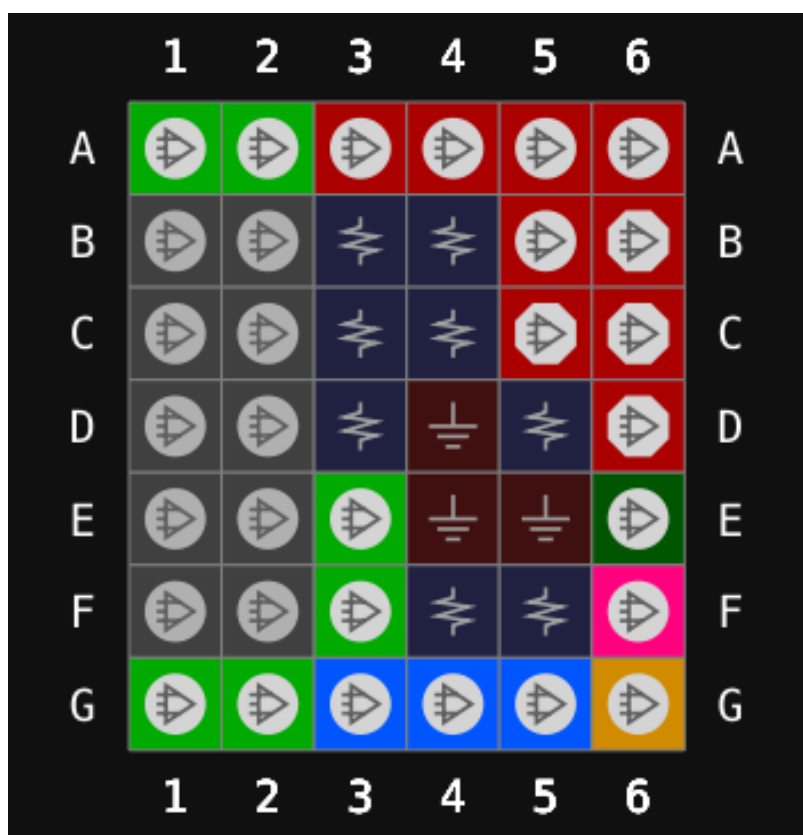


表 3-9 GW1N-2 デバイス CS42H パッケージのその他のピン

VCC	D3
VCCIO0	B4
VCCIO1	B3
VCCIO2	F5
VCCIO3/ VCCIO4/ VCCIO5	C4
VCCX	D5,F4
VCCD/VCCIOD	C3
VSS	D4,E4,E5

3.3.3 CS100H のピン配置図

図 3-10 GW1N-2 デバイス CS100H パッケージのピン配置図(トップビュー)

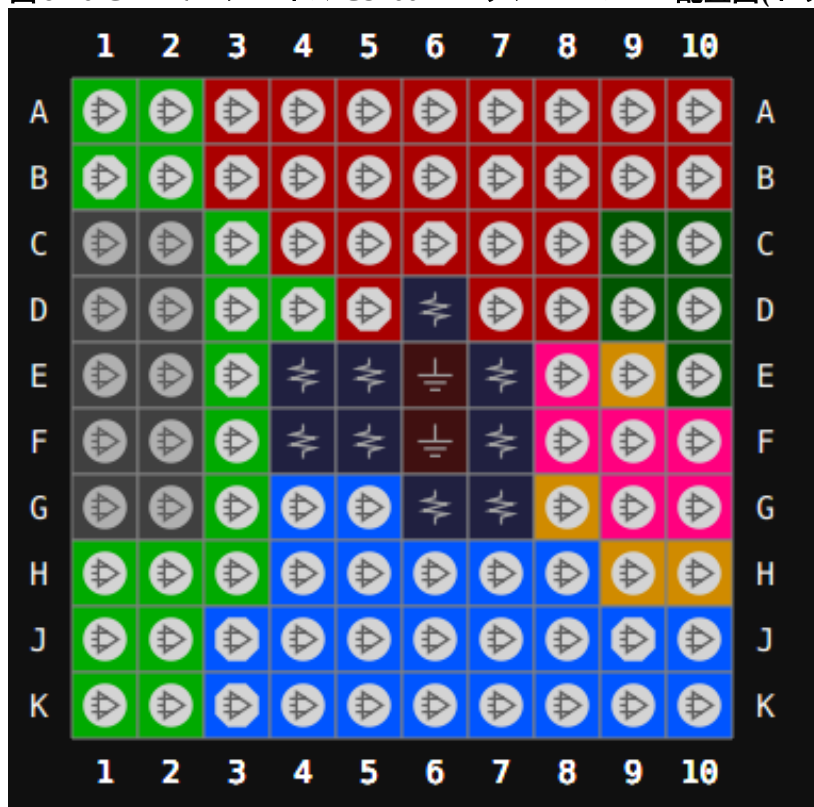


表 3-10 GW1N-2 デバイス CS100H パッケージのその他のピン

VCC	E5
VCCIO0	D6
VCCIO1	E4
VCCIO2	G6
VCCIO3	G7
VCCIO4	F7
VCCIO5	E7
VCCD/VCCIOD	F4
VCCX	F5
VSS	E6, F6

3.3.4 MG132X のピン配置図(UV バージョン)

図 3-11 GW1N-2 デバイス MG132X パッケージのピン配置図(UV バージョン、トップビュー)

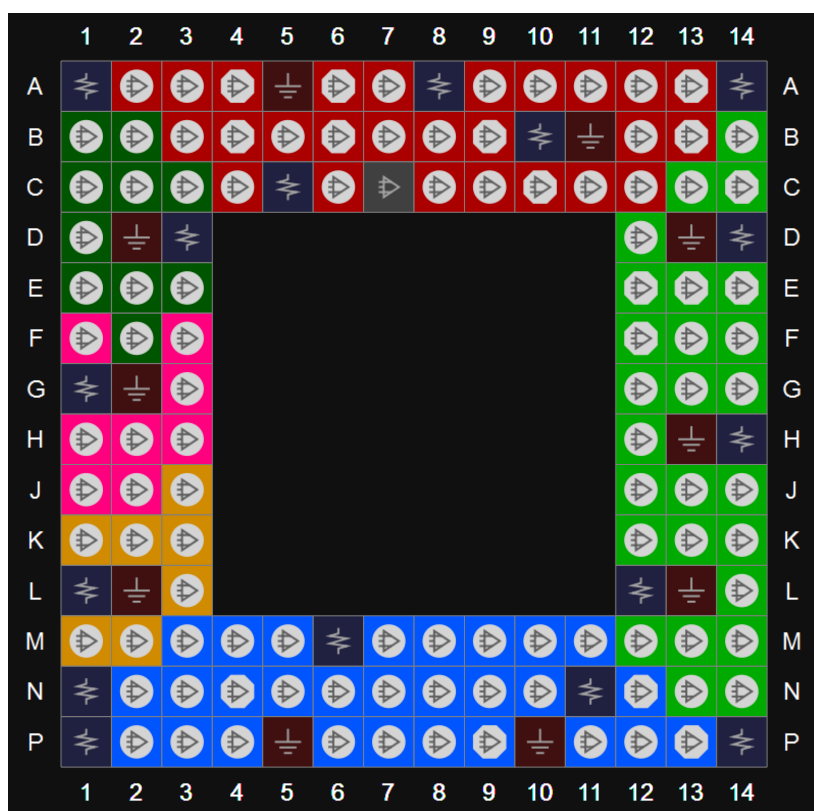


表 3-11 GW1N-2 デバイス MG132X パッケージのその他のピン(UV バージョン)

VCC/VCCX	A1,A14,N1,P14
VCCIO0	A8,B10,C5
VCCIO1	D14,H14,L12
VCCIO2	M6,N11,P1
VCCIO3	L1
VCCIO4	G1
VCC05	D3
VSS	A5,B11,D2,D13,G2,H13,L2,L13,,P5,P10
NC	C7

3.3.5 MG132X のピン配置図(LV バージョン)

図 3-12 GW1N-2 デバイス MG132X パッケージのピン配置図(LV バージョン、トップビュー)

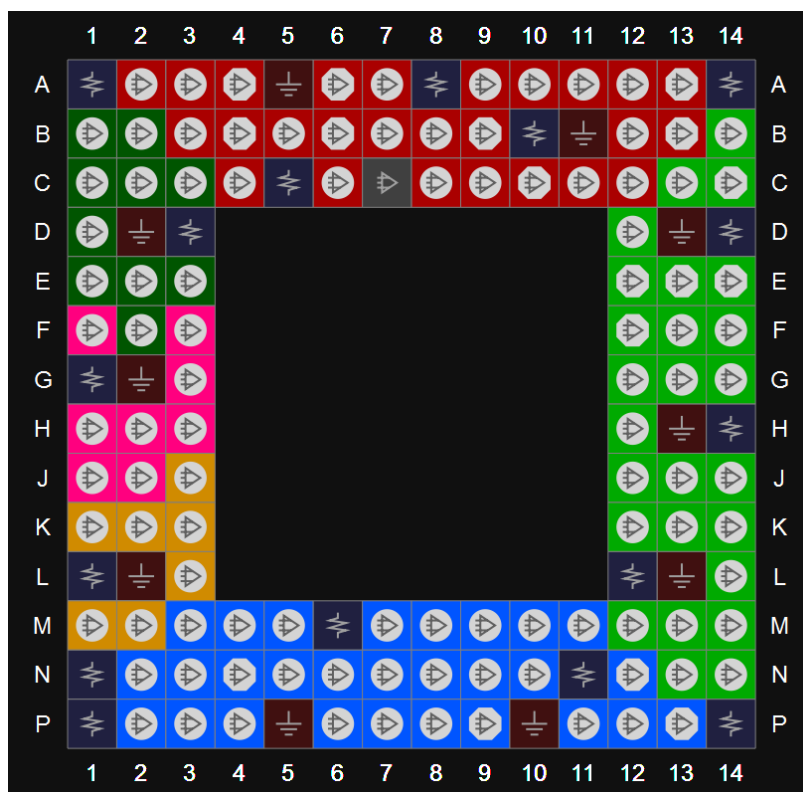


表 3-12 GW1N-2 デバイス MG132X パッケージのその他のピン(LV バージョン)

VCC	A1,A14,N1,P14
VCCIO0	A8,B10,C5
VCCIO1/VCCX	D14,H14,L12
VCCIO2	M6,N11,P1
VCCIO3	L1
VCCIO4	G1
VCC05	D3
VSS	A5,B11,D2,D13,G2,H13,L2,L13,,P5,P10
NC	C7

3.3.6 LQ100X のピン配置図(UV バージョン)

図 3-13 GW1N-2 デバイス LQ100X パッケージのピン配置図(UV バージョン、トップビュー)

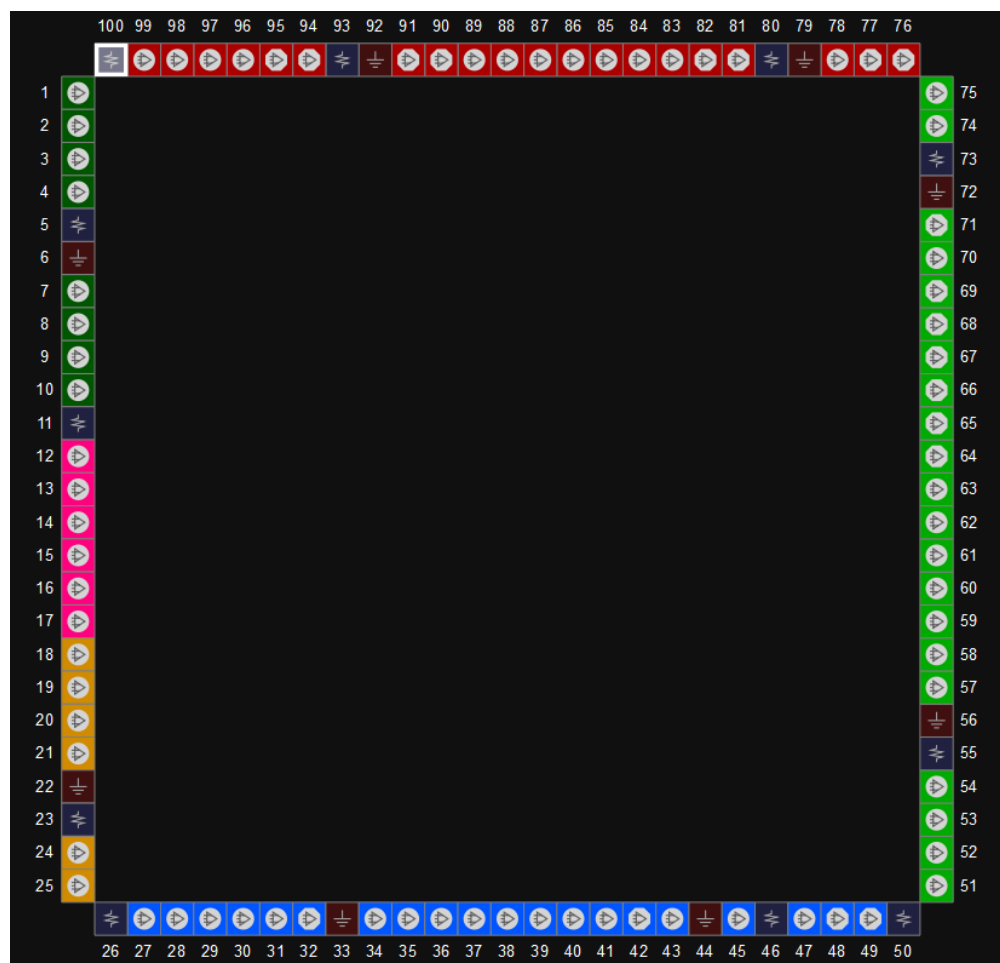


表 3-13 GW1N-2 デバイス LQ100X パッケージのその他のピン(UV バージョン)

VCC/VCCX	100,50
VCCIO0	80,93
VCCIO1	55,73
VCCIO2	26,46
VCCIO3	23
VCCIO4	11
VCCIO5	5
VSS	6,22,33,44,56,72,79,92

3.3.7 LQ100X のピン配置図(LV バージョン)

図 3-14 GW1N-2 デバイス LQ100X パッケージのピン配置図(LV バージョン、トップビュー)

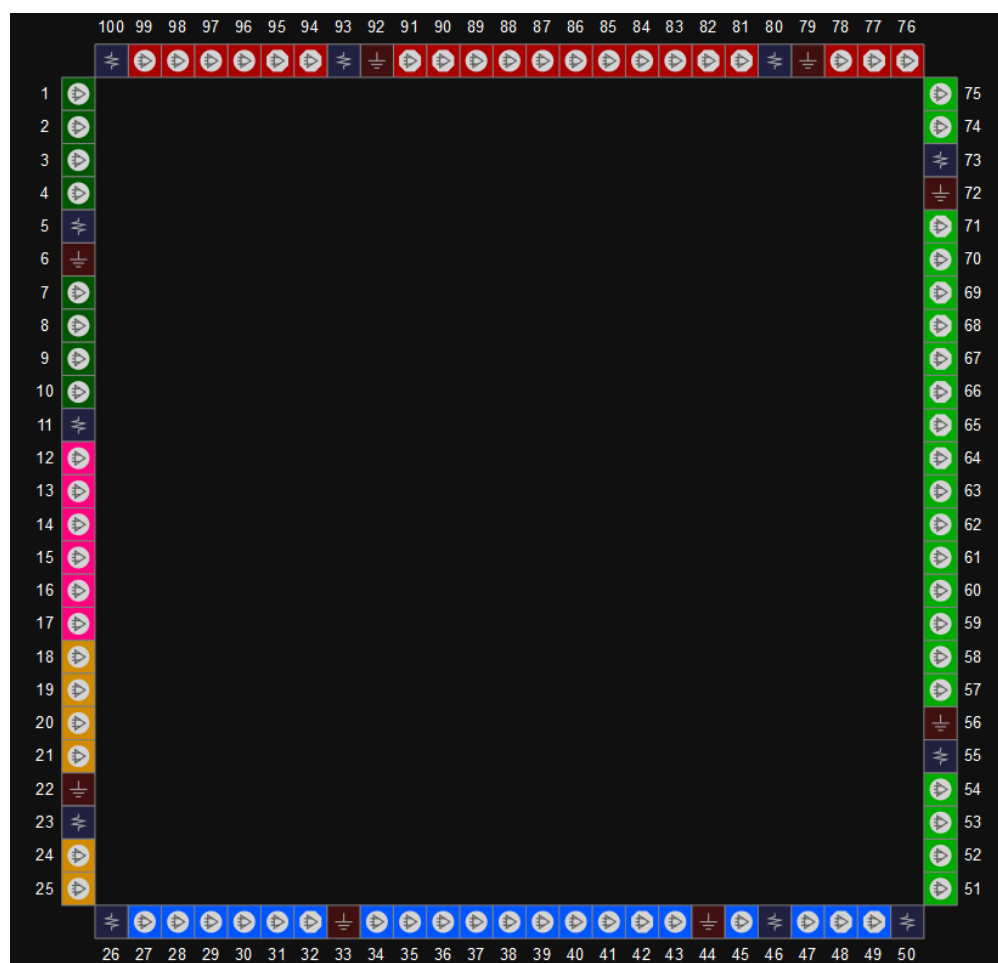


表 3-14 GW1N-2 デバイス LQ100X パッケージのその他のピン(LV バージョン)

VCC	100,50
VCCIO0	80,93
VCCIO1/VCCX	55,73
VCCIO2	26,46
VCCIO3	23
VCCIO4	11
VCCIO5	5
VSS	6,22,33,44,56,72,79,92

3.3.8 LQ100 のピン配置図(UV バージョン)

図 3-15 GW1N-2 デバイス LQ100 パッケージのピン配置図(UV バージョン、トップビュー)

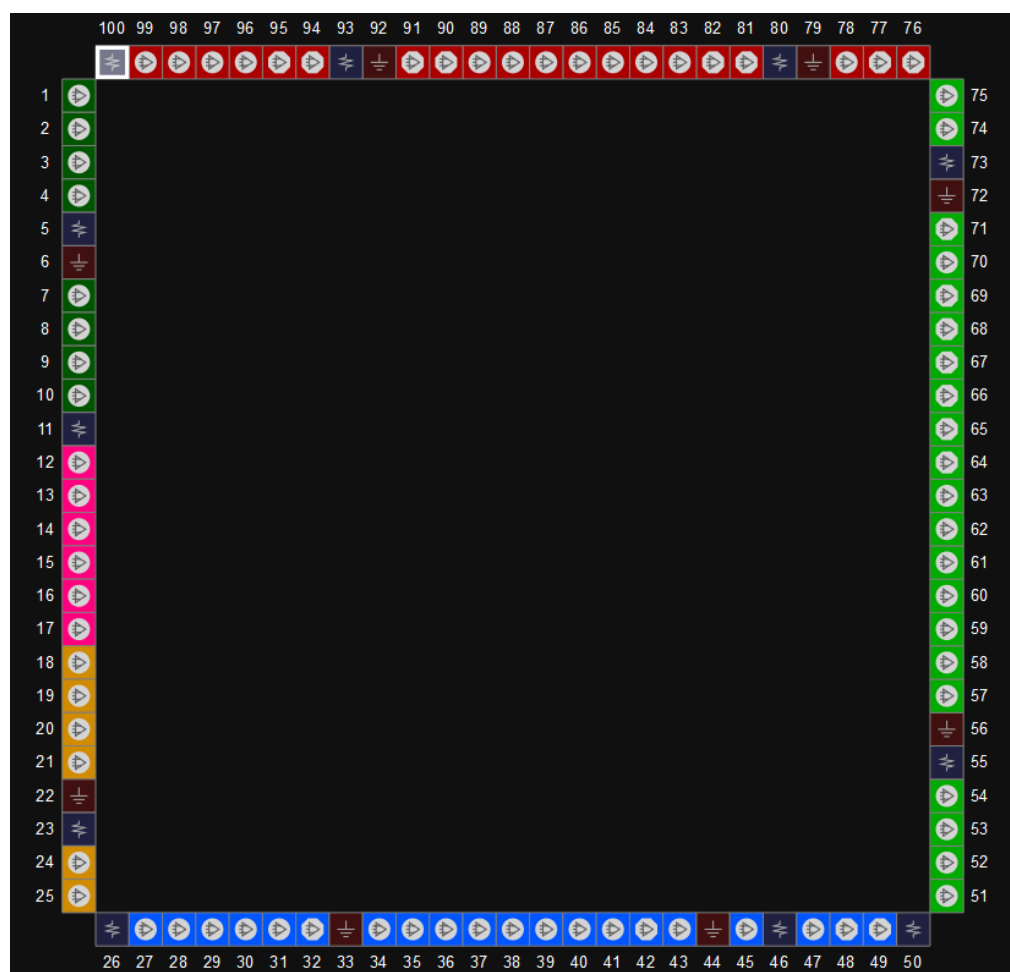


表 3-15 GW1N-2 デバイス LQ100 パッケージのその他のピン(UV バージョン)

VCC/VCCX	100,50
VCCIO0	80,93
VCCIO1	55,73
VCCIO2	26,46
VCCIO3	23
VCCIO4	11
VCCIO5	5
VSS	6,22,33,44,56,72,79,92

3.3.9 LQ100 のピン配置図(LV バージョン)

図 3-16 GW1N-2 デバイス LQ100 パッケージのピン配置図(LV バージョン、トップビュー)

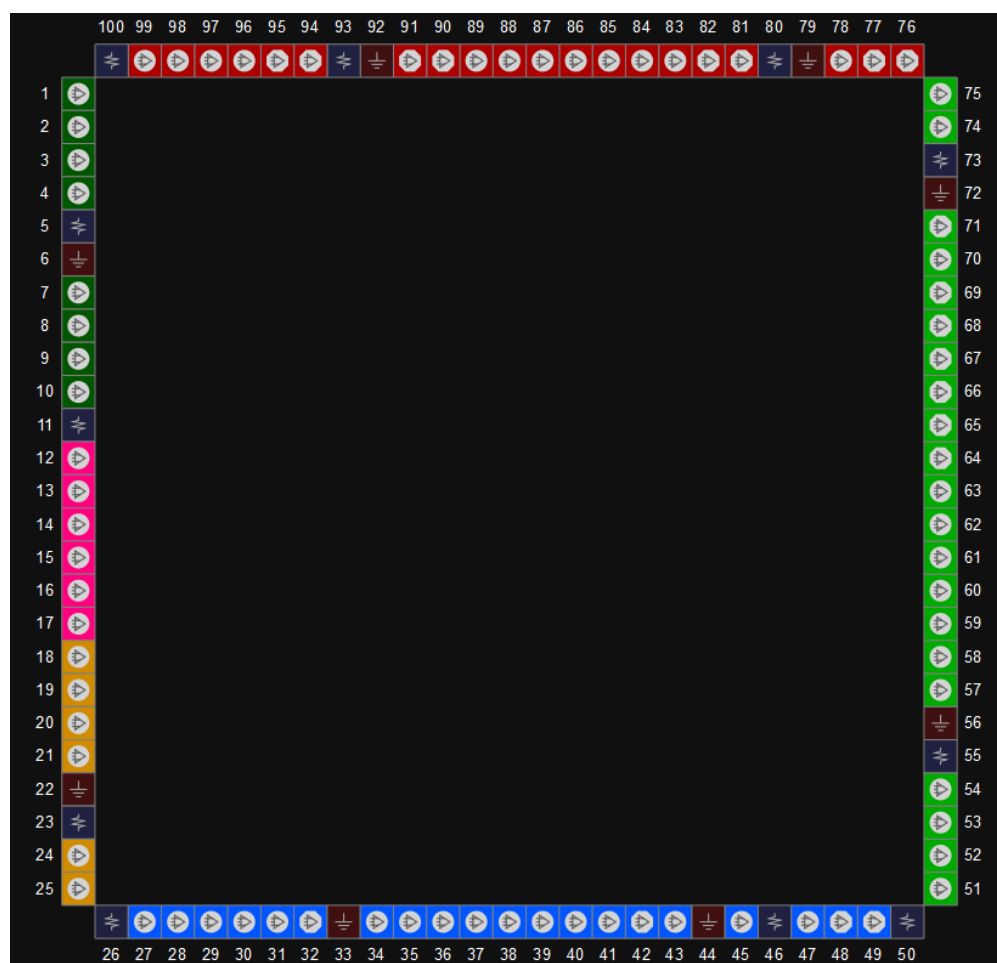


表 3-16 GW1N-2 デバイス LQ100 パッケージのその他のピン(LV バージョン)

VCC	100,50
VCCIO0	80,93
VCCIO1/VCCX	55,73
VCCIO2	26,46
VCCIO3	23
VCCIO4	11
VCCIO5	5
VSS	6,22,33,44,56,72,79,92

3.3.10 LQ144X のピン配置図(UV バージョン)

図 3-17 GW1N-2 デバイス LQ144X パッケージのピン配置図(UV バージョン、トップビュー)



表 3-17 GW1N-2 デバイス LQ144X パッケージのその他のピン(UV バージョン)

VCC/VCCX	144,36,72,108
VCCIO0	118,123,135
VCCIO1	79,88,102
VCCIO2	37,51,66
VCCIO3	30
VCCIO4	16
VCC05	7
VSS	8,18,29,46,53,64,80,90,101,116,124,134
NC	103,31

3.3.11 LQ144X のピン配置図(LV バージョン)

図 3-18 GW1N-2 デバイス LQ144X パッケージのピン配置図(LV バージョン、トップビュー)



表 3-18 GW1N-2 デバイス LQ144X パッケージのその他のピン(LV バージョン)

VCC	144,36,72,108
VCCIO0	118,123,135
VCCIO1/VCCX	79,88,102
VCCIO2	37,51,66
VCCIO3	30
VCCIO4	16
VCC05	7
VSS	8,18,29,46,53,64,80,90,101,116,124,134
NC	103,31

3.3.12 LQ144 のピン配置図(UV バージョン)

図 3-19 GW1N-2 デバイス LQ144 パッケージのピン配置図(UV バージョン、トップビュー)



表 3-19 GW1N-2 デバイス LQ144 パッケージのその他のピン(UV バージョン)

VCC/VCCX	144,36,72,108
VCCIO0	118,123,135
VCCIO1	79,88,102
VCCIO2	37,51,66
VCCIO3	30
VCCIO4	16
VCC05	7
VSS	8,18,29,46,53,64,80,90,101,116,124,134
NC	103,31

3.3.13 LQ144 のピン配置図(LV バージョン)

図 3-20 GW1N-2 デバイス LQ144 パッケージのピン配置図(LV バージョン、トップビュー)



表 3-20 GW1N-2 デバイス LQ144 パッケージのその他のピン(LV バージョン)

VCC	144,36,72,108
VCCIO0	118,123,135
VCCIO1/VCCX	79,88,102
VCCIO2	37,51,66
VCCIO3	30
VCCIO4	16
VCC05	7
VSS	8,18,29,46,53,64,80,90,101,116,124,134
NC	103,31

3.3.14 LQ144F のピン配置図(UV バージョン)

図 3-21 GW1N-2 デバイス LQ144F パッケージのピン配置図(UV バージョン、トップビュー)



表 3-21 GW1N-2 デバイス LQ144F パッケージのその他のピン(UV バージョン)

VCC/VCCX	144,36,72,108
VCCIO0	118,123,135
VCCIO1	79,88,102
VCCIO2	37,51,66
VCCIO3	30
VCCIO4	16
VCC05	7
VSS	8,18,29,46,53,64,80,90,101,116,124,134

3.3.15 LQ144F のピン配置図(LV バージョン)

図 3-22 GW1N-2 デバイス LQ144F パッケージのピン配置図(LV バージョン、トップビュー)



表 3-22 GW1N-2 デバイス LQ144F パッケージのその他のピン(LV バージョン)

VCC	144,36,72,108
VCCIO0	118,123,135
VCCIO1/VCCX	79,88,102
VCCIO2	37,51,66
VCCIO3	30
VCCIO4	16
VCC05	7
VSS	8,18,29,46,53,64,80,90,101,116,124,134

3.3.16 QN48 のピン配置図

図 3-23 GW1N-2 デバイス QN48 パッケージのピン配置図(トップビュー)

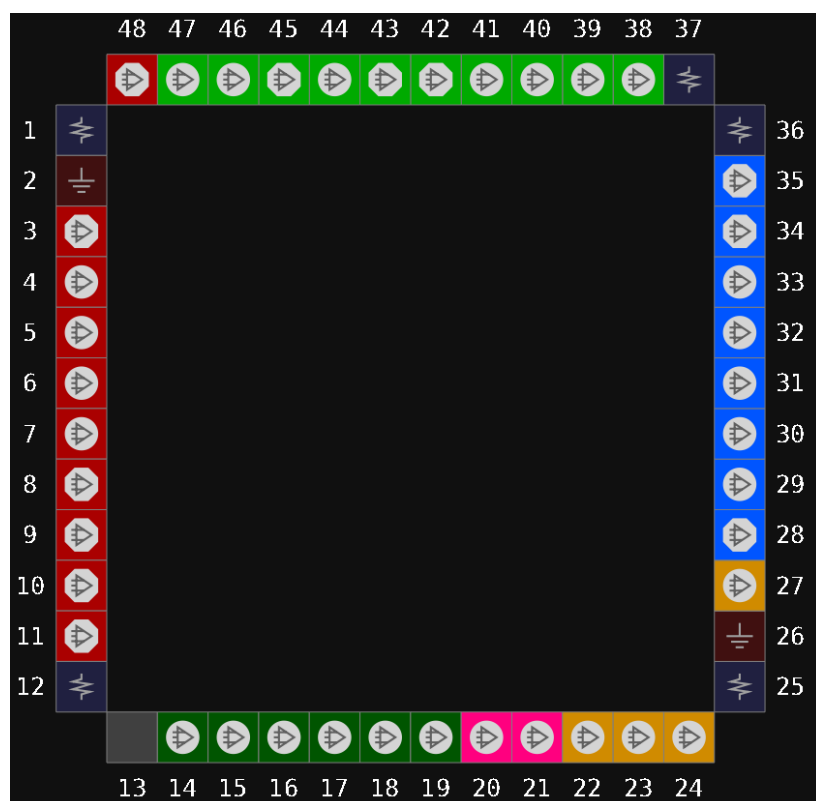


表 3-23 GW1N-2 デバイス QN48 パッケージのその他のピン

VCC	12
VCCIO0	1
VCCIO1	37
VCCIO2/VCCX	36
VCCIO3/VCCIO4/VCCIO5	25
VSS	2,26

3.3.17 QN48H のピン配置図

図 3-24 GW1N-2 デバイス QN48H パッケージのピン配置図(トップビュー)

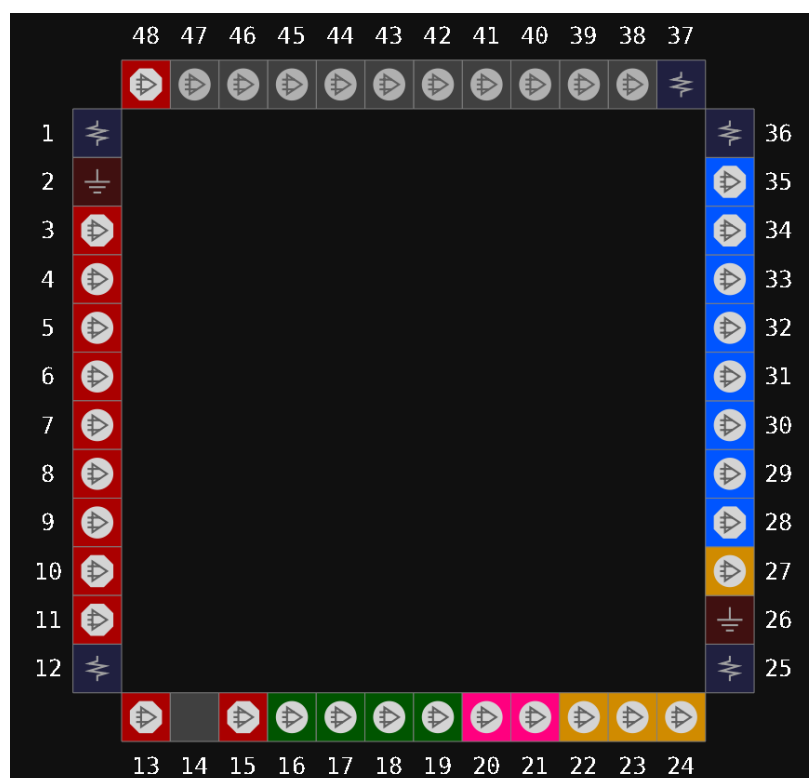


表 3-24 GW1N-2 デバイス QN48H パッケージのその他のピン

VCC/VCCIO1	37
VCCIO0	12
VCCIO2/VCCX	36
VCCIO3/VCCIO4/VCCIO5	25
VCCD/VCCIOD	1
VSS	2,26

3.3.18 MG132H のピン配置図

図 3-25 GW1N-2 デバイス MG132H パッケージのピン配置図(トップビュー)

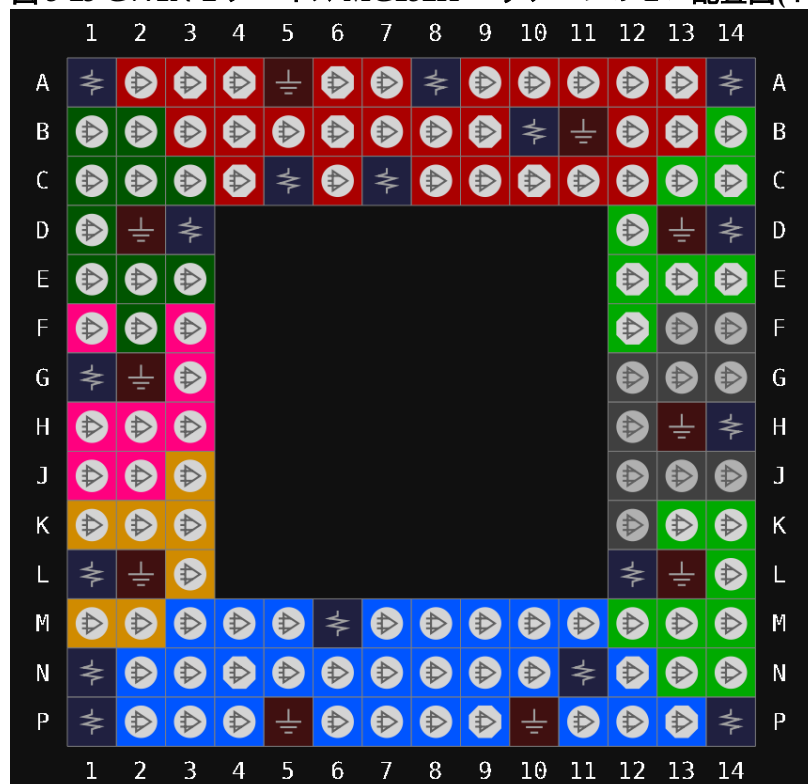


表 3-25 GW1N-2 デバイス MG132H パッケージのその他のピン

VCC	A1,A14,N1,P14
VCCIO0	A8,B10,C5
VCCIO1	D14,L12
VCCIO2	M6,N11,P1
VCCIO3	L1
VCCIO4	G1
VCCIO5	D3
VCCX	H14
VCCD/VCCIOD	C7
VSS	A5,B11,D2,D13,G2,H13,L2,L13,P5,P10

3.3.19 MG132 のピン配置図(UV バージョン)

図 3-26 GW1N-2 デバイス MG132 パッケージのピン配置図(UV バージョン、トップビュー)

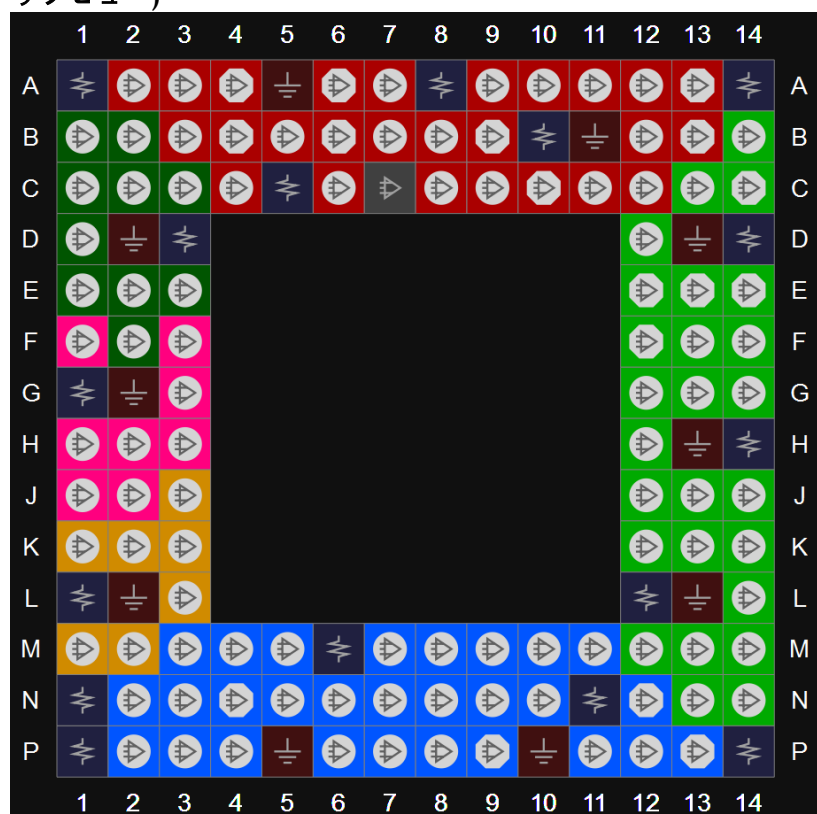


表 3-26 GW1N-2 デバイス MG132 パッケージのその他のピン(UV バージョン)

VCC/VCCX	A1,A14,N1,P14
VCCIO0	A8,B10,C5
VCCIO1	D14,H14,L12
VCCIO2	M6,N11,P1
VCCIO3	L1
VCCIO4	G1
VCCIO5	D3
VSS	A5,B11,D2,D13,G2,H13,L2,L13,P5,P10
NC	C7

3.3.20 MG132 のピン配置図(LV バージョン)

図 3-27 GW1N-2 デバイス MG132 パッケージのピン配置図(LV バージョン、トップビュー)

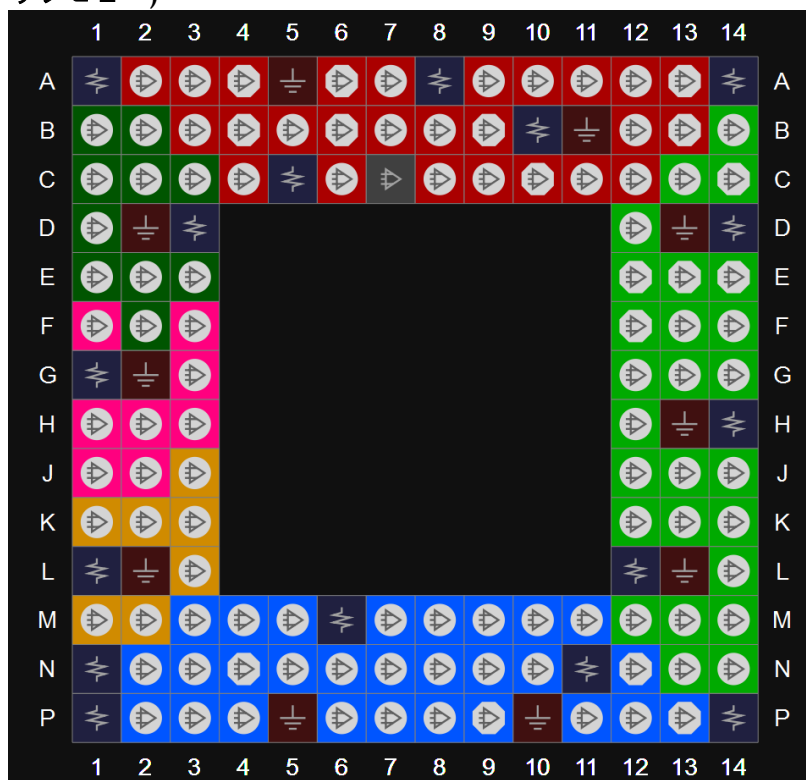


表 3-27 GW1N-2 デバイス MG132 パッケージのその他のピン(LV バージョン)

VCC	A1,A14,N1,P14
VCCIO0	A8,B10,C5
VCCIO1/VCCX	D14,H14,L12
VCCIO2	M6,N11,P1
VCCIO3	L1
VCCIO4	G1
VCCIO5	D3
VSS	A5,B11,D2,D13,G2,H13,L2,L13,P5,P10
NC	C7

3.3.21 MG121 のピン配置図(LV バージョン)

図 3-28 GW1N-2 デバイス MG121 パッケージのピン配置図(LV バージョン、トップビュー)

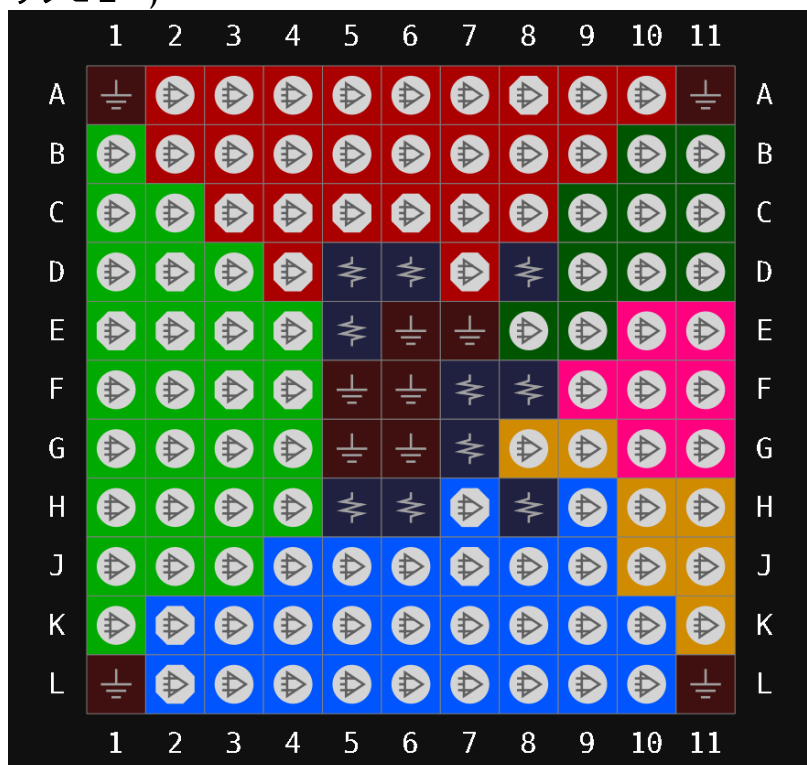


表 3-28 GW1N-2 デバイス MG121 パッケージのその他のピン(LV バージョン)

VCC	F7,G7,D5,E5
VCCIO0	D6
VCCIO1/VCCX	H5
VCCIO2	H6
VCCIO3	H8
VCCIO4	F8
VCCIO5	D8
VSS	A1,A11,E6,E7,F5,F6,G5,G6,L1,L11

3.3.22 MG121 のピン配置図(UV バージョン)

図 3-29 GW1N-2 デバイス MG121 パッケージのピン配置図(UV バージョン、トップビュー)

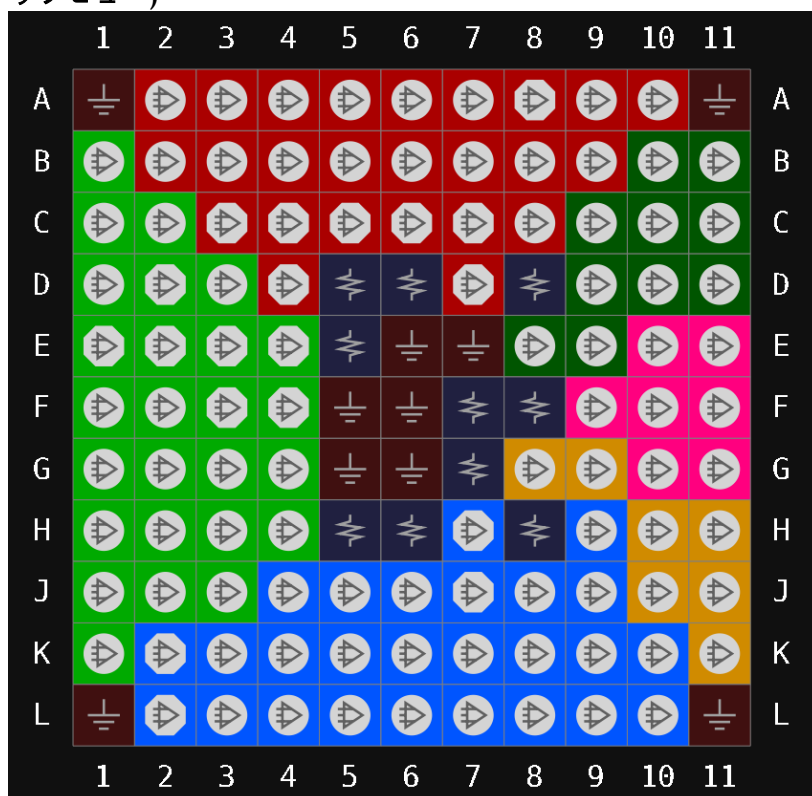


表 3-29 GW1N-2 デバイス MG121 パッケージのその他のピン(UV バージョン)

VCC/VCCX	F7,G7,D5,E5
VCCIO0	D6
VCCIO1	H5
VCCIO2	H6
VCCIO3	H8
VCCIO4	F8
VCCIO5	D8
VSS	A1,A11,E6,E7,F5,F6,G5,G6,L1,L11

3.3.23 MG121X のピン配置図(LV バージョン)

図 3-30 GW1N-2 デバイス MG121X パッケージのピン配置図(LV バージョン、トップビュー)

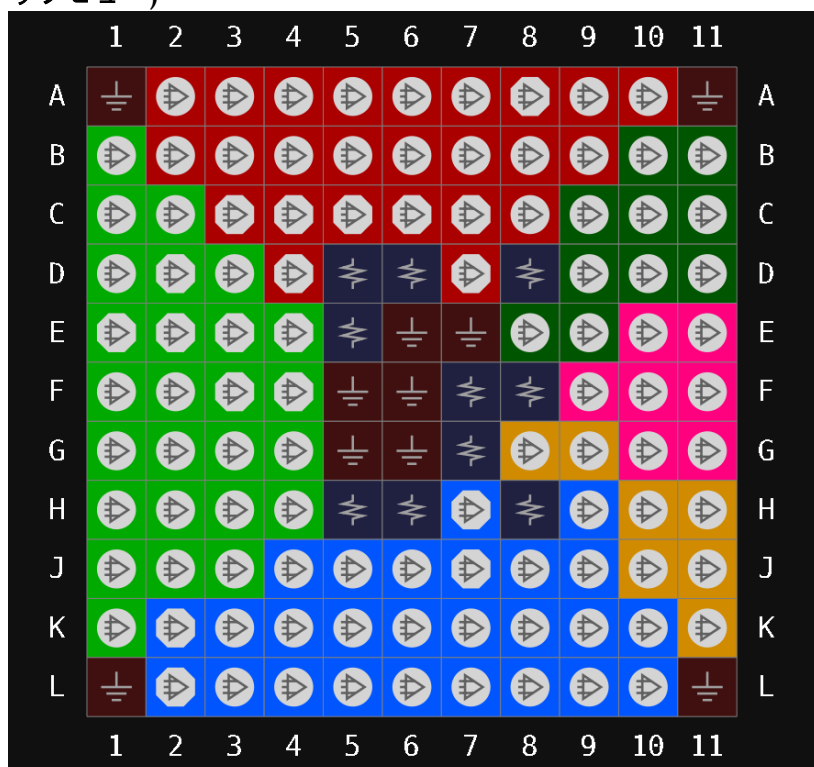


表 3-30 GW1N-2 デバイス MG121X パッケージのその他のピン(LV バージョン)

VCC	F7,G7,D5,E5
VCCIO0	D6
VCCIO1/VCCX	H5
VCCIO2	H6
VCCIO3	H8
VCCIO4	F8
VCCIO5	D8
VSS	A1,A11,E6,E7,F5,F6,G5,G6,L1,L11

3.3.24 MG121X のピン配置図(UV バージョン)

図 3-31 GW1N-2 デバイス MG121X パッケージのピン配置図(UV バージョン、トップビュー)

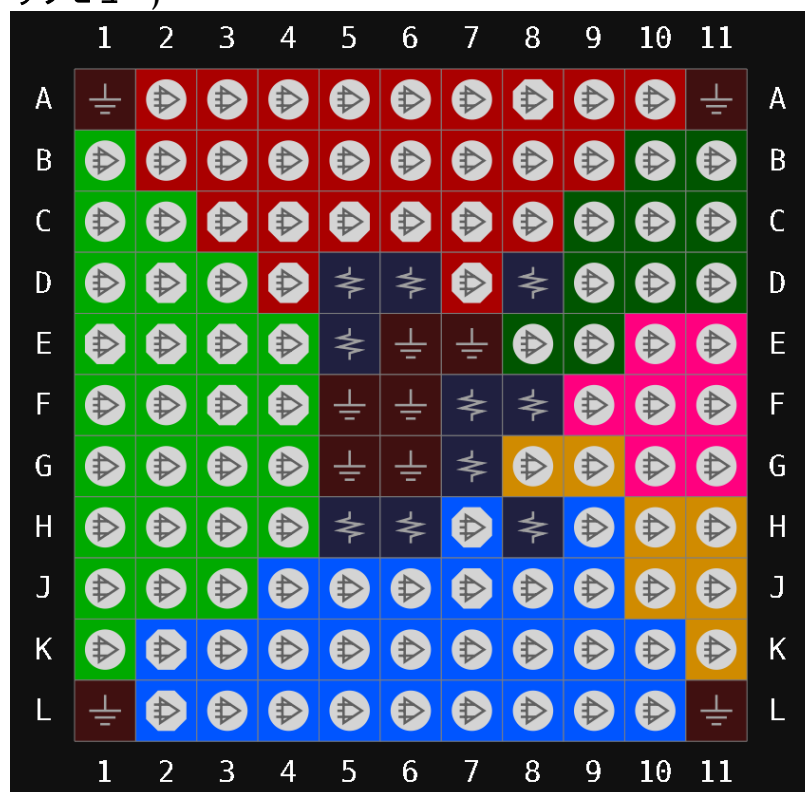


表 3-31 GW1N-2 デバイス MG121X パッケージのその他のピン(UV バージョン)

VCC/VCCX	F7,G7,D5,E5
VCCIO0	D6
VCCIO1	H5
VCCIO2	H6
VCCIO3	H8
VCCIO4	F8
VCCIO5	D8
VSS	A1,A11,E6,E7,F5,F6,G5,G6,L1,L11

3.3.25 MG49 のピン配置図

図 3-32 GW1N-2 デバイス MG49 パッケージのピン配置図(トップビュー)

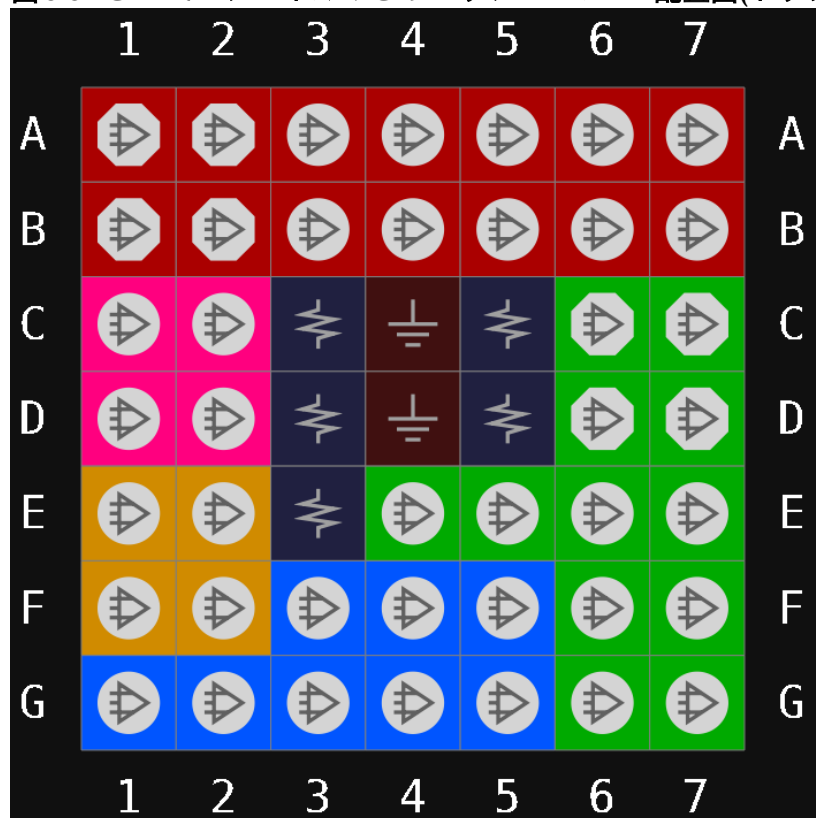


表 3-32 GW1N-2 デバイス MG49 パッケージのその他のピン

VCC	C3
VCCIO0	C5
VCCIO1	D5
VCCIO2/VCCIO3/VCCIO4/ VCCIO5	D3
VCCX	E3
VSS	C4, D4

3.3.26 QN32 のピン配置図(LV バージョン)

図 3-33 GW1N-2 デバイス QN32 パッケージのピン配置図(LV バージョン、トップビュー)

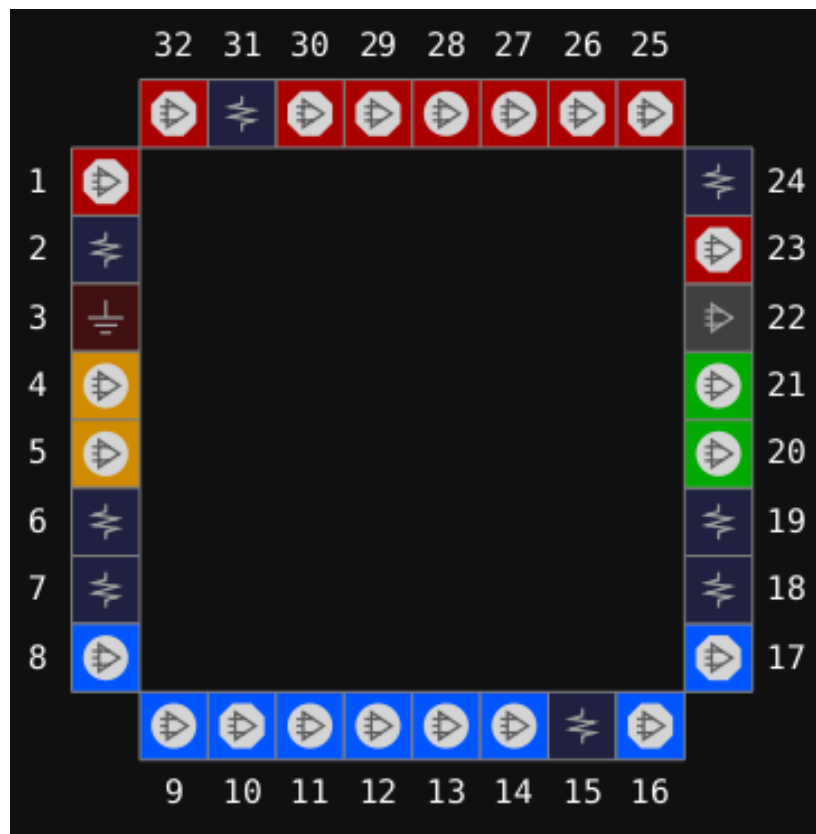


表 3-33 GW1N-2 デバイス QN32 パッケージのその他のピン(LV バージョン)

VCCIO0/VCCX	24,31
VCC/VCCIO4/VCCIO5	18,2
VCCIO2	7,15
VCCIO3	6
VCCIO1	19
VSS	3

3.3.27 QN32 のピン配置図(UV バージョン)

図 3-34 GW1N-2 デバイス QN32 パッケージのピン配置図(UV バージョン、トップビュー)

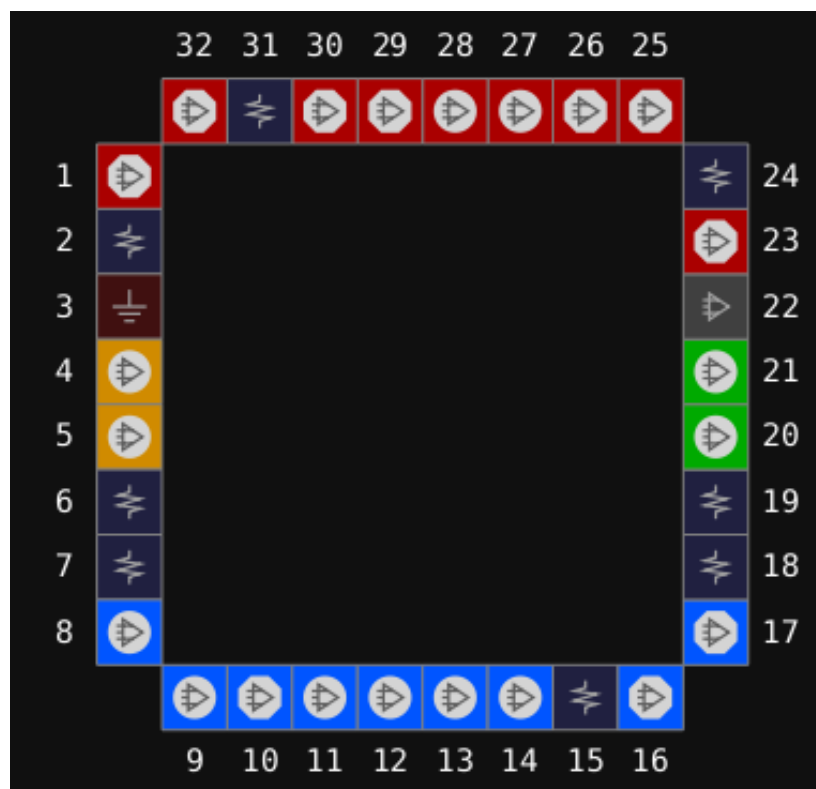


表 3-34 GW1N-2 デバイス QN32 パッケージのその他のピン(UV バージョン)

VCCIO0	24,31
VCCIO1	19
VCCIO2	7,15
VCCIO3	6
VCC/VCCIO4/VCCIO5/VCCX	18,2
VSS	3

3.3.28 QN32X のピン配置図(LV バージョン)

図 3-35 GW1N-2 デバイス QN32X パッケージのピン配置図(LV バージョン、トップビュー)

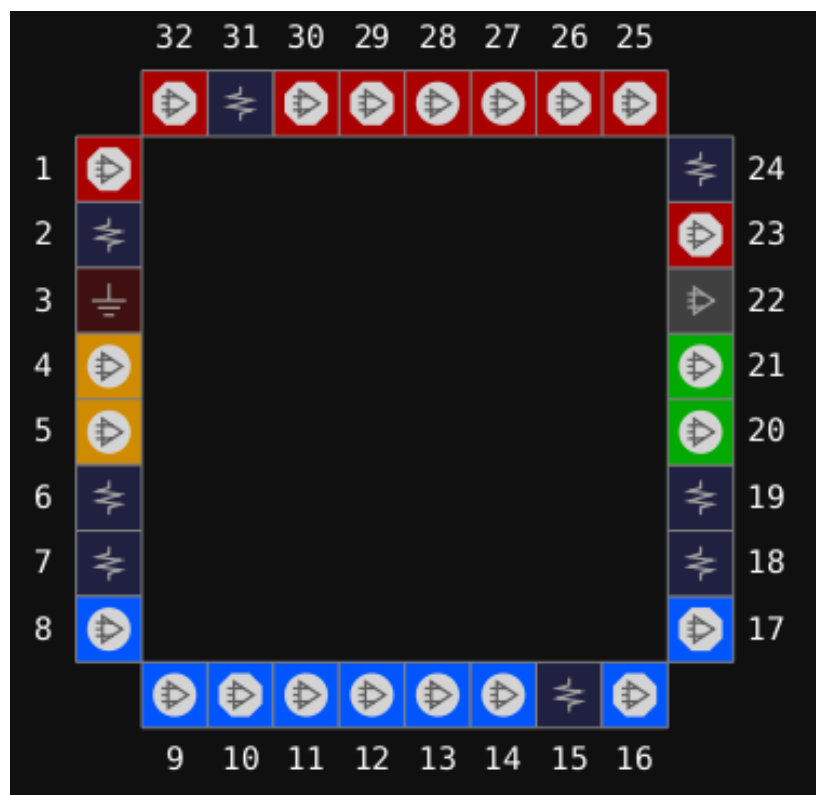


表 3-35 GW1N-2 デバイス QN32X パッケージのその他のピン (LV バージョン)

VCCIO0/VCCX	24,31
VCC/VCCIO4/VCCIO5	18,2
VCCIO2	7,15
VCCIO3	6
VCCIO1	19
VSS	3

3.3.29 QN32X のピン配置図(UV バージョン)

図 3-36 GW1N-2 デバイス QN32X パッケージのピン配置図(UV バージョン、トップビュー)

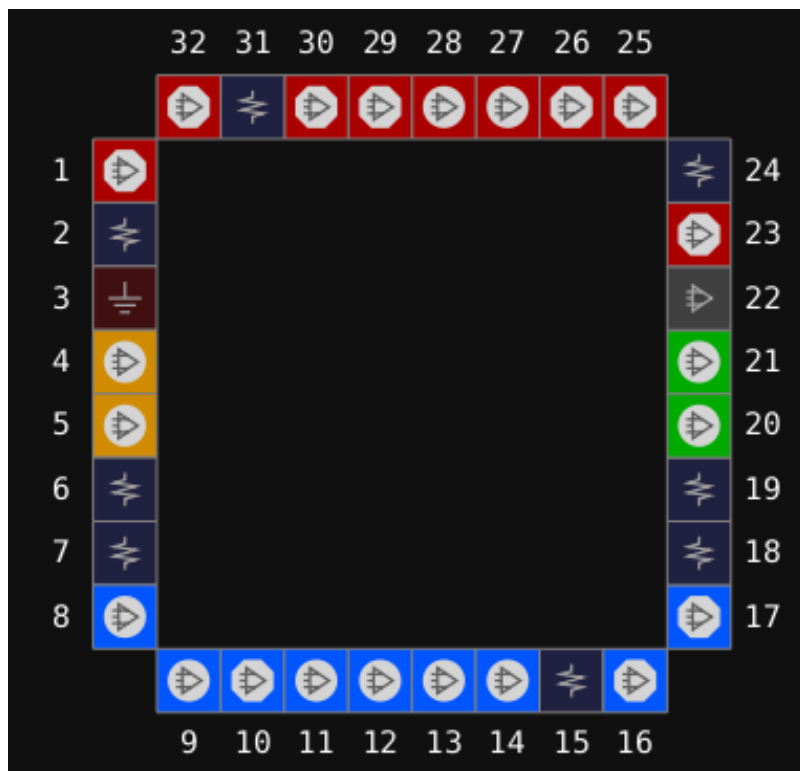


表 3-36 GW1N-2 デバイス QN32X パッケージのその他のピン(UV バージョン)

VCCIO0	24,31
VCCIO1	19
VCCIO2	7,15
VCCIO3	6
VCC/VCCIO4/VCCIO5/VCCX	18,2
VSS	3

3.3.30 QN88 のピン配置図(LV バージョン)

図 3-37 GW1N-2 デバイス QN88 パッケージのピン配置図(LV バージョン、トップビュー)

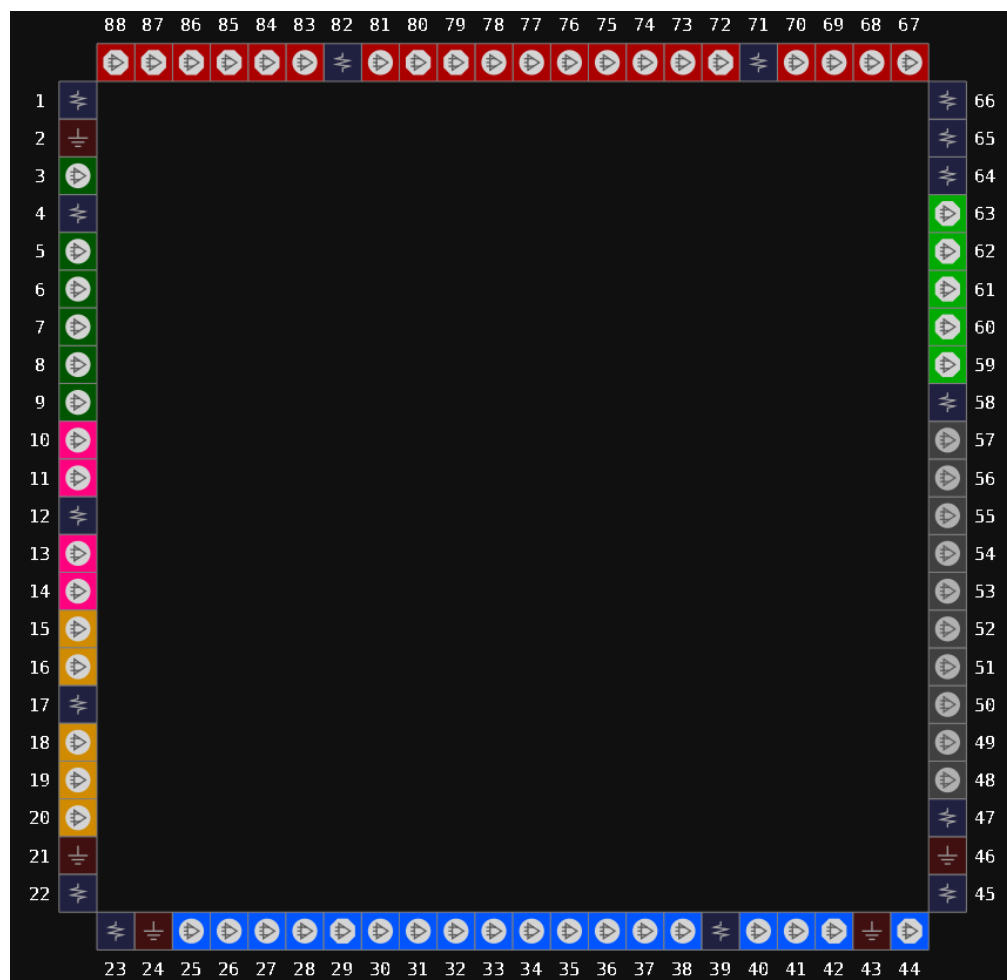


表 3-37 GW1N-2 デバイス QN88 パッケージのその他のピン(LV バージョン)

VCC	1,22,45,66
VCCIO0	71,82
VCCIO1	65
VCCIO2	23,39
VCCIO3	17
VCCIO4	12
VCCIO5	4
VCCX	47,64
VCCD/VCCIOD	58
VSS	2,21,24,43,46

3.3.31 QN88 のピン配置図(UV バージョン)

図 3-38 GW1N-2 デバイス QN88 パッケージのピン配置図(UV バージョン、トップビュー)

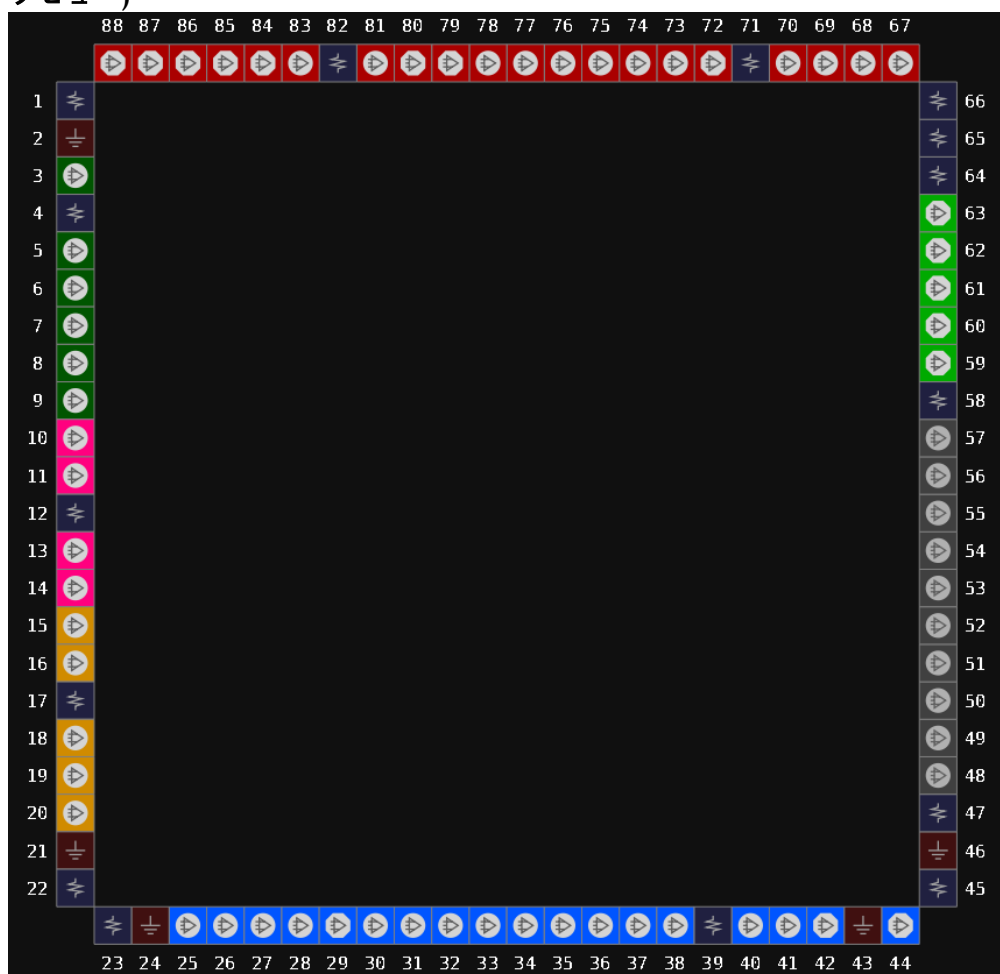


表 3-38 GW1N-2 デバイス QN88 パッケージのその他のピン(UV バージョン)

VCC	1,22,45,66
VCCIO0	71,82
VCCIO1	65
VCCIO2	23,39
VCCIO3	17
VCCIO4	12
VCCIO5	4
VCCX	47,64
VCCD/VCCIOD	58
VSS	2,21,24,43,46

3.4 GW1N-1P5 デバイスのピン配置図

3.4.1 LQ100X のピン配置図(LV バージョン)

図 3-39 GW1N-1P5 デバイス LQ100X パッケージのピン配置図(LV バージョン、トップビュー)

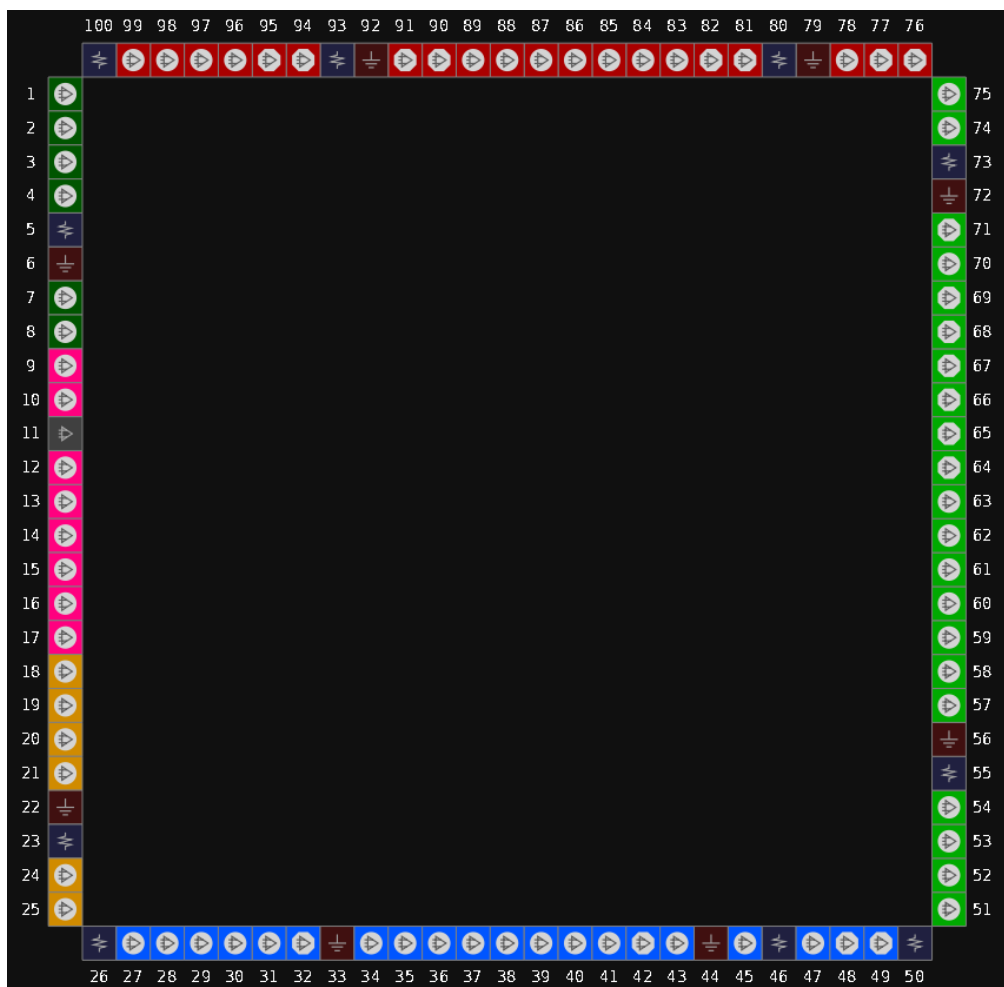


表 3-39 GW1N-1P5 デバイス LQ100X パッケージのその他のピン(LV バージョン)

VCC	100,50
VCCIO0	80,93
VCCIO2	26,46
VCCIO3	23
VCCIO4/VCCIO5	5
VCCIO1/VCCX	55,73
VSS	6,22,33,44,56,72,79,92
NC	11

3.4.2 LQ100X のピン配置図(UV バージョン)

図 3-40 GW1N-1P5 デバイス LQ100X パッケージのピン配置図(UV バージョン、トップビュー)

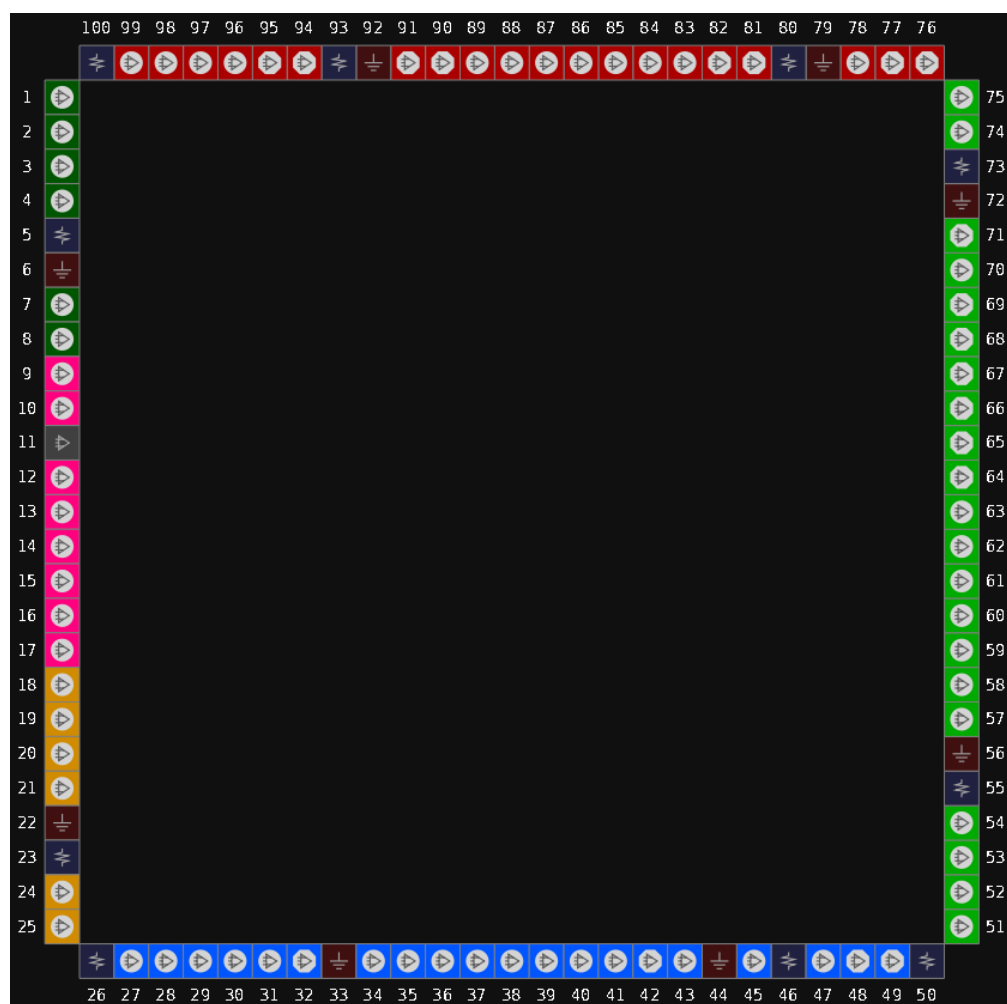


表 3-40 GW1N-1P5 デバイス LQ100X パッケージのその他のピン(UV バージョン)

VCCIO0	80,93
VCCIO1	55,73
VCCIO2	26,46
VCCIO3	23
VCCIO4/VCCIO5	5
VCC/VCCX	100,50
VSS	6,22,33,44,56,72,79,92
NC	11

3.4.3 LQ100 のピン配置図(LV バージョン)

図 3-41 GW1N-1P5 デバイス LQ100 パッケージのピン配置図(LV バージョン、トップビュー)

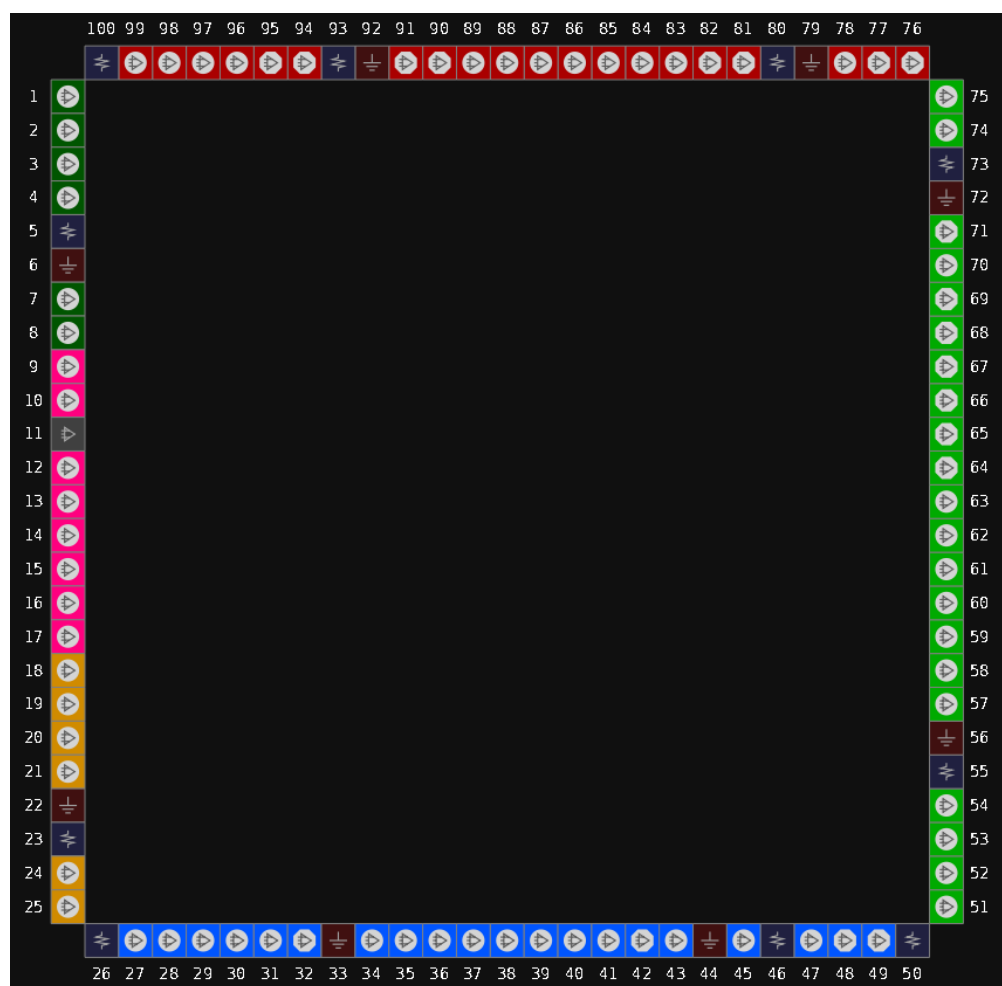


表 3-41 GW1N-1P5 デバイス LQ100 パッケージのその他のピン(LV バージョン)

VCC	100,50
VCCIO0	80,93
VCCIO2	26,46
VCCIO3	23
VCCIO4/VCCIO5	5
VCCIO1/VCCX	55,73
VSS	6,22,33,44,56,72,79,92
NC	11

3.4.4 LQ100 のピン配置図(UV バージョン)

図 3-42 GW1N-1P5 デバイス LQ100 パッケージのピン配置図(UV バージョン、トップビュー)

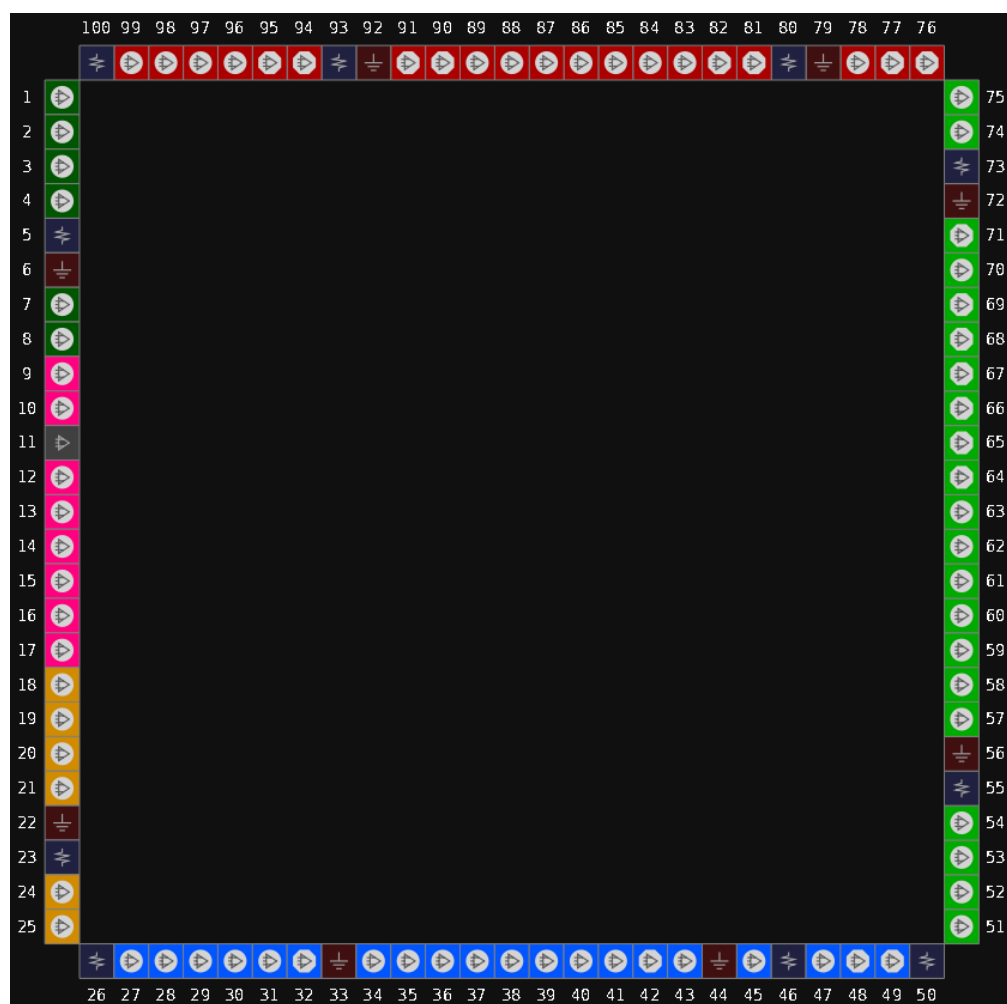


表 3-42 GW1N-1P5 デバイス LQ100 パッケージのその他のピン(UV バージョン)

VCCIO0	80,93
VCCIO1	55,73
VCCIO2	26,46
VCCIO3	23
VCCIO4/VCCIO5	5
VCC/VCCX	100,50
VSS	6,22,33,44,56,72,79,92
NC	11

3.4.5 QN48X のピン配置図(LV バージョン)

図 3-43 GW1N-1P5 デバイス QN48X パッケージのピン配置図(LV バージョン、トップビュー)

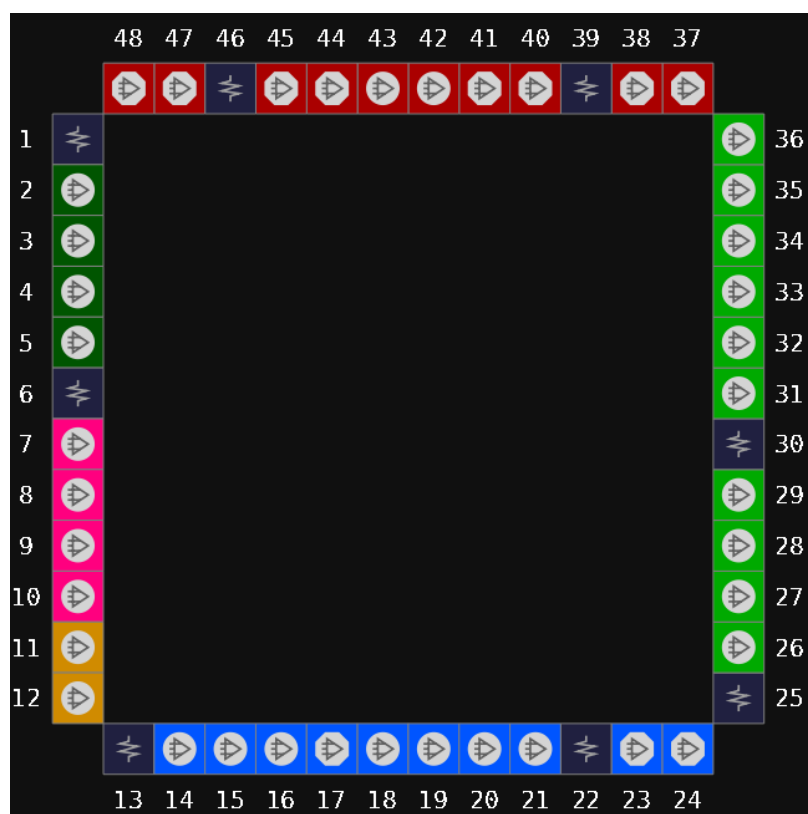


表 3-43 GW1N-1P5 デバイス QN48X パッケージのその他のピン(LV バージョン)

VCC	1,25
VCCIO0	39,46
VCCIO2	13,22
VCCIO3/VCCIO4/VCCIO5	6
VCCIO1/VCCX	30

3.4.6 QN48X のピン配置図(UV バージョン)

図 3-44 GW1N-1P5 デバイス QN48X パッケージのピン配置図(UV バージョン、トップビュー)

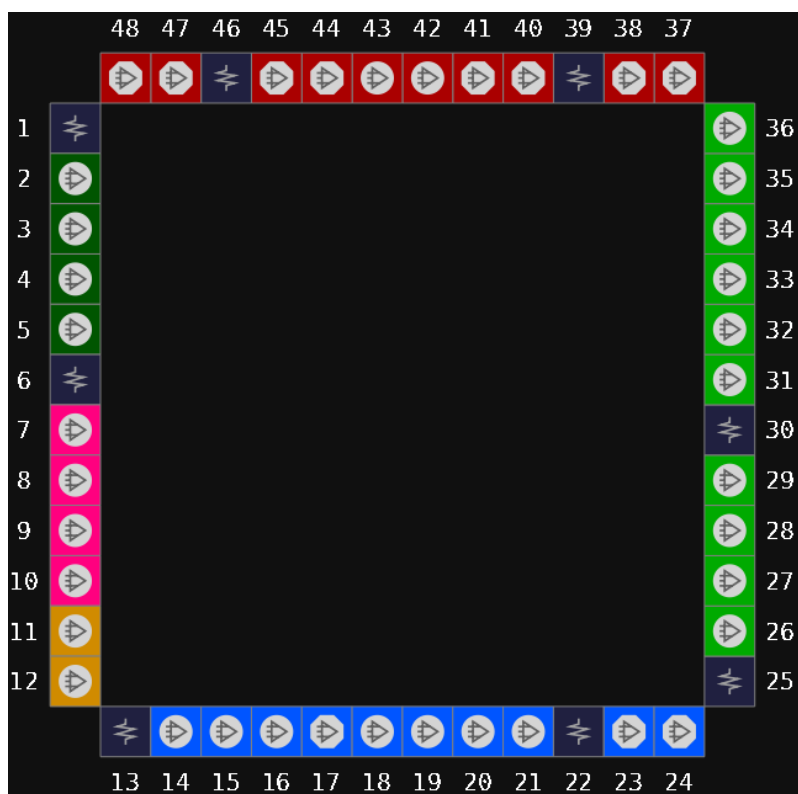


表 3-44 GW1N-1P5 デバイス QN48X パッケージのその他のピン(UV バージョン)

VCC/VCCX	1,25
VCCIO0	39,46
VCCIO1	30
VCCIO2	13,22
VCCIO3/VCCIO4/VCCIO5	6

3.4.7 QN48XF のピン配置図(LV バージョン)

図 3-45 GW1N-1P5 デバイス QN48XF パッケージのピン配置図(LV バージョン、トップビュー)

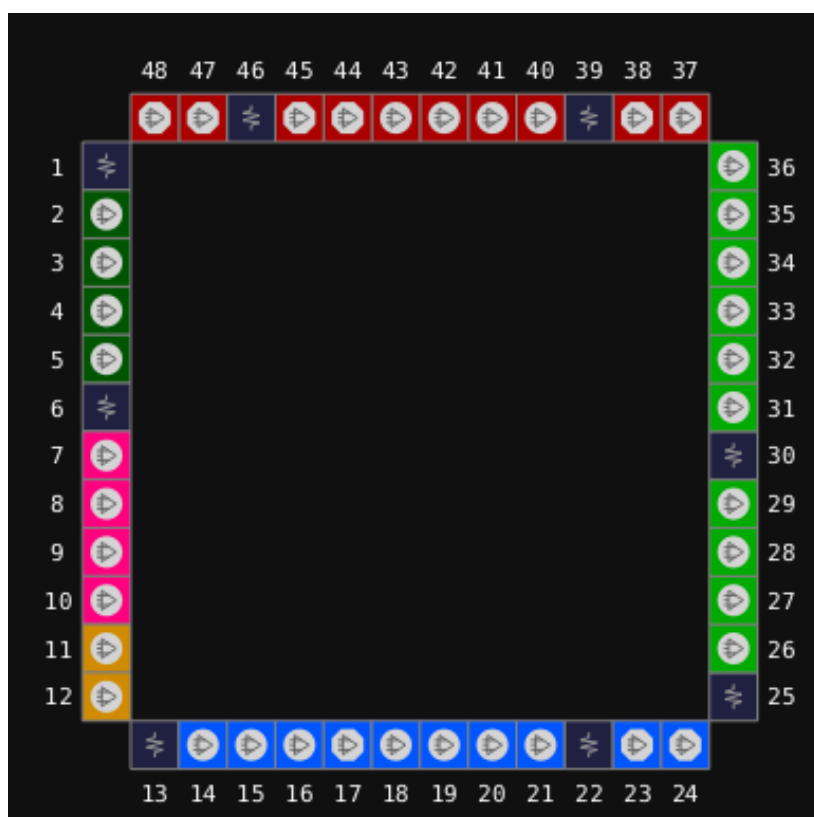


表 3-45 GW1N-1P5 デバイス QN48XF パッケージのその他のピン(LV バージョン)

VCC	1,25
VCCIO0	39,46
VCCIO2	13,22
VCCIO3/VCCIO4/VCCIO5	6
VCCIO1/VCCX	30

3.4.8 QN48XF のピン配置図(UV バージョン)

図 3-46 GW1N-1P5 デバイス QN48XF パッケージのピン配置図(UV バージョン、トップビュー)

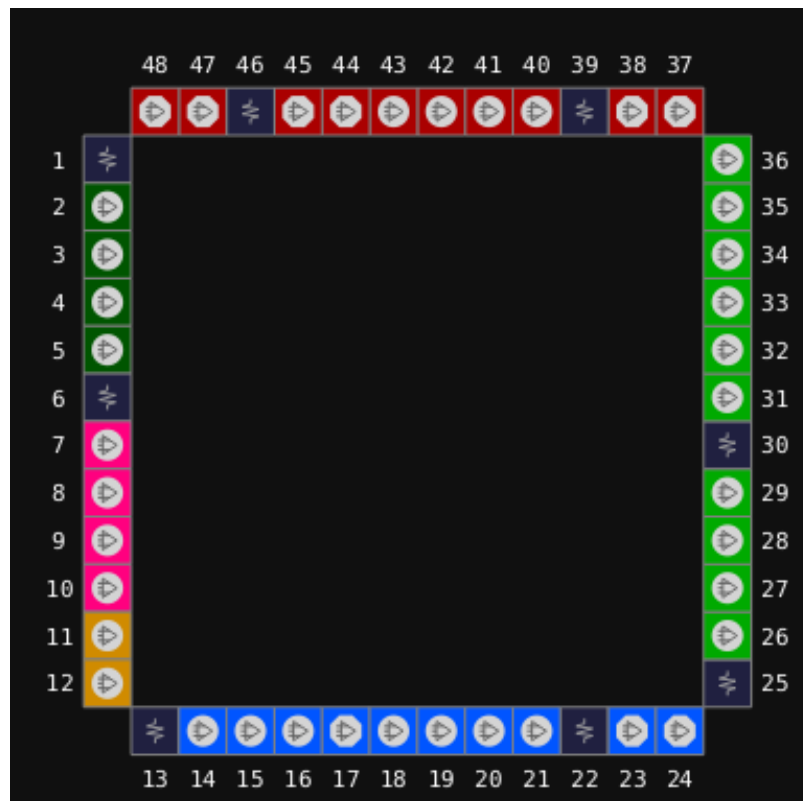


表 3-46 GW1N-1P5 デバイス QN48XF パッケージのその他のピン(UV バージョン)

VCC/VCCX	1,25
VCCIO0	39,46
VCCIO1	30
VCCIO2	13,22
VCCIO3/VCCIO4/VCCIO5	6

3.5 GW1N-4 デバイスのピン配置図

3.5.1 QN32 のピン配置図

図 3-47 GW1N-4 デバイス QN32 パッケージのピン配置図(トップビュー)

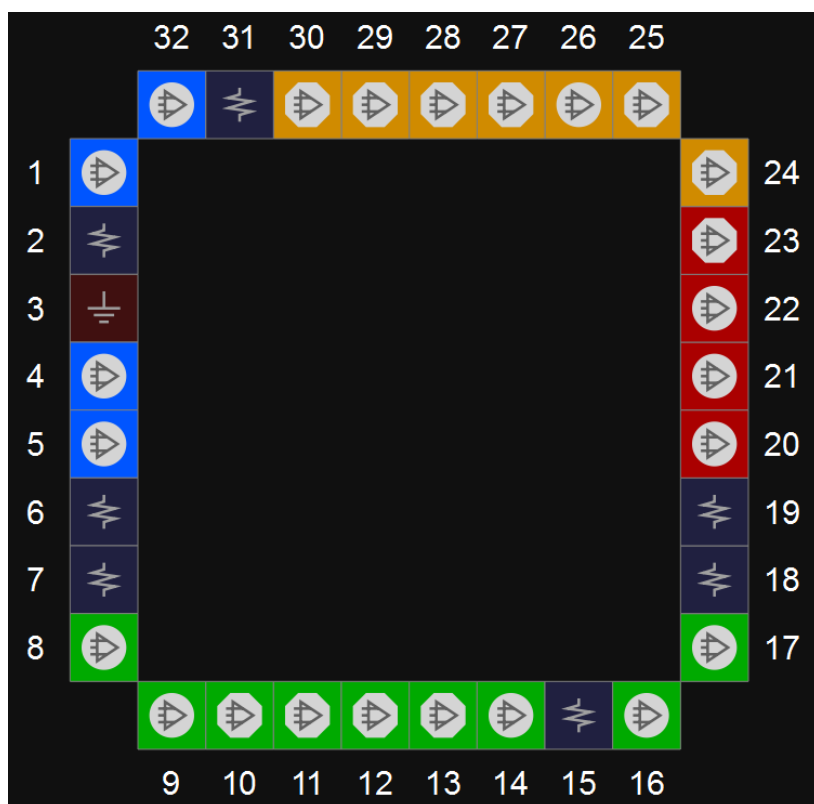


表 3-47 GW1N-4 デバイス QN32 パッケージのその他のピン

VCC	2, 18
VCCIO0	19
VCCIO1	7
VCCIO2	6
VCCIO3	31
VCCX	15
VSS	3

3.5.2 QN48 のピン配置図

図 3-48 GW1N-4 デバイス QN48 パッケージのピン配置図(トップビュー)

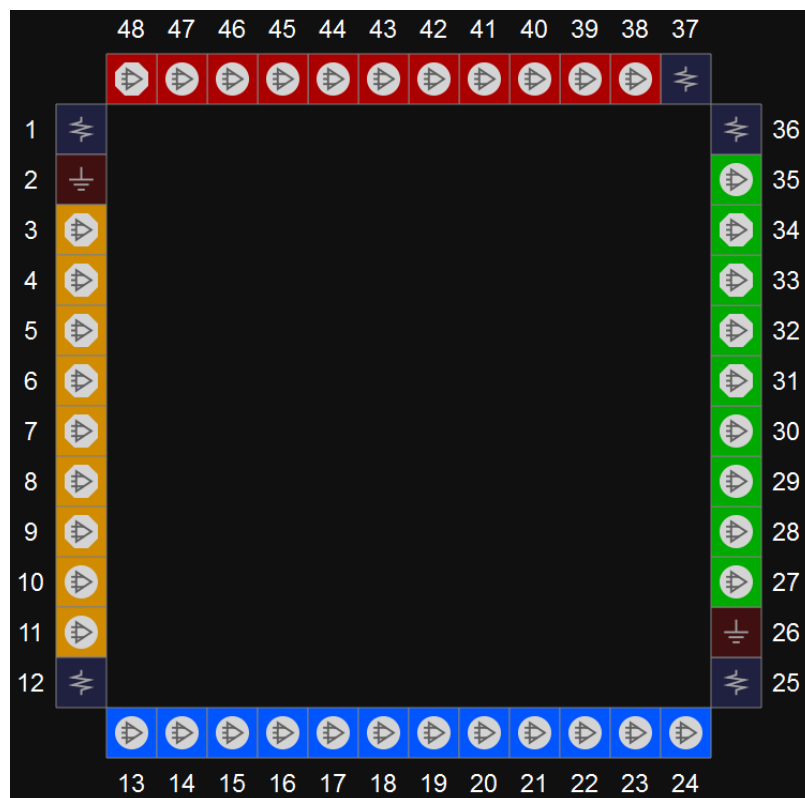


表 3-48 GW1N-4 デバイス QN48 パッケージのその他のピン

VCC	12, 37
VCCIO0/VCCIO3	1
VCCIO1/VCCIO2	25
VCCX	36
VSS	2, 26

3.5.3 CS72 のピン配置図

図 3-49 GW1N-4 デバイス CS72 パッケージのピン配置図(トップビュー)



表 3-49 GW1N-4 デバイス CS72 パッケージのその他のピン

VCC	A2, A8, H8
VCCIO0	A5
VCCIO1	D1
VCCIO2	H5
VCCIO3	E9
VCCX	H2
VSS	A1, A9, D9, E1, H1, H9

3.5.4 QN88 のピン配置図

図 3-50 GW1N-4 デバイス QN88 パッケージのピン配置図(トップビュー)

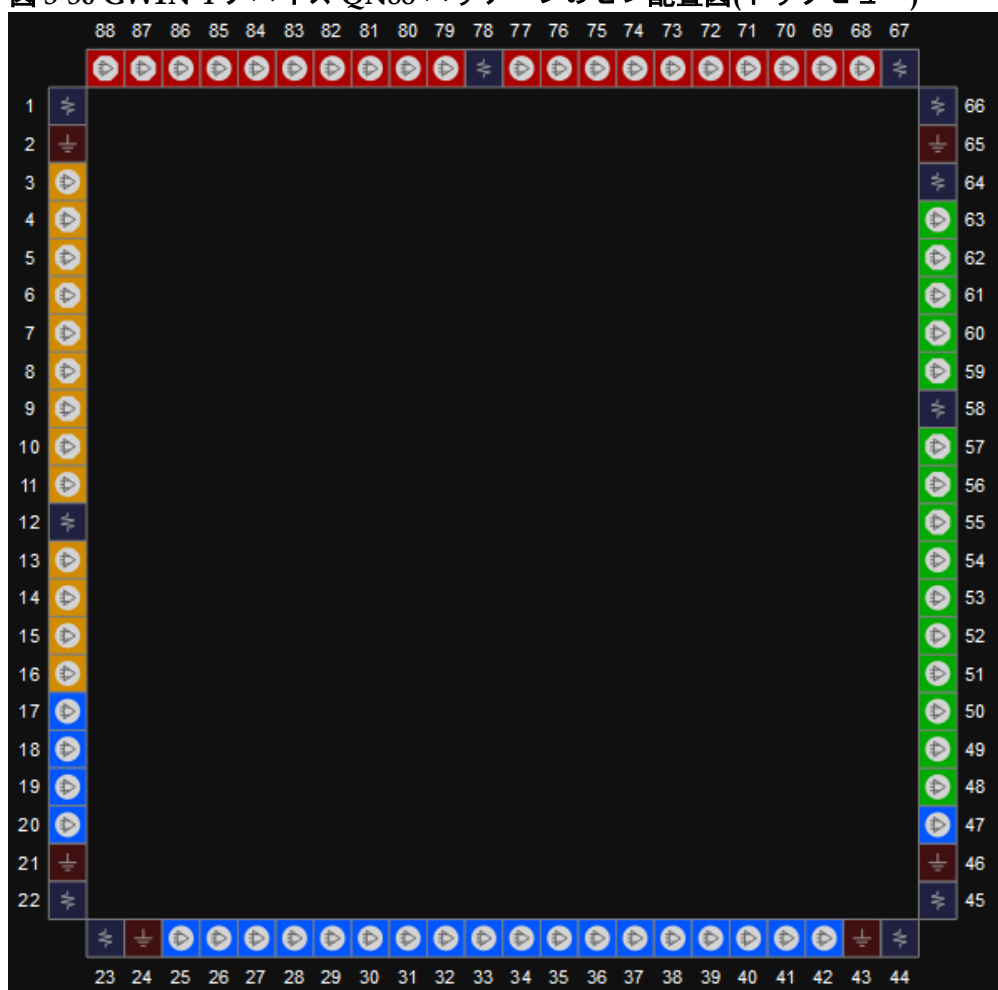


表 3-50 GW1N-4 デバイス QN88 パッケージのその他のピン

VCC	1, 22, 45, 66
VCCIO0	67
VCCIO1	58
VCCIO2	23, 44
VCCIO3	12
VCCX	64, 78
VSS	2, 21, 24, 43, 46, 65

3.5.5 LQ100 のピン配置図

図 3-51 GW1N-4 デバイス LQ100 パッケージのピン配置図(トップビュー)

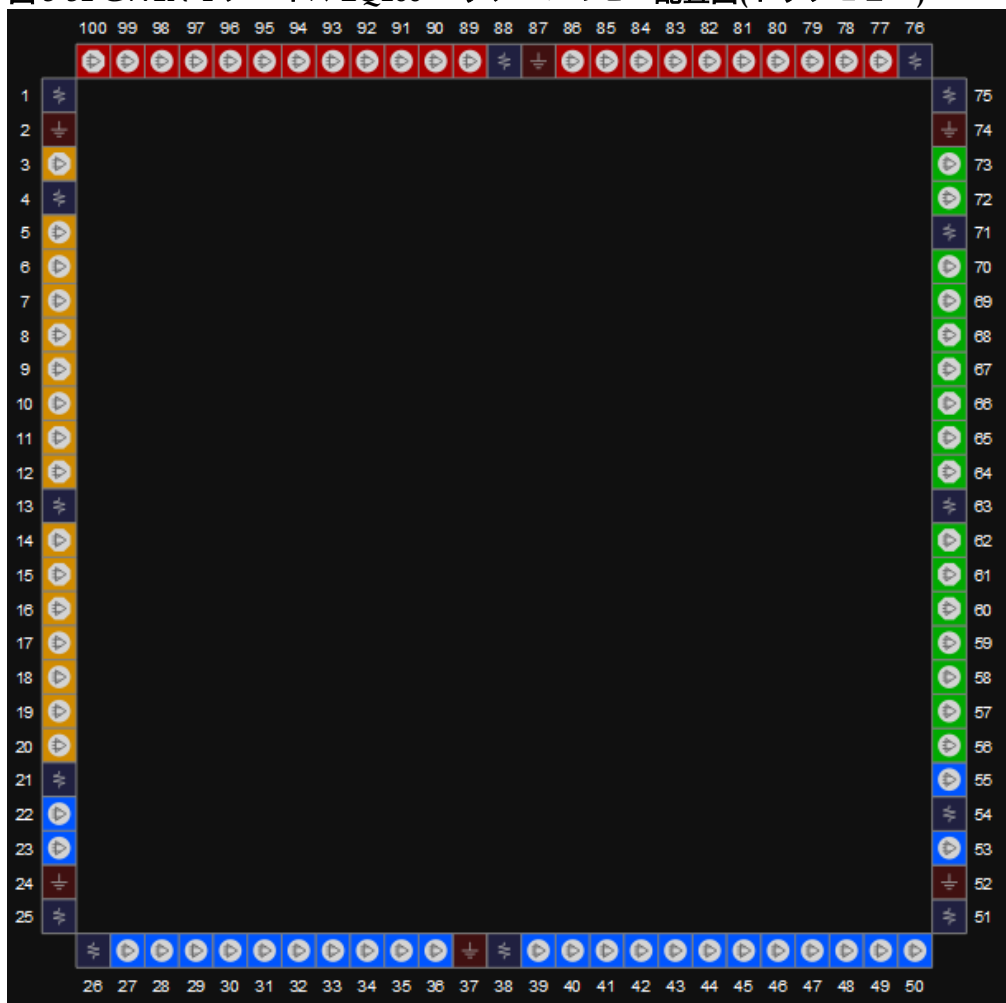


表 3-51 GW1N-4 デバイス LQ100 パッケージのその他のピン

VCC	1, 25, 51, 75
VCCIO0	76, 88
VCCIO1	54, 63
VCCIO2	26, 38
VCCIO3	4, 13
VCCX	21, 71
VSS	2, 24, 37, 52, 74, 87

3.5.6 MG132X のピン配置図

図 3-52 GW1N-4 デバイス MG132X パッケージのピン配置図(トップビュー)

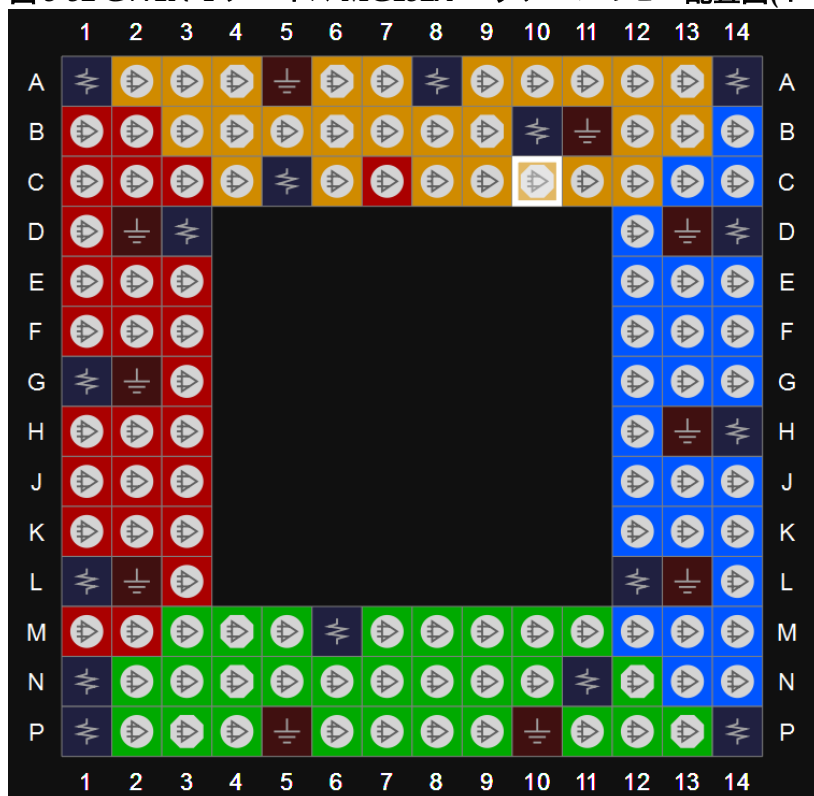


表 3-52 GW1N-4 デバイス MG132X パッケージのその他のピン

VCC	A1,A14,N1,P14
VCCIO0	D3,G1,L1
VCCIO1	M6,N11,P1
VCCIO2	D14,H14,L2
VCCIO3	A8,B10,C5
VSS	A5,B11,D13,D2,G2,H13,L13,L2,P10,P5

3.5.7 LQ144 のピン配置図

図 3-53 GW1N-4 デバイス LQ144 パッケージのピン配置図(トップビュー)



表 3-53 GW1N-4 デバイス LQ144 パッケージのその他のピン

VCC	1, 36, 73, 108
VCCIO0	109, 127
VCCIO1	77, 91
VCCIO2	37, 55
VCCIO3	5, 19
VCCX	31, 103
VSS	2, 17, 33, 35, 53, 74, 89, 105, 107, 125

3.5.8 MG160 のピン配置図

図 3-54 GW1N-4 デバイス MG160 パッケージのピン配置図(トップビュー)

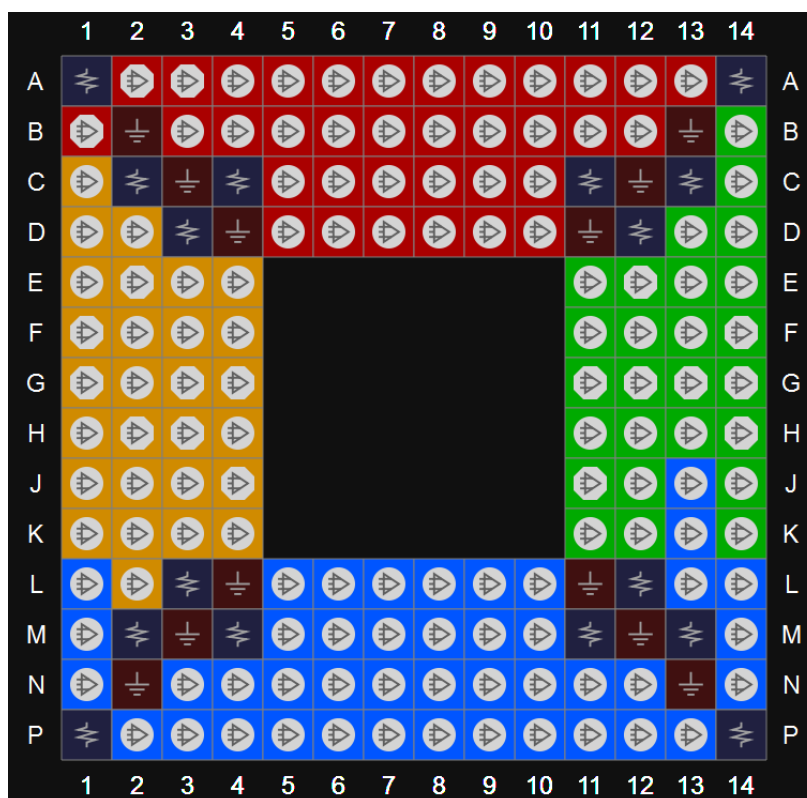


表 3-54 GW1N-4 デバイス MG160 パッケージのその他のピン

VCC	A1, A14, P1, P14
VCCIO0	C4, C11
VCCIO1	D12, L12
VCCIO2	M4, M11
VCCIO3	D3, L3
VCCX	C2, C13, M2, M13
VSS	B2, B13, C3, C12, D4, D11, L4, L11, M3, M12, N2, N13

3.5.9 UG169 のピン配置図

図 3-55 GW1N-4 デバイス UG169 パッケージのピン配置図(トップビュー)

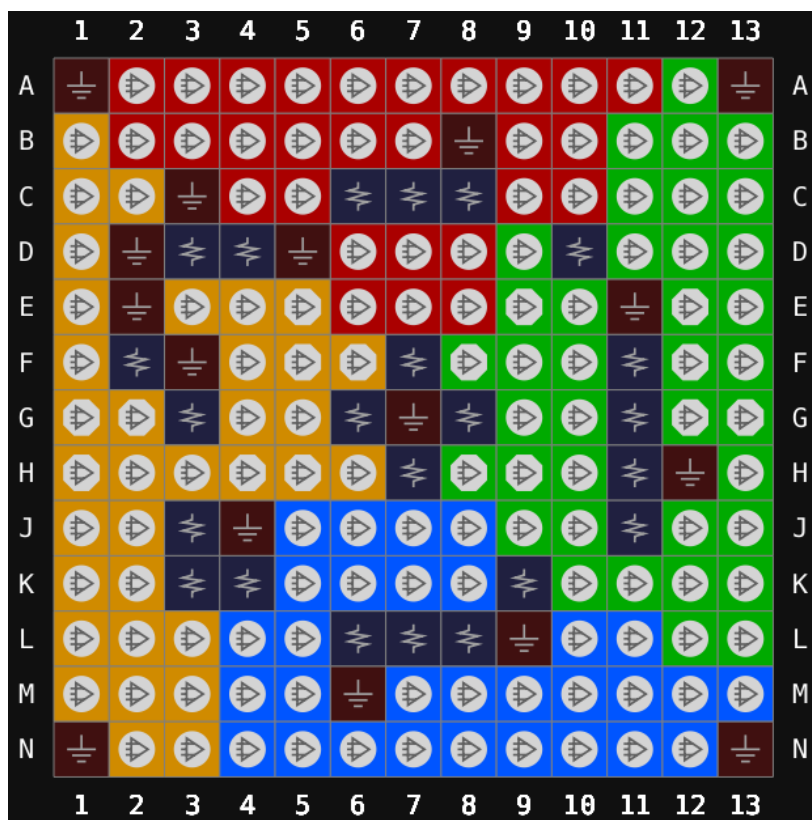


表 3-55 GW1N-4 デバイス UG169 パッケージのその他のピン

VCC	F7, G6, G8, H7
VCCIO0	C6, C7, C8
VCCIO1	F11, G11, H11, J11
VCCIO2	L6, L7, L8
VCCIO3	F2, G3, J3, K3
VCCX	D3, D4, D10, K4, K9
VSS	A1, A13, B8, C3, D2, D5, E2, E11, F3, G7, H12, J4, L9, M6, N1, N13

3.5.10 PG256 のピン配置図

図 3-56 GW1N-4 デバイス PG256 パッケージのピン配置図(トップビュー)

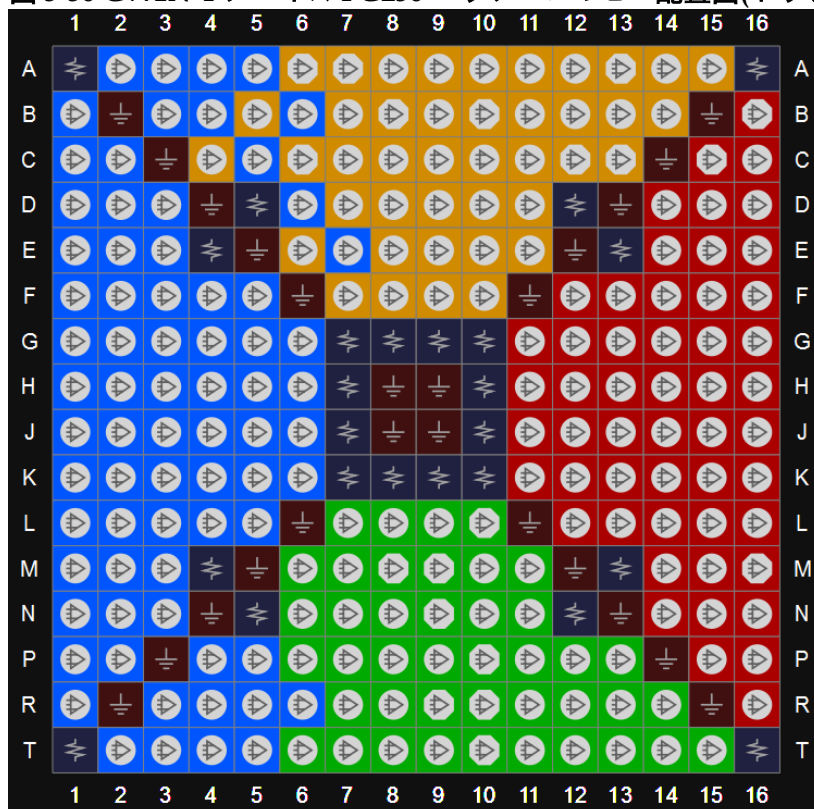


表 3-56 GW1N-4 デバイス PG256 パッケージのその他のピン

VCC	A1, A16, G7, G10, K7, K10, T1, T16
VCCIO0	E13, J10, M13, H10
VCCIO1	K8, N5, N12
VCCIO2	E4, H7, M4, J7
VCCIO3	D12, D5, G9
VCCX	G8, K9
VSS	B2, B15, C3, C14, D4, D13, E5, E12, F6, F11, H8, H9, J8, J9, L6, L11, M5, M12, N4, N13, P3, P14, R2, R15

3.5.11 PG256M のピン配置図

図 3-57 GW1N-4 デバイス PG256M パッケージのピン配置図(トップビュー)



表 3-57 GW1N-4 デバイス PG256M パッケージのその他のピン

VCC	F10, G11, H10, H8, J7, J9, K6, L7
VCCIO0	A14, A3, F8, F9
VCCIO1	C16, J11, P16
VCCIO2	L8, L9, T3, T14
VCCIO3	C1, H6, P1
VCCX	H11, J6
VSS	A1, A16, B15, B2, F7, G10, G6, G7, G8, G9, K10, K11, K7, K8, K9, L10, R2, R15, T1, H9, H7, J10, J8

3.6 GW1N-9 デバイスのピン配置図

3.6.1 QN48 のピン配置図

図 3-58 GW1N-9 デバイス QN48 パッケージのピン配置図(トップビュー)

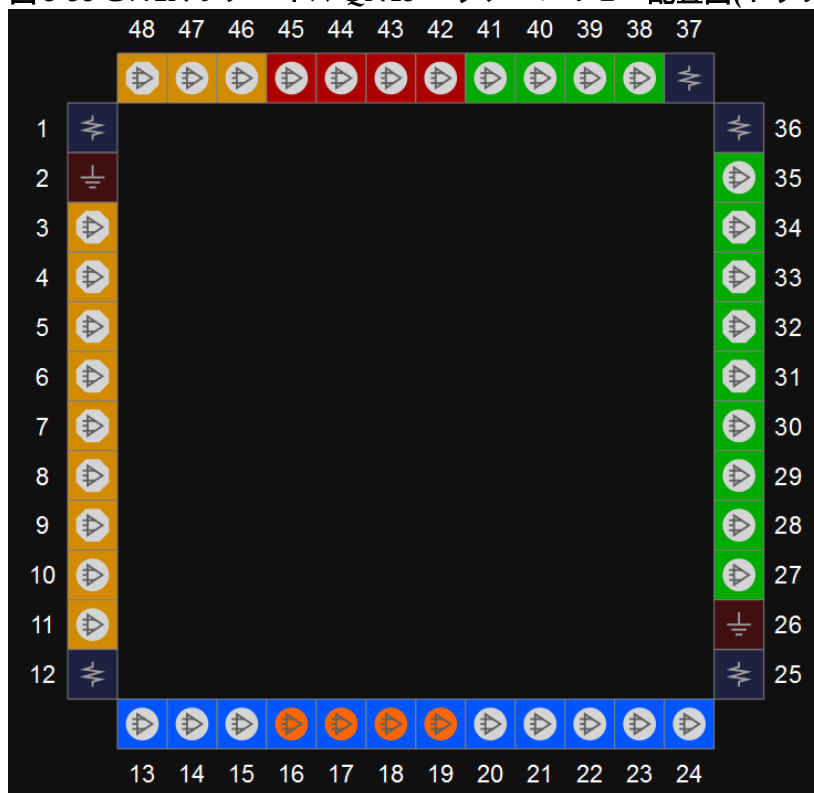


表 3-58 GW1N-9 デバイス QN48 パッケージのその他のピン

VCC	12, 37
VCCIO0/VCCIO3	1
VCCIO1/VCCIO2	25
VCCX	36
VSS	2, 26

3.6.2 CM64 のピン配置図

図 3-59 GW1N-9 デバイス CM64 パッケージのピン配置図(トップビュー)

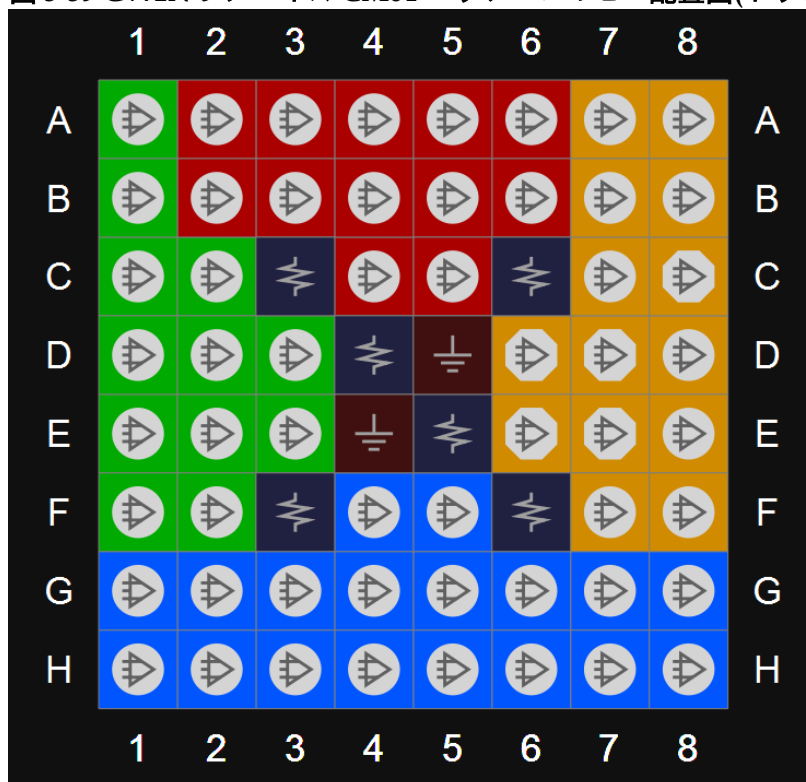


表 3-59 GW1N-9 デバイス CM64 パッケージのその他のピン

VCC	D4, E5
VCCIO0/VCCIO2	C6
VCCIO1/VCCIO3	F3
VCCX	C3, F6
VSS	D5, E4

3.6.3 QN88 のピン配置図

図 3-60 GW1N-9 デバイス QN88 パッケージのピン配置図(トップビュー)

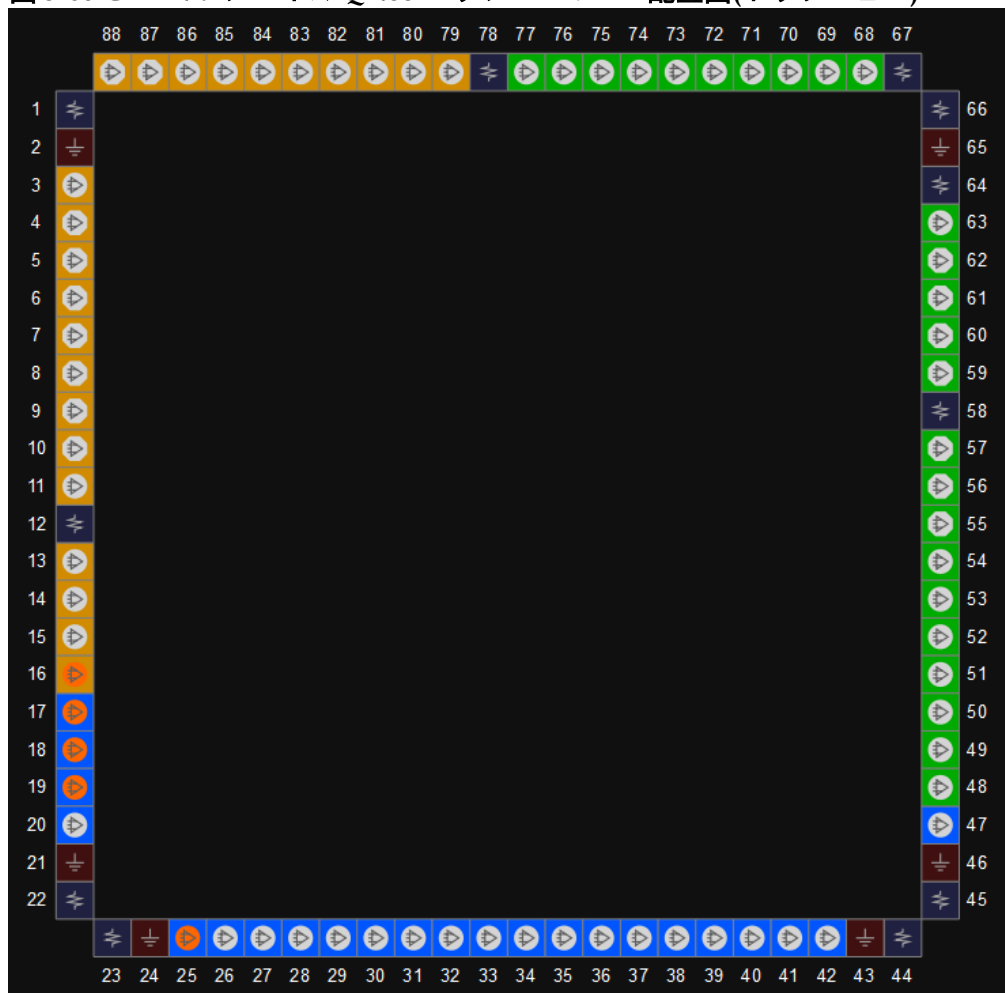


表 3-60 GW1N-9 デバイス QN88 パッケージのその他のピン

VCC	1, 22, 45, 66
VCCIO0	67
VCCIO1	58
VCCIO2	23, 44
VCCIO3	12
VCCX	64, 78
VSS	2, 21, 24, 43, 46, 65

3.6.4 LQ100 のピン配置図

図 3-61 GW1N-9 デバイス LQ100 パッケージのピン配置図(トップビュー)

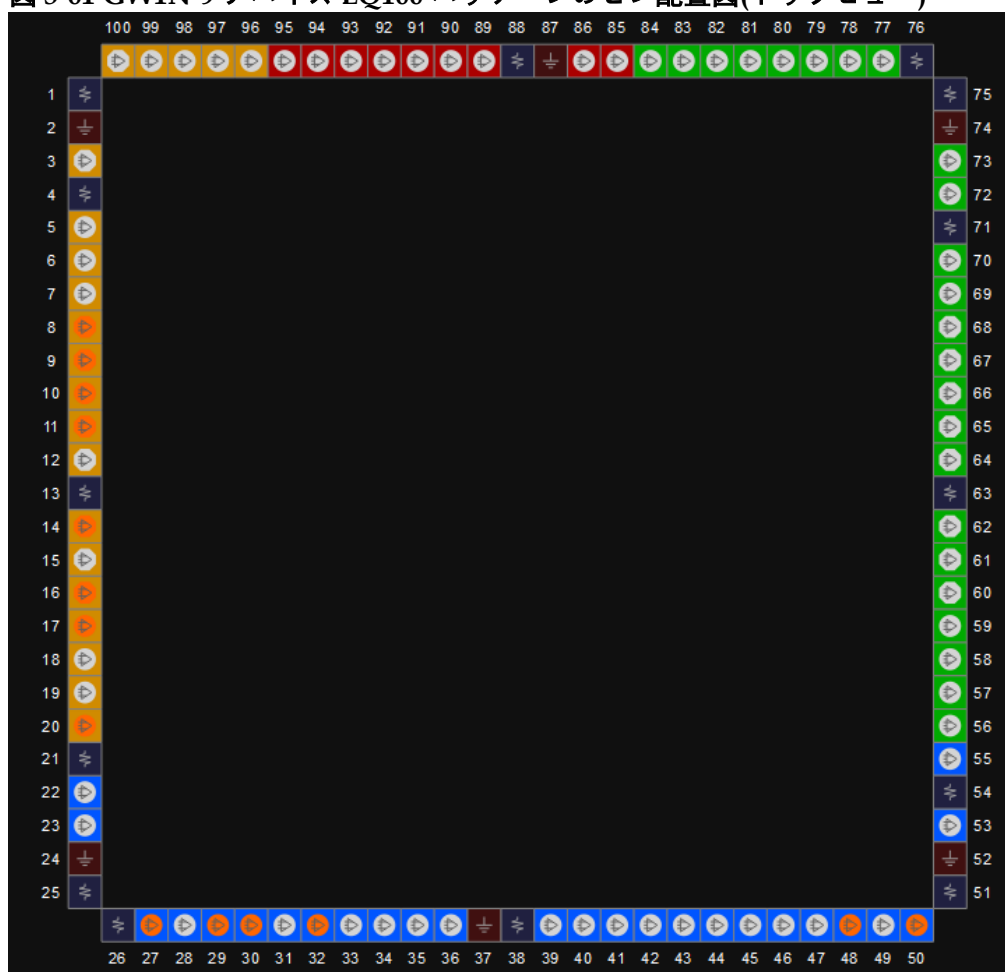


表 3-61 GW1N-9 デバイス LQ100 パッケージのその他のピン

VCC	1, 25, 51, 75
VCCIO0	76, 88
VCCIO1	63, 71
VCCIO2	26, 38
VCCIO3	4, 13
VCCX	21, 54
VSS	2, 24, 52, 74, 87, 37

3.6.5 MG100 のピン配置図

図 3-62 GW1N-9 デバイス MG100 パッケージのピン配置図(トップビュー)

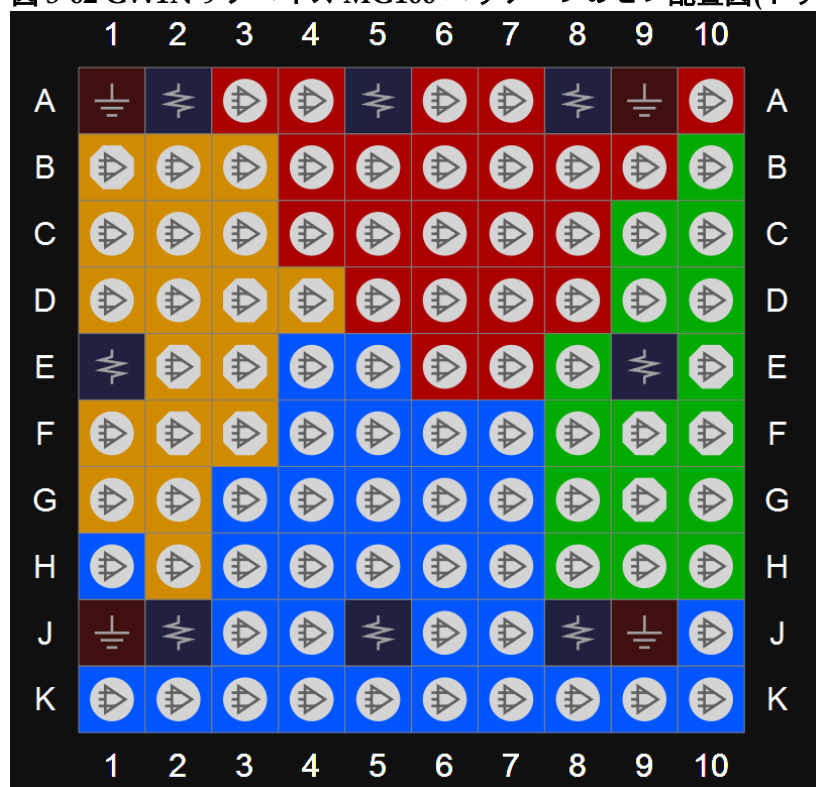


表 3-62 GW1N-9 デバイス MG100 パッケージのその他のピン

VCC	A2,A8,J2
VCCIO0	A5
VCCIO1	E9
VCCIO2	J5
VCCIO3	E1
VCCX	J8
VSS	A1,A9,J1,J9

3.6.6 LQ144 のピン配置図

図 3-63 GW1N-9 デバイス LQ144 パッケージのピン配置図(トップビュー)



表 3-63 GW1N-9 デバイス LQ144 パッケージのその他のピン

VCC	1, 36, 73, 108
VCCIO0	109, 127
VCCIO1	103, 91
VCCIO2	37, 55
VCCIO3	5, 19
VCCX	31, 77
VSS	2, 17, 33, 35, 53, 74, 89, 105, 107

3.6.7 EQ144 のピン配置図

図 3-64 GW1N-9 デバイス EQ144 パッケージのピン配置図(トップビュー)



表 3-64 GW1N-9 デバイス EQ144 パッケージのその他のピン

VCC	1, 36, 73, 108
VCCIO0	109, 127
VCCIO1	103, 91
VCCIO2	37, 55
VCCIO3	5, 19
VCCX	31, 77
VSS	2, 17, 33, 35, 53, 74, 89, 105, 107

3.6.8 MG160 のピン配置図

図 3-65 GW1N-9 デバイス MG160 パッケージのピン配置図(トップビュー)

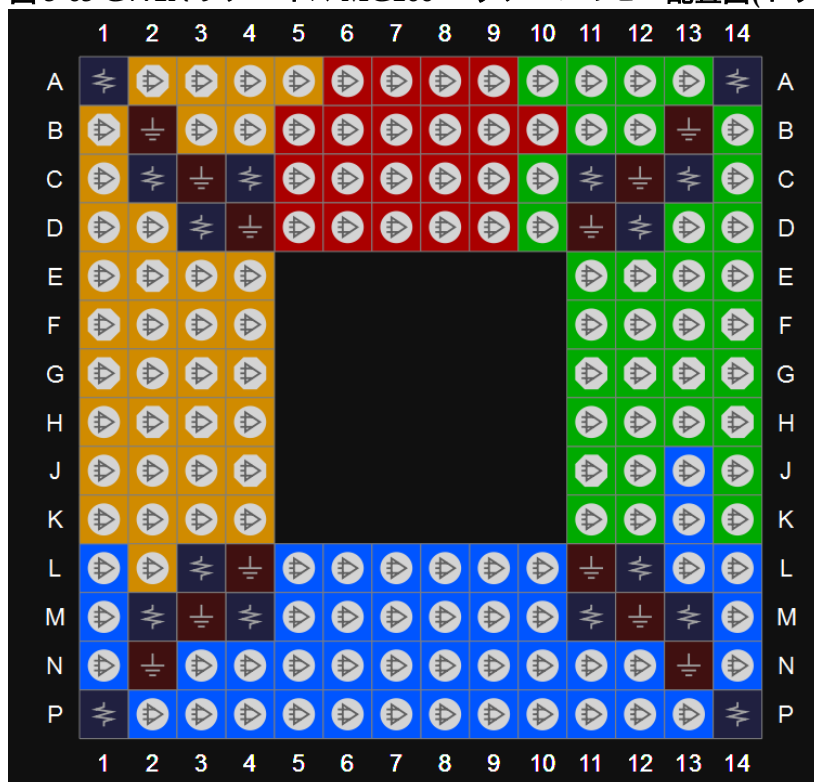


表 3-65 GW1N-9 デバイス MG160 パッケージのその他のピン

VCC	A1, A14, P1, P14
VCCIO0	C4, C11
VCCIO1	D12, L12
VCCIO2	M11, M4
VCCIO3	D3, L3
VCCX	C13, C2, M13, M2
VSS	B13, B2, C12, C3, D11, D4, L11, L4, M12, M3, N13, N2

3.6.9 UG169 のピン配置図

図 3-66 GW1N-9 デバイス UG169 パッケージのピン配置図(トップビュー)



表 3-66 GW1N-9 デバイス UG169 パッケージのその他のピン

VCC	F7,G6,G8,H7
VCCIO0	C6,C7,C8
VCCIO1	F11,G11,H11,J11
VCCIO2	L6,L7,L8
VCCIO3	F2,G3,J3,K3
VCCX	D10,D3,D4,K4,K9
VSS	A1,A13,B8,C3,D2,D5,E11,E2,F3,G7,H12,J4,L9,M6,N1,N13

3.6.10 LQ176 のピン配置図

図 3-67 GW1N-9 デバイス LQ176 パッケージのピン配置図(トップビュー)



表 3-67 GW1N-9 デバイス LQ176 パッケージのその他のピン

VCC	1, 44, 89, 132
VCCIO0	133, 155, 176
VCCIO1	95, 110, 115
VCCIO2	45, 65, 88
VCCIO3	13, 22, 34
VCCX	40, 66, 130, 154
VSS	2, 43, 46, 87, 90, 131, 134, 175

3.6.11 EQ176 のピン配置図

図 3-68 GW1N-9 デバイス EQ176 パッケージのピン配置図(トップビュー)



表 3-68 GW1N-9 デバイス EQ176 パッケージのその他のピン

VCC	1, 44, 89, 132
VCCIO0	133, 155, 176
VCCIO1	95, 110, 115
VCCIO2	45, 65, 88
VCCIO3	13, 22, 34
VCCX	40, 66, 130, 154
VSS	2, 43, 46, 87, 90, 131, 134, 175

3.6.12 MG196 のピン配置図

図 3-69 GW1N-9 デバイス MG196 パッケージのピン配置図(トップビュー)

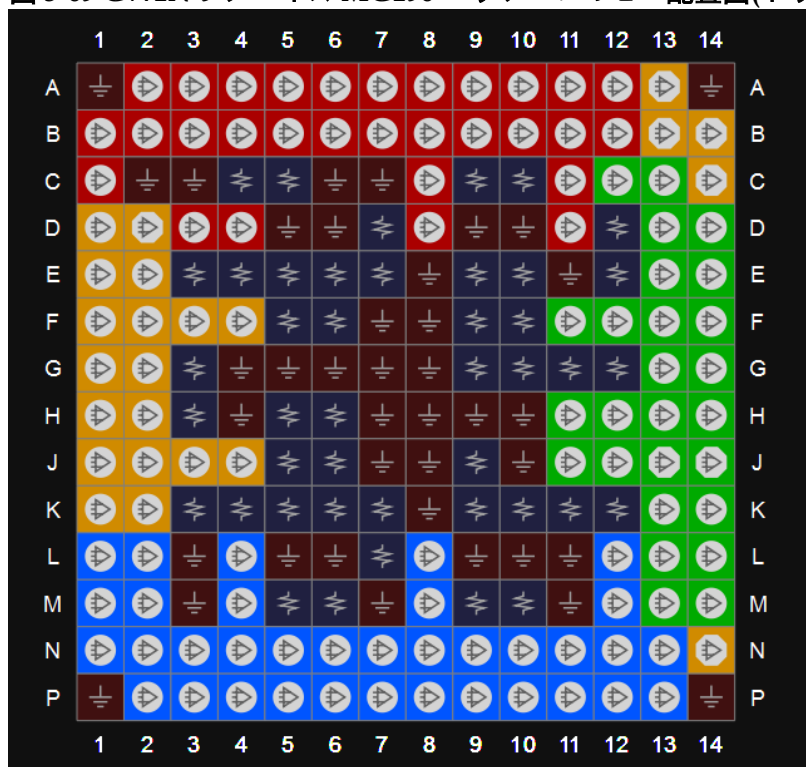


表 3-69 GW1N-9 デバイス MG196 パッケージのその他のピン

VCC	E10,E5,E6,E9,F10,F5,F6,F9,J5,J6,J9,K10,K5,K6,K9
VCCIO0	C4,C10,C5,C9
VCCIO1	D12,E12,G11,G12,K11,K12
VCCIO2	M5,M10,M6,M9
VCCIO3	E3,E4,G3,H3,K3,K4
VCCX	L7,K7,H6,H5,D7,E7,G10,G9
VSS	A14,A1,C3,C2,C7,C6,D5,D10,D9,D6,E8,E11,F7,F8,G4,G5,G6,G7,G8, H10,H4,H7,H8,H9,J10,J7,J8,K8,L10,L11,L3,L5,L6,L9,M11,M3,M7,P1, P14

3.6.13 PG256 のピン配置図

図 3-70 GW1N-9 デバイス PG256 パッケージのピン配置図(トップビュー)

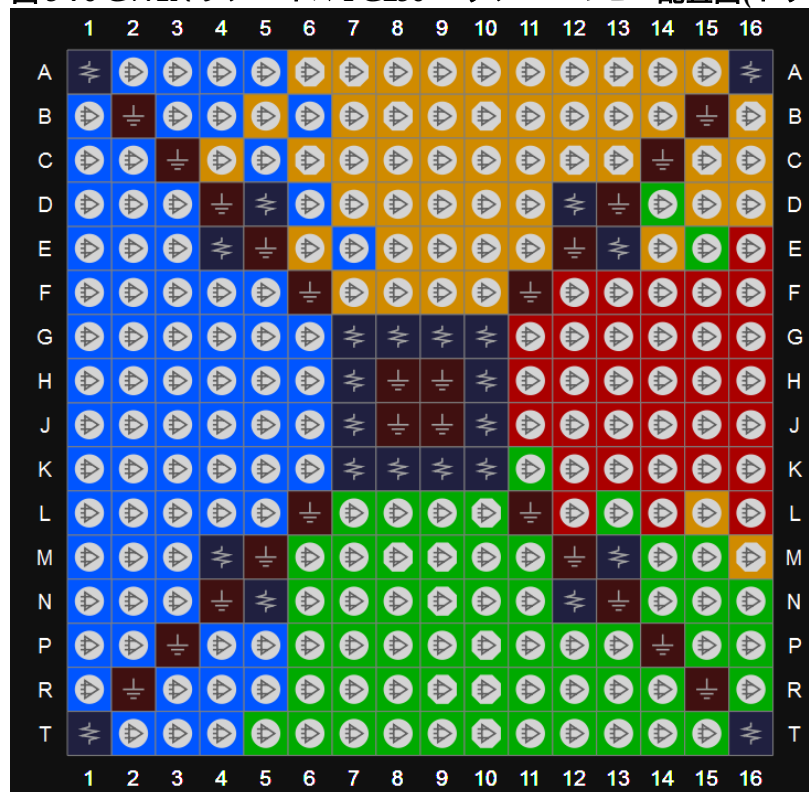


表 3-70 GW1N-9 デバイス PG256 パッケージのその他のピン

VCC	A1, A16, G7, G10, K7, K10, T1, T16
VCCIO0	E13, J10, M13, H10
VCCIO1	K8, N5, N12
VCCIO2	E4, H7, M4, J7
VCCIO3	D12, D5, G9
VCCX	G8, K9
VSS	B2, B15, C3, C14, D4, D13, E5, E12, F6, F11, H8, H9, J8, J9, L6, L11, M5, M12, N4, N13, P3, P14, R2, R15

3.6.14 UG256 のピン配置図

図 3-71 GW1N-9 デバイス UG256 パッケージのピン配置図(トップビュー)

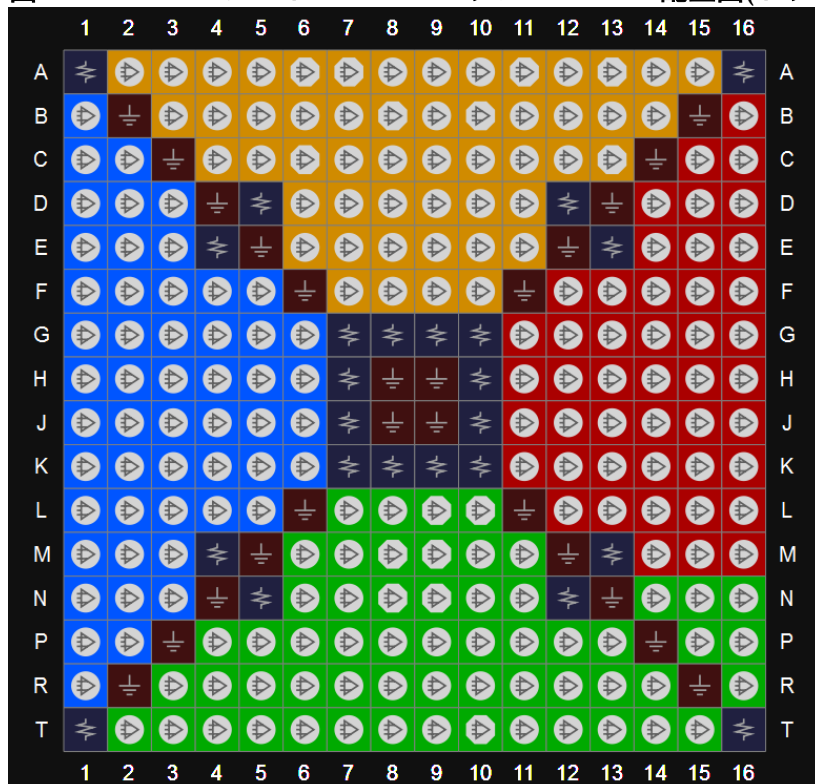


表 3-71 GW1N-9 デバイス UG256 パッケージのその他のピン

VCC	A1, A16, G10, G7, K10, K7, T1, T16
VCCIO0	E13, H10, J10, M13
VCCIO1	K8, K9, N12, N5
VCCIO2	E4, H7, J7, M4
VCCIO3	D12, D5, G9
VCCX	G8
VSS	B15, B2, C14, C3, D13, D4, E12, E5, F11, F6, H8, H9, J8, J9, L11, L6, M12, M5, N13, N4, P14, P3, R15, R2

3.6.15 UG332 のピン配置図

図 3-72 GW1N-9 デバイス UG332 パッケージのピン配置図(トップビュー)

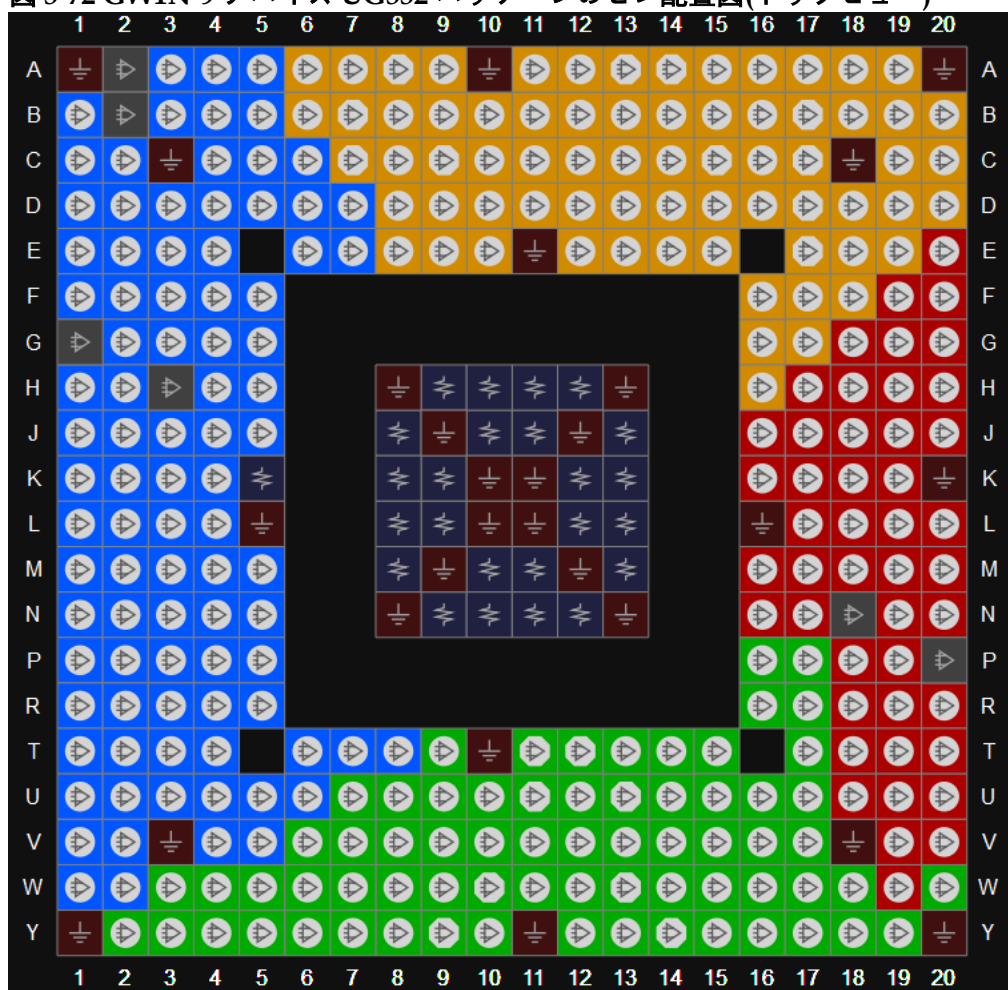


表 3-72 GW1N-9 デバイス UG332 パッケージのその他のピン

VCC	J10, J11, K9, K12, L9, L12, M10, M11
VCCIO0	J13, K13, L13
VCCIO1	N9, N10, N11, N12
VCCIO2	J8, K5, K8, L8, M8
VCCIO3	H11, H9, H12
VCCX	H10, M13
VSS	A1, A10, A20, C3, C18, E11, H8, H13, J9, J12, K10, K11, K20, L5, L10, L11, L16, M9, M12, N8, N13, T10, V3, V18, Y1, Y11, Y20
NC	N18, P20, G1, H3, A2, B2

3.6.16 QN48F のピン配置図

図 3-73 GW1N-9 デバイス QN48F パッケージのピン配置図(トップビュー)

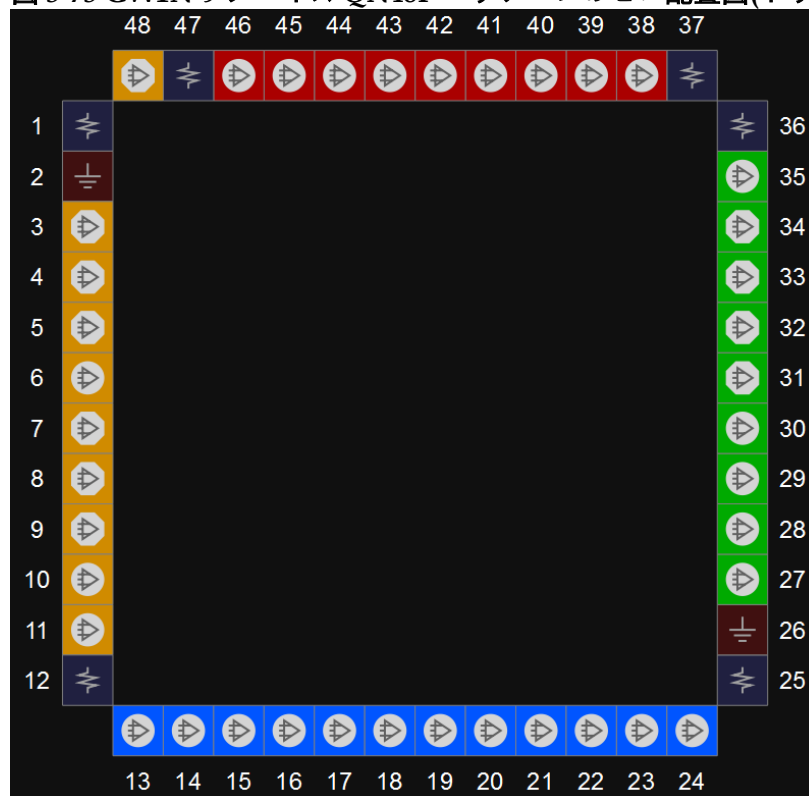


表 3-73 GW1N-9 デバイス QN48F パッケージのその他のピン

VCC	12,37
VCCIO0	47
VCCIO3	1
VCCIO1/VCCIO2	25
VCCX	36
VSS	2,26

3.6.17 MG100T のピン配置図

図 3-74 GW1N-9 デバイス MG100T パッケージのピン配置図(トップビュー)

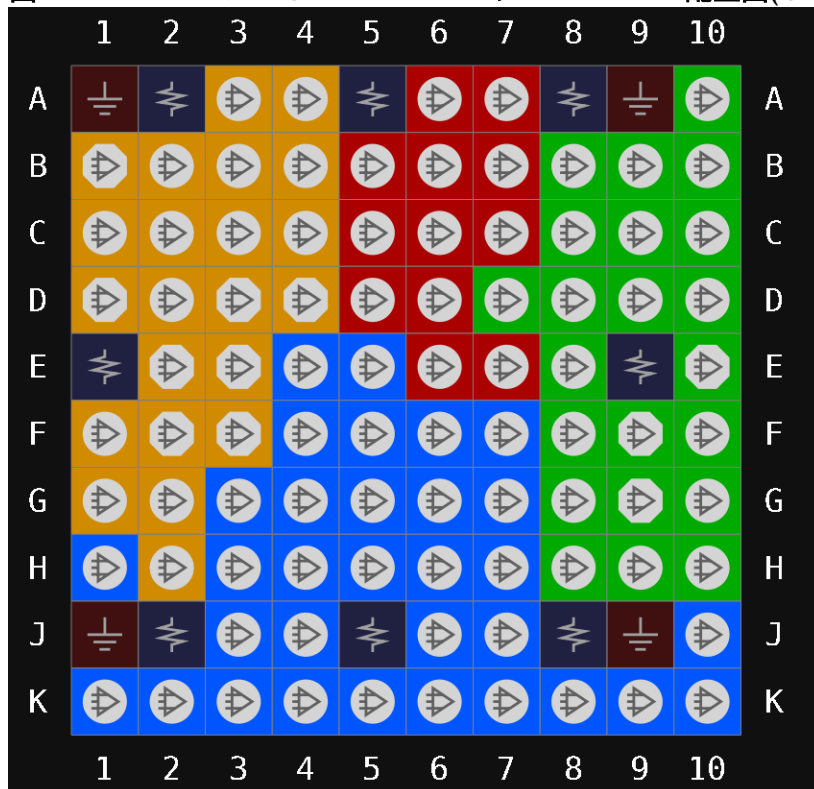


表 3-74 GW1N-9 デバイス MG100T パッケージのその他のピン

VCC	J2,A8,A2
VCCIO0	A5
VCCIO1	E9
VCCIO2	J5
VCCIO3	E1
VCCX	J8
VSS	A1,A9,J1,J9

3.6.18 QN60 のピン配置図

図 3-75 GW1N-9 デバイス QN60 パッケージのピン配置図(トップビュー)

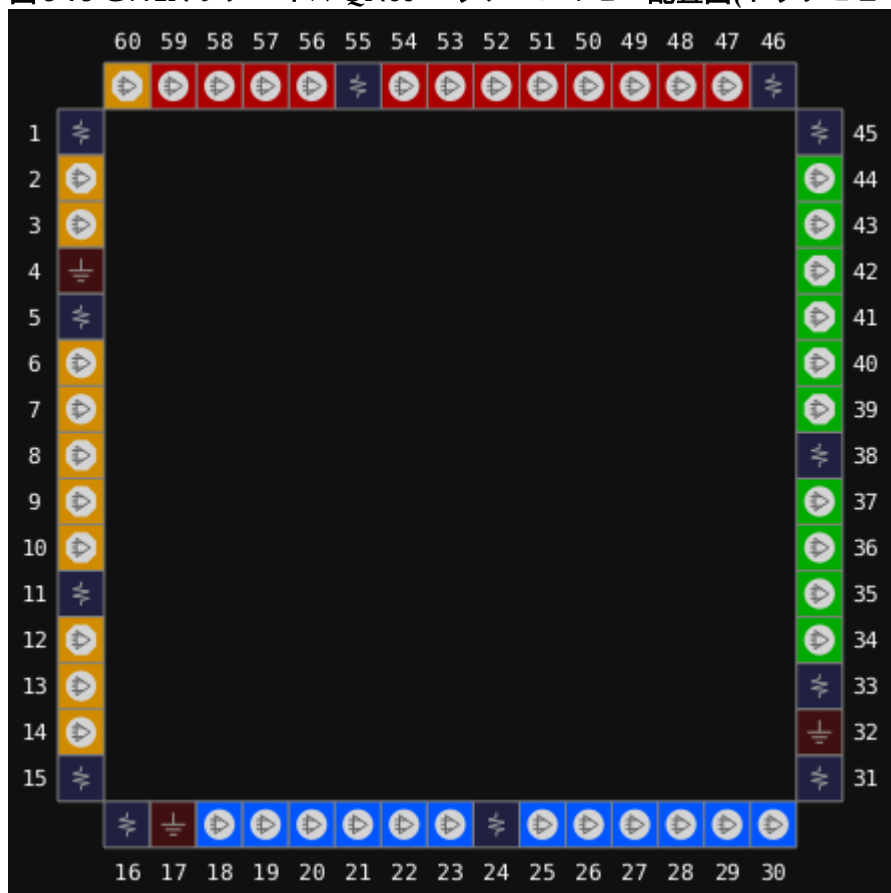


表 3-75 GW1N-9 デバイス QN60 パッケージのその他のピン

VCC	31,16,45,1
VCCIO0	46,55
VCCIO1	38
VCCIO2	24
VCCIO3	11,5
VCCX	33,15
VSS	4,17,32

3.6.19 QN88F のピン配置図

図 3-76 GW1N-9 デバイス QN88F パッケージのピン配置図(トップビュー)

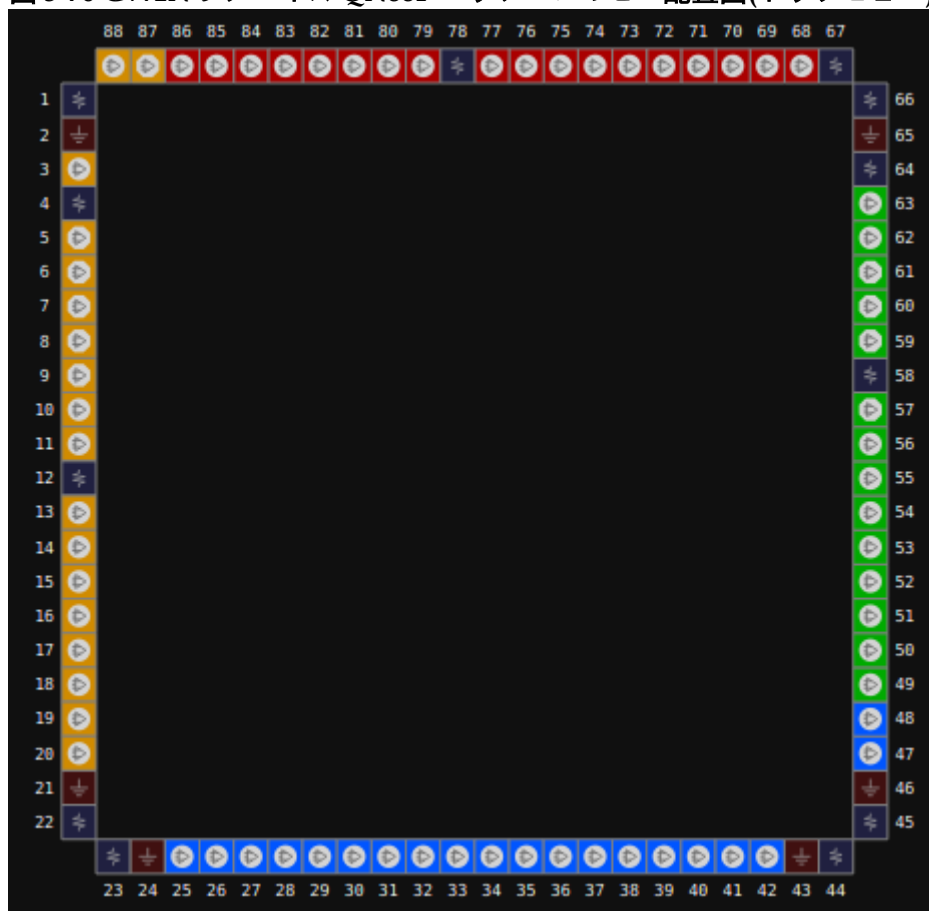


表 3-76 GW1N-9 デバイス QN88F パッケージのその他のピン

VCC	66,22,45,1
VCCIO1	58,64
VCCIO2	44,23
VCCIO3	12,4
VCCIO0/VCCX	67,78
VSS	2,21,24,43,46,65

4 パッケージ外形図

4.1 CS30 パッケージの外形図(2.3mm x 2.2mm, GW1N-1)

図 4-1 CS30 パッケージの外形図(GW1N-1)

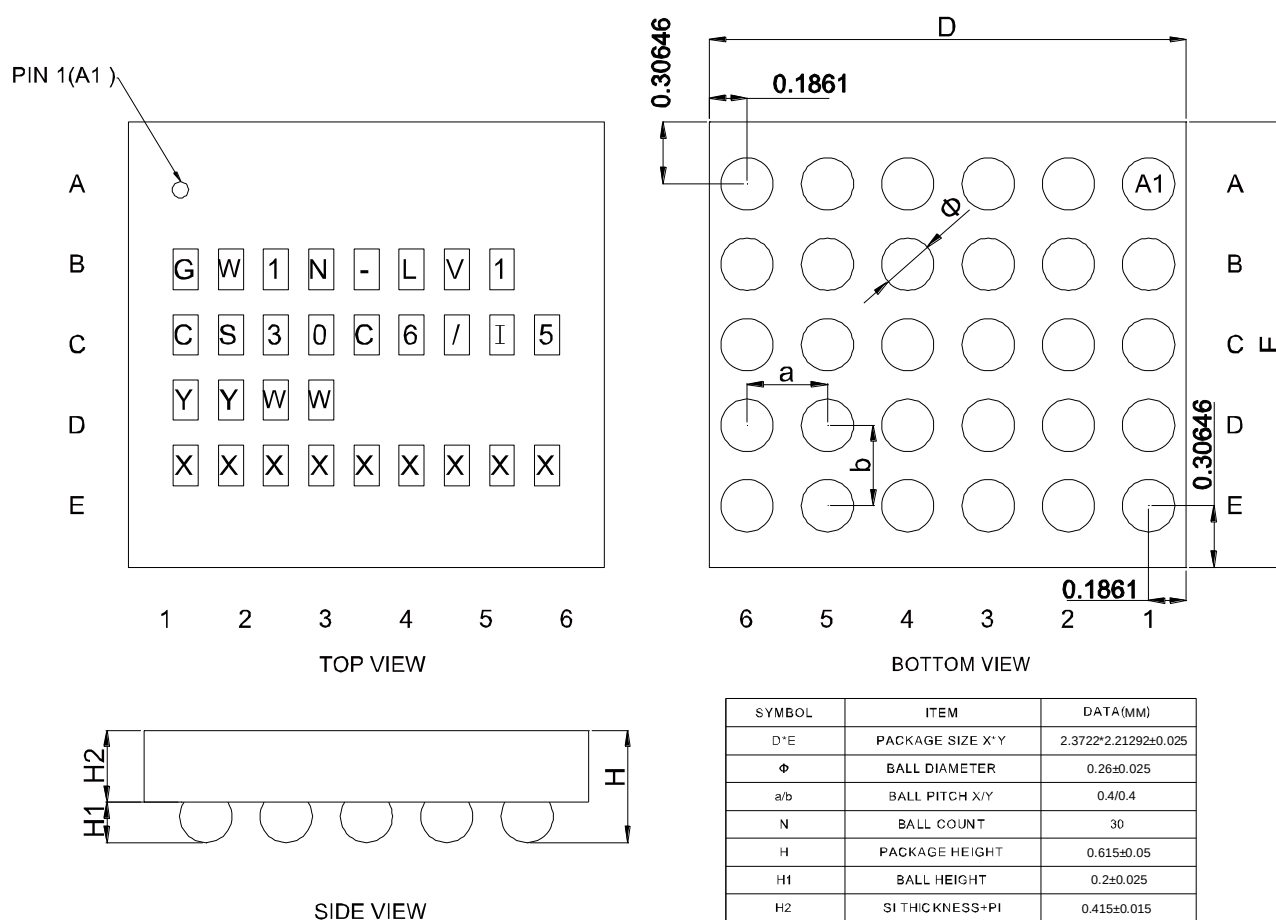
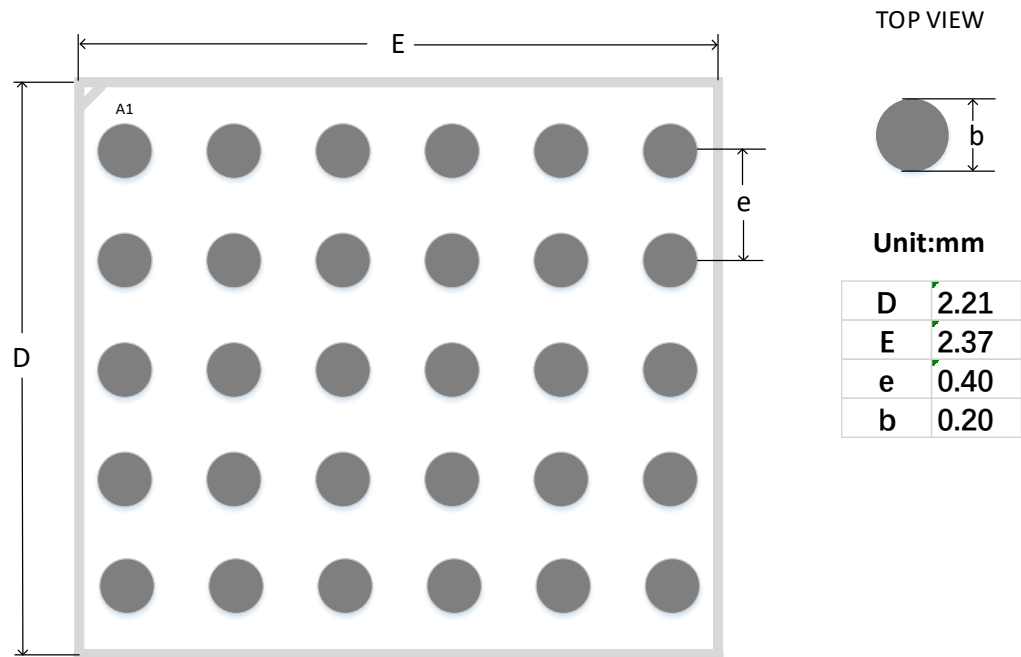


図 4-2 CS30 の推奨 PCB レイアウト(GW1N-1)



4.2 CS30 パッケージの外形図(2.3mm x 2.4mm, GW1N-1S)

図 4-3 CS30 パッケージの外形図(GW1N-1S)

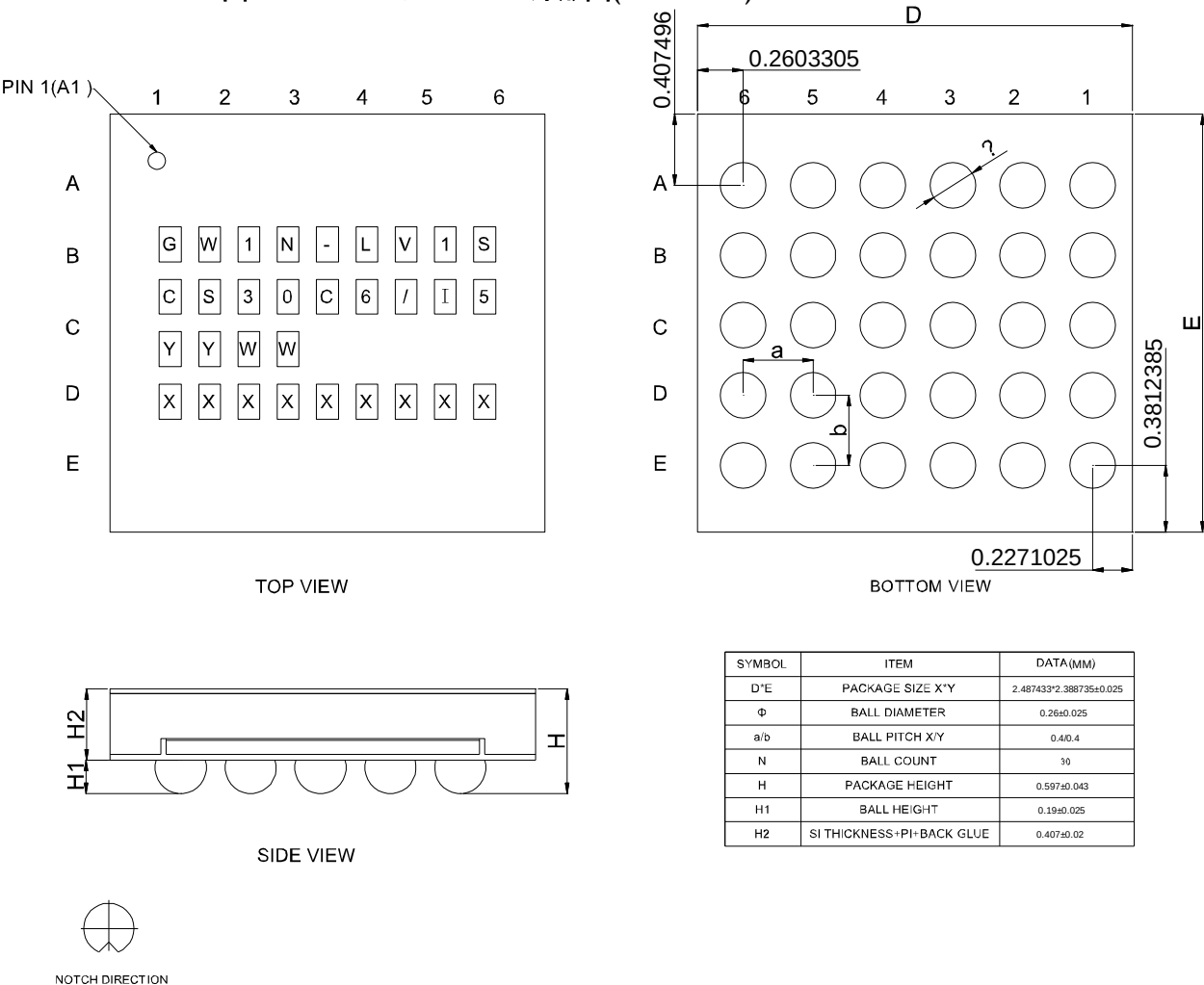
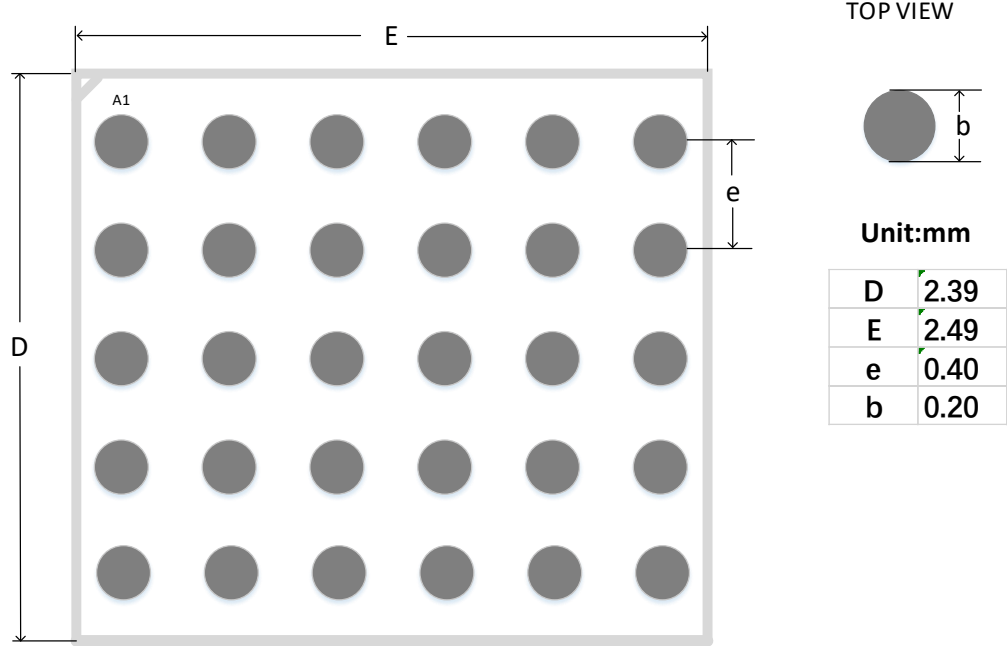


図 4-4 CS30 の推奨 PCB レイアウト(GW1N-1S)



4.3 CS42 パッケージの外形図(2.4mm x 2.9mm)

図 4-5 CS42 パッケージの外形図

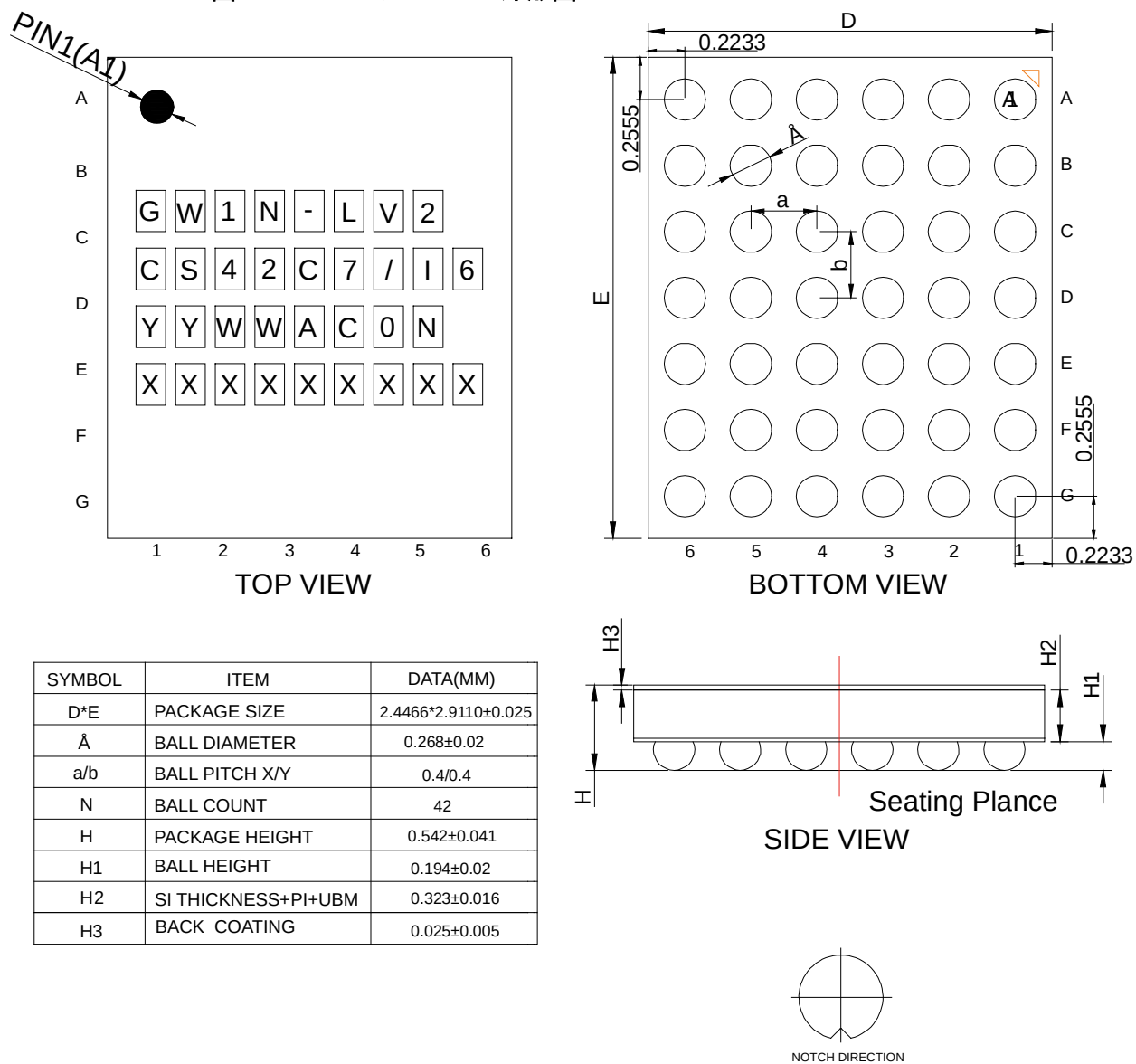
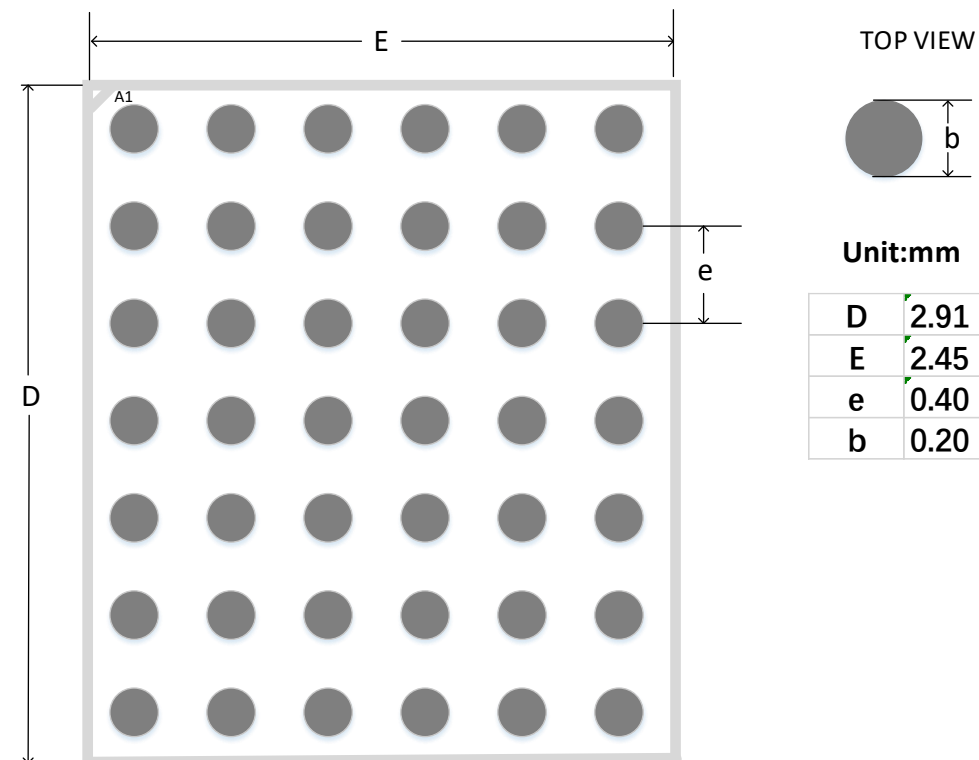
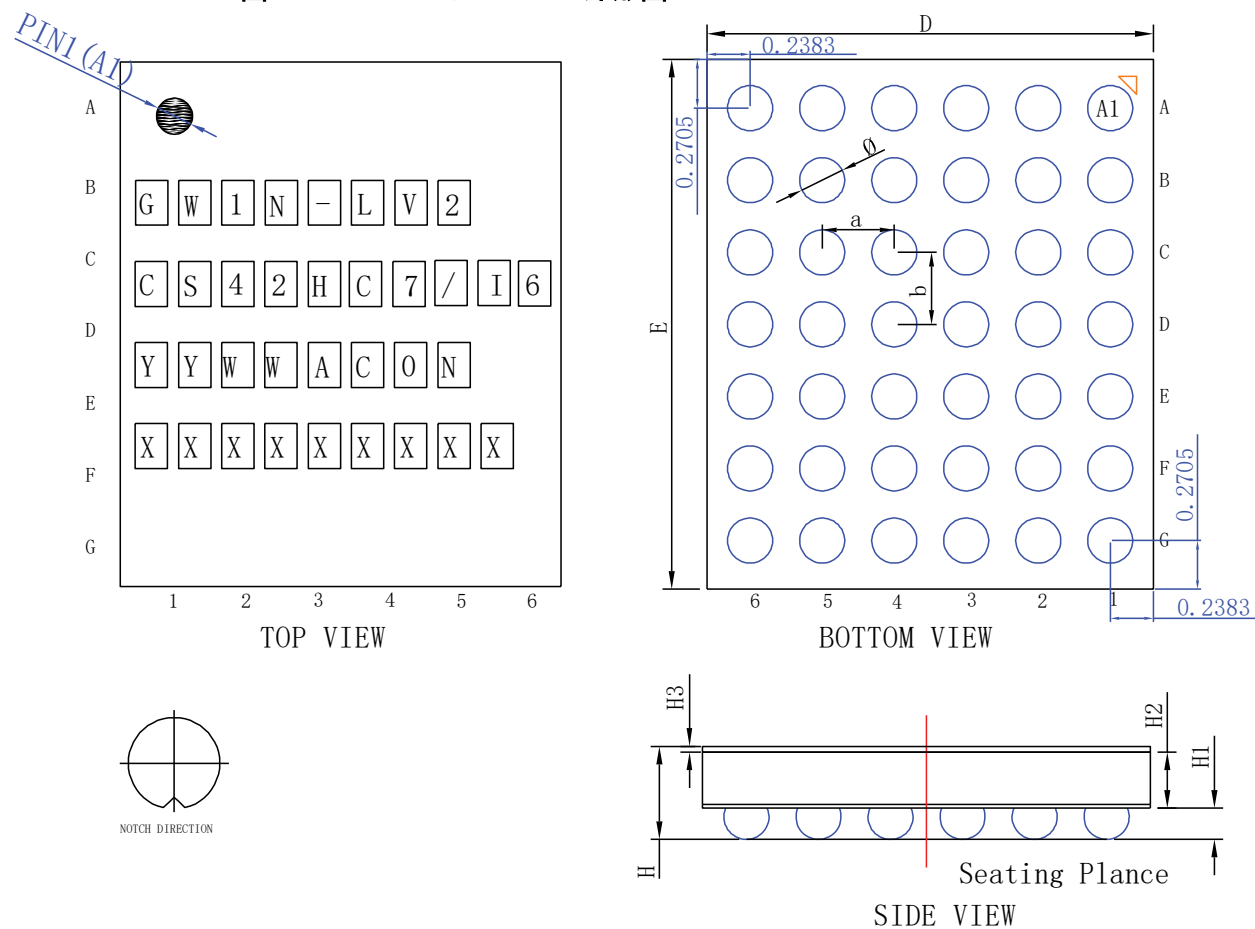


図 4-6 CS42 の推奨 PCB レイアウト



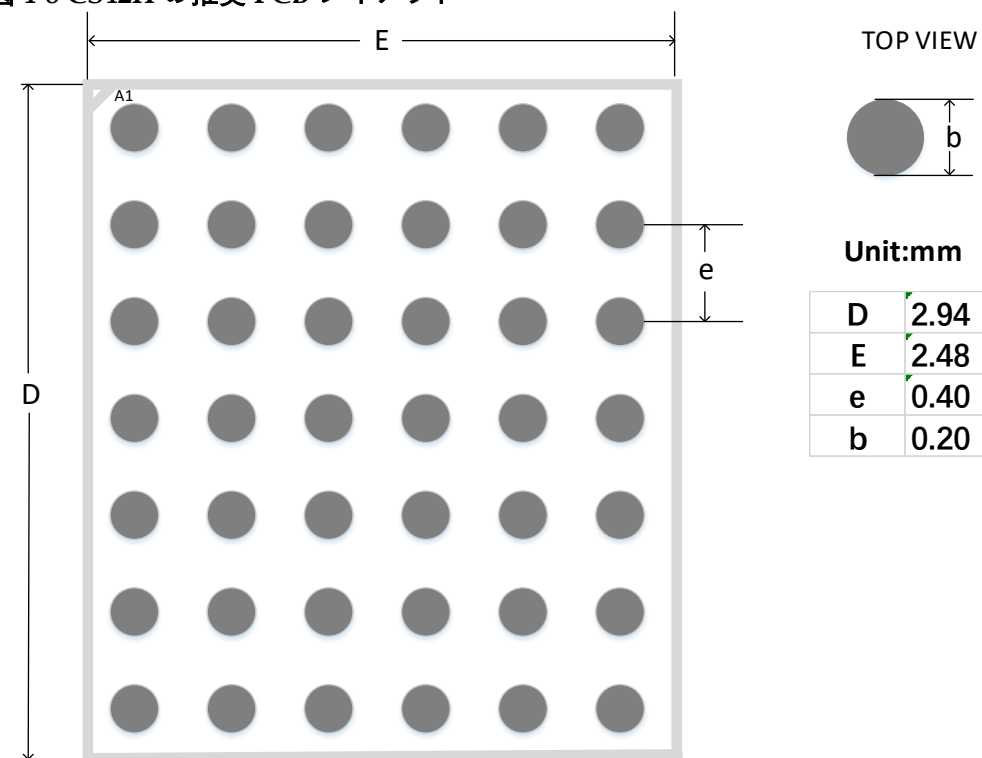
4.4 CS42H パッケージの外形図(2.4mm x 2.9mm)

図 4-7 CS42H パッケージの外形図



SYMBOL	ITEM	DATA (MM)
D*E	PACKAGE SIZE	2.4766*2.941±0.02
Ø	BALL DIAMETER	0.268±0.02
a/b	BALL PITCH X/Y	0.4*0.4
N	BALL COUNT	42
H	PACKAGE HEIGHT	0.542*0.041
H1	BALL HEIGHT	0.194±0.02
H2	SI THICKNESS+PI+UBM	0.323±0.016
H3	BACK COATING	0.025*±0.005

図 4-8 CS42H の推奨 PCB レイアウト



4.5 CS72 パッケージの外形図(3.6mm x 3.3mm)

図 4-9 CS72 パッケージの外形図

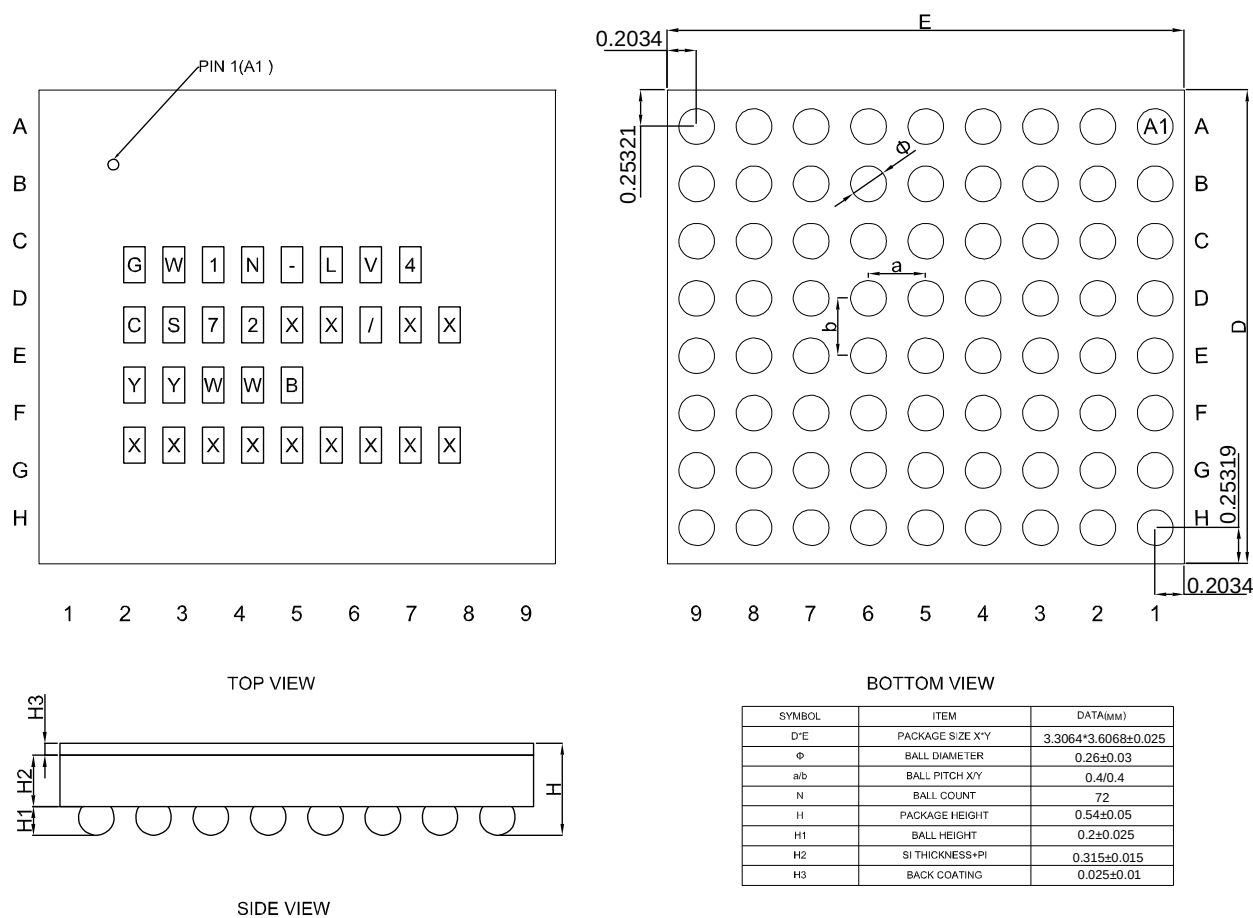
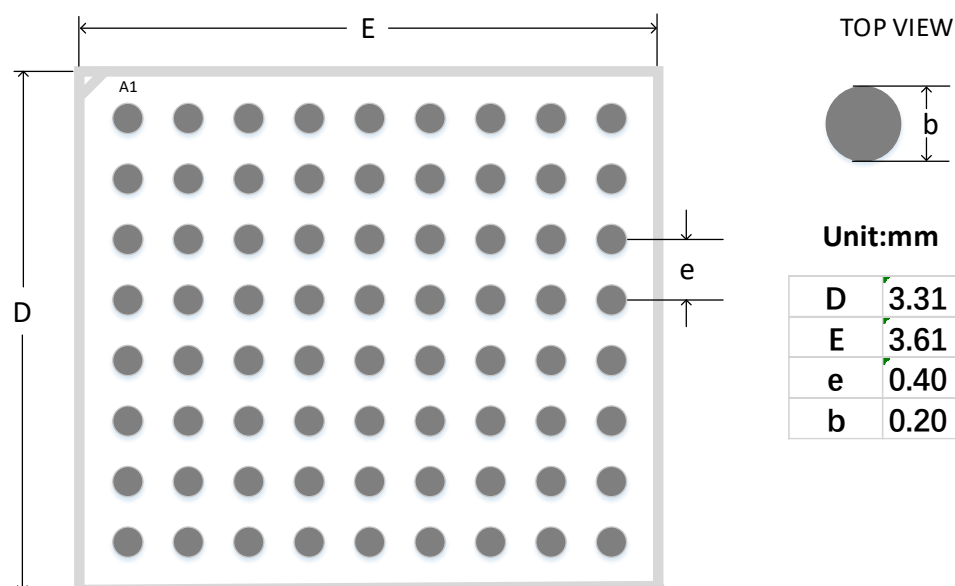
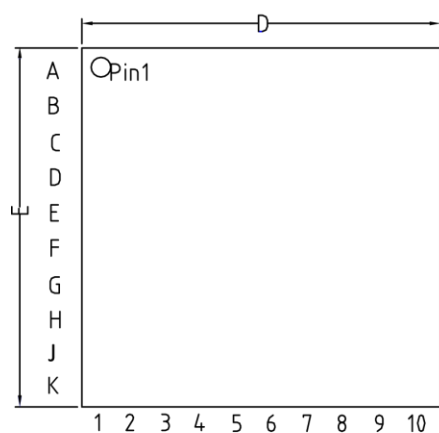


図 4-10 CS72 の推奨 PCB レイアウト

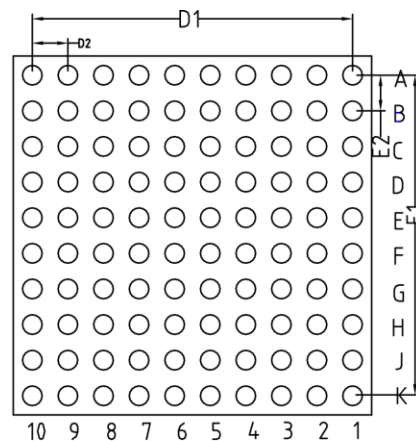


4.6 CS100H パッケージの外形図(4mm x 4mm)

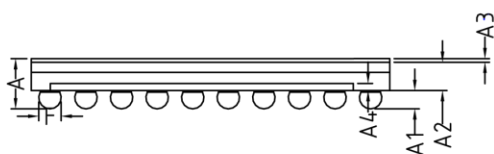
図 4-11 CS100H パッケージの外形図



TOP VIEW
Ball Down



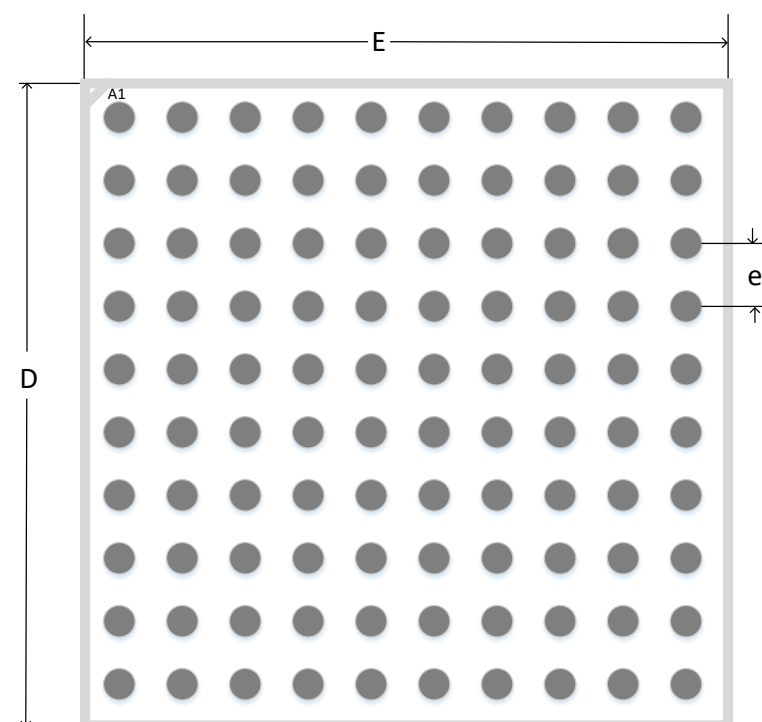
BOTTOM VIEW
Ball Up



SIDE VIEW

Unit:mm			
	NO.	Mean	Tolerance
Top Thickness	A	0.54	±0.0405
Ball Height+UBM Thickness	A1	0.2	±0.023
Wafer/Grinding Thickness	A2	0.3	±0.0125
Backside Coating Thickness	A3	0.04	±0.005
Device Thickness	A4	0.1	±0.0125
Pkg Die Size	X	D	4 ±0.025
	Y	E	4 ±0.025
Ball Size afer reflow	F	0.262	±0.020
Ball Pitch	D1	3.6	NA
	D2	0.4	NA
	E1	3.6	NA
	E2	0.4	NA

図 4-12 CS100H の推奨 PCB レイアウト



TOP VIEW

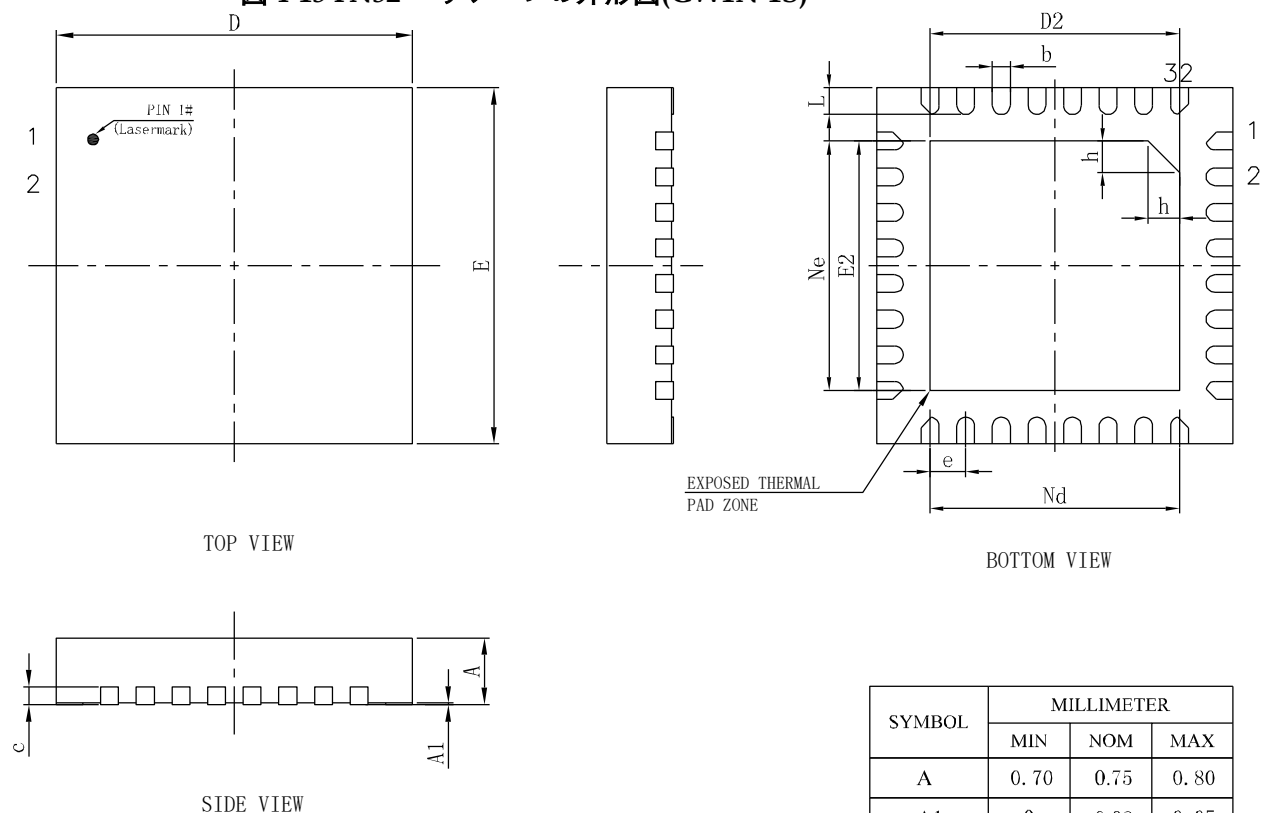


Unit:mm

D	4.00
E	4.00
e	0.40
b	0.20

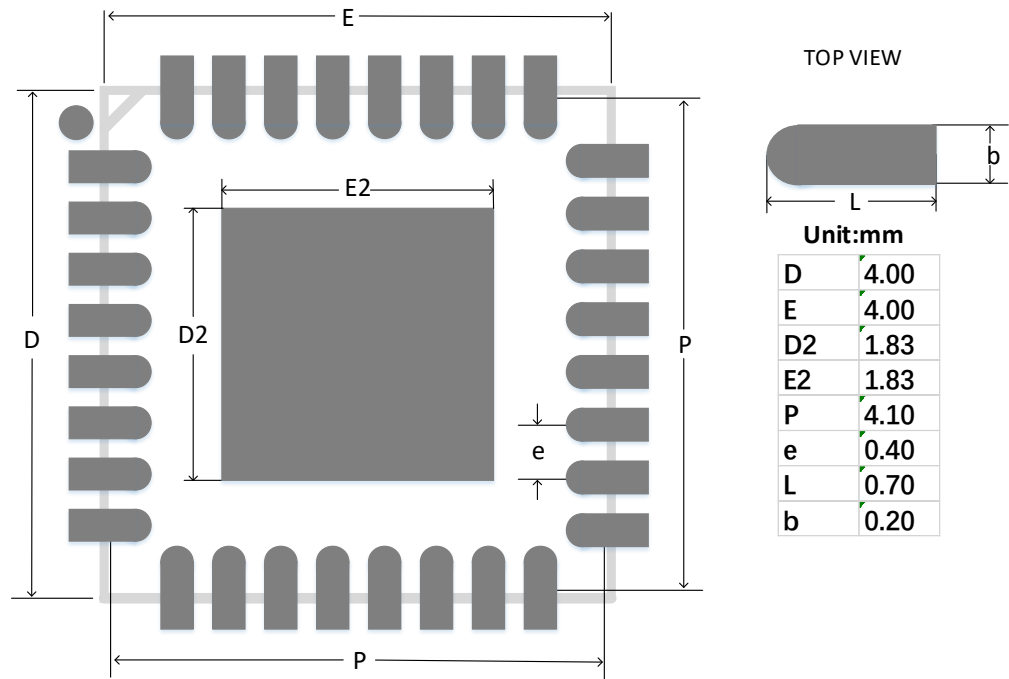
4.7 FN32 パッケージの外形図(4mm x 4mm)

図 4-13 FN32 パッケージの外形図(GW1N-1S)



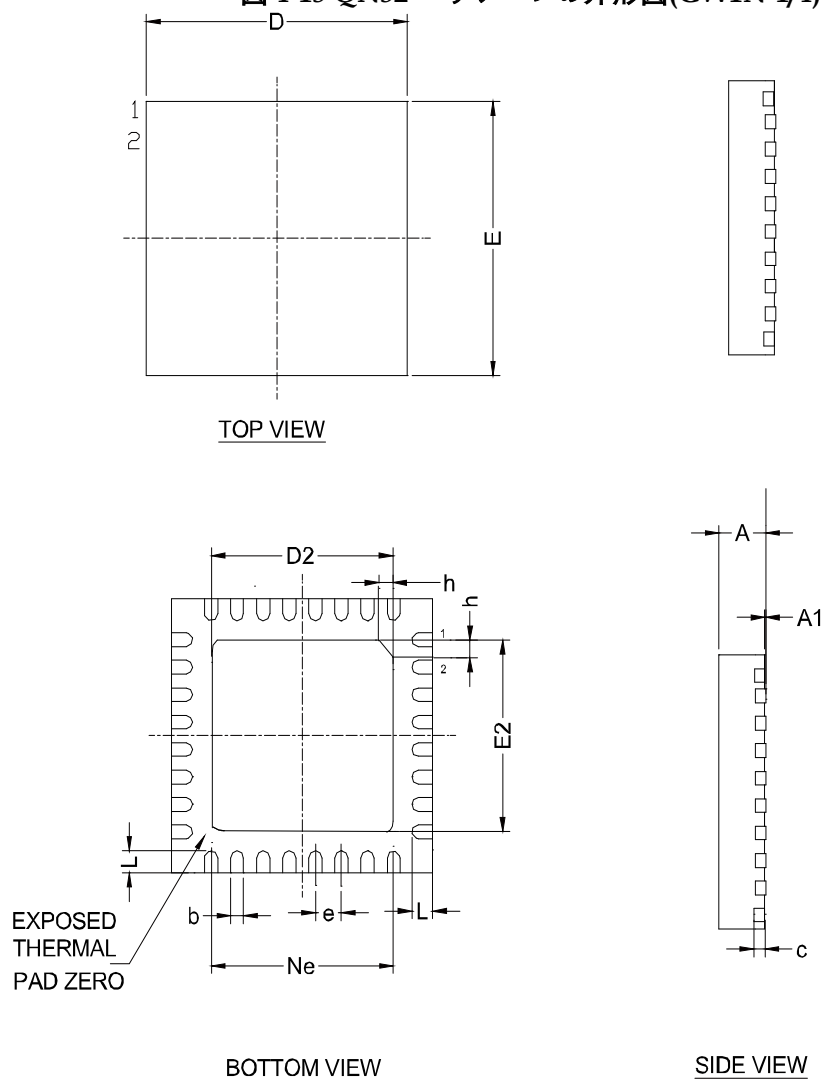
SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.02	0.05
b	0.15	0.20	0.25
c	0.18	0.20	0.25
D	3.90	4.00	4.10
D2	2.70	2.80	2.90
e	0.40BSC		
Ne	2.80BSC		
Nd	2.80BSC		
E	3.90	4.00	4.10
E2	2.70	2.80	2.90
L	0.25	0.30	0.35
h	0.30	0.35	0.40

図 4-14 FN32 の推奨 PCB レイアウト(GW1N-1S)



4.8 QN32 パッケージの外形図(5mm x 5mm, GW1N-1/4)

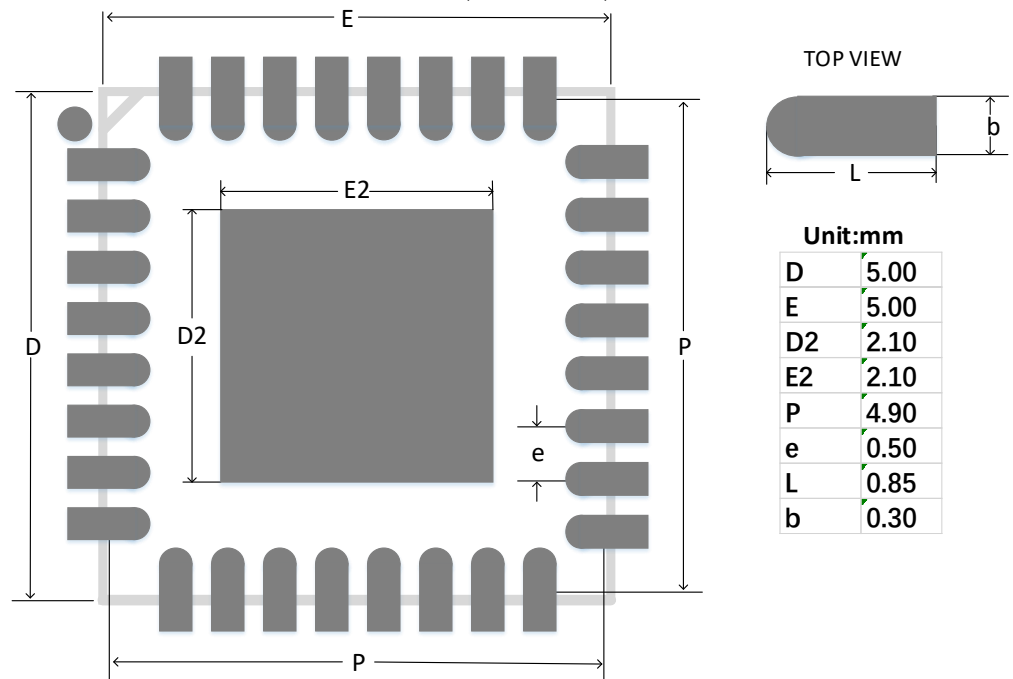
図 4-15 QN32 パッケージの外形図(GW1N-1/4)



* CONTROLLING DIMENSION : MM

SYMBOL	MILLIMETER		
	MIN.	NOM.	MAX.
A	0.70	0.75	0.80
A1	---	0.02	0.05
b	0.18	0.25	0.30
c	0.18	0.20	0.25
D	4.90	5.00	5.10
D2	3.40	3.50	3.60
e	0.50 bsc		
Ne	3.50 bsc		
E	4.90	5.00	5.10
E2	3.40	3.50	3.60
L	0.35	0.40	0.45
h	0.30	0.35	0.40

図 4-16 QN32 の推奨 PCB レイアウト (GW1N-1/4)



4.9 QN32 パッケージの外形図(5mm x 5mm, GW1N-2)

図 4-17 QN32 パッケージの外形図(GW1N-2)

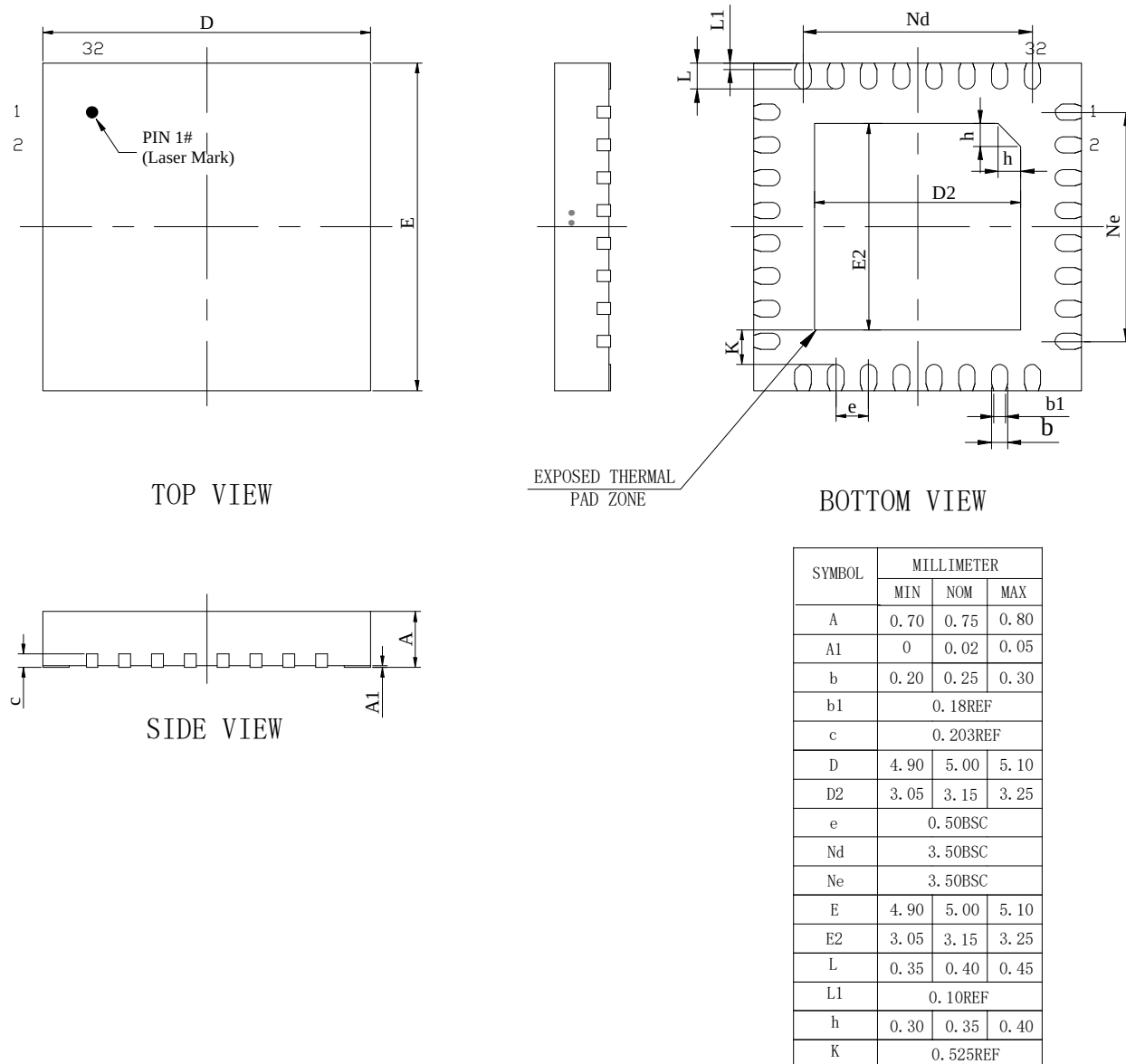
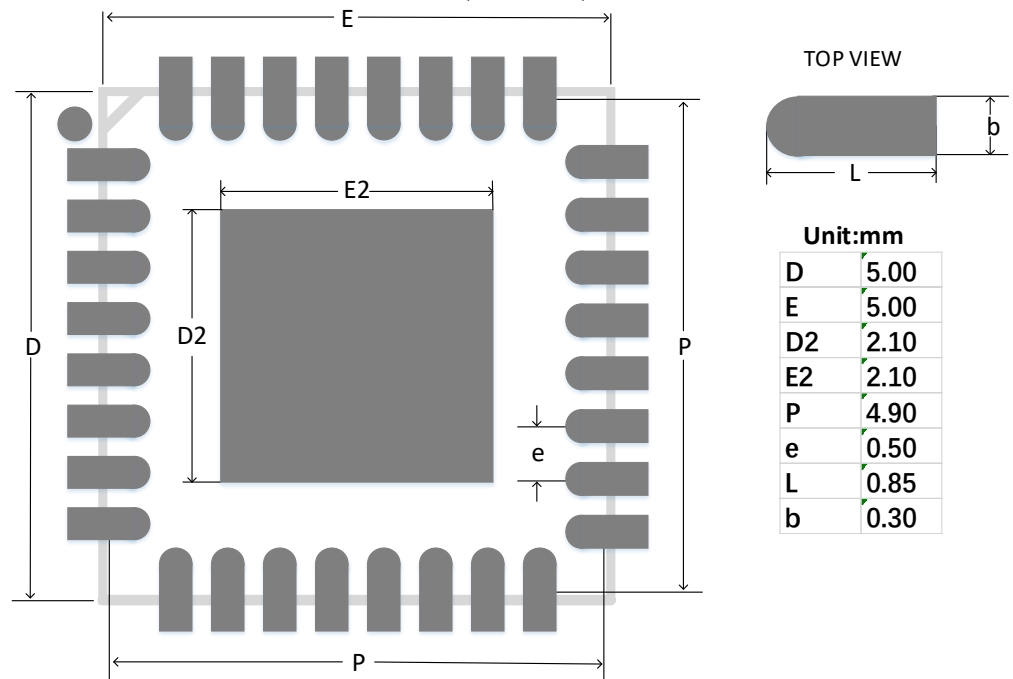
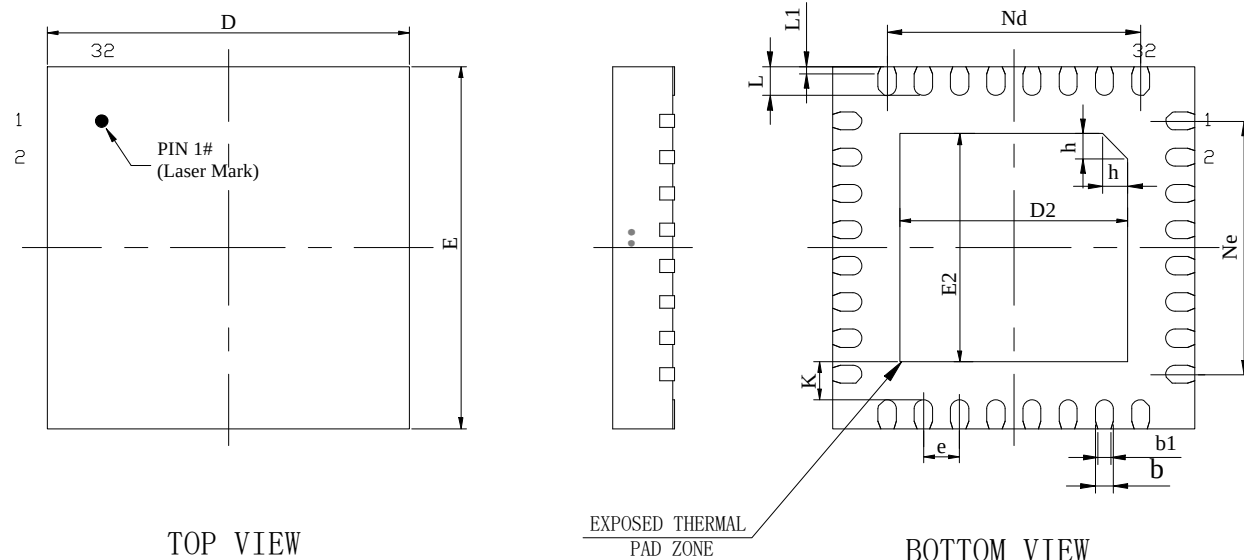


図 4-18 QN32 の推奨 PCB レイアウト(GW1N-2)



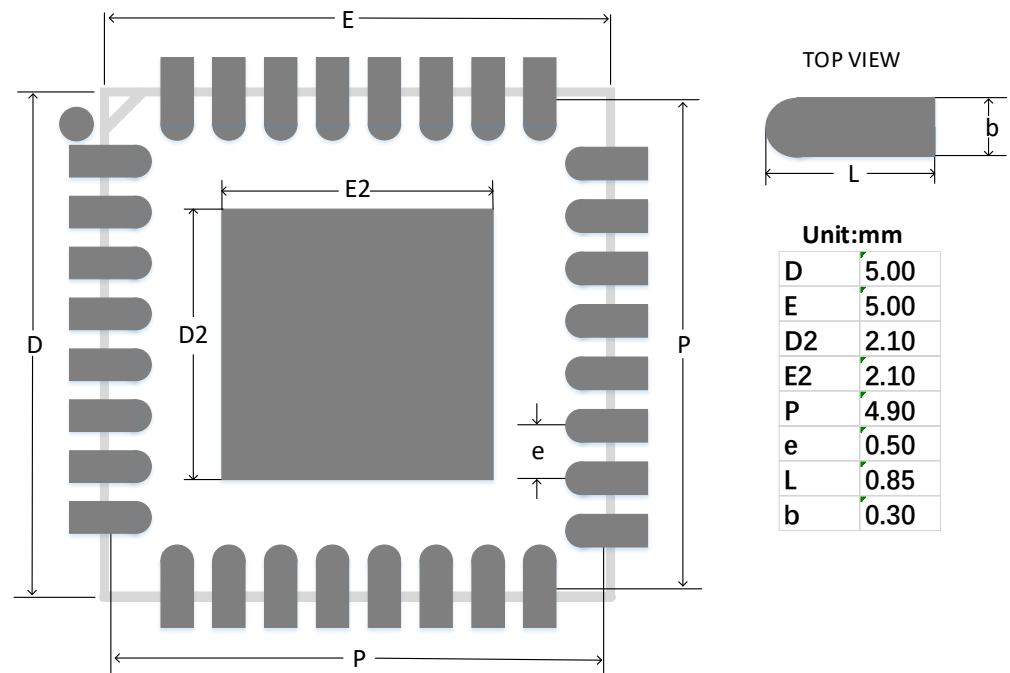
4.10 QN32X パッケージの外形図(5mm x 5mm)

図 4-19 QN32X パッケージの外形図



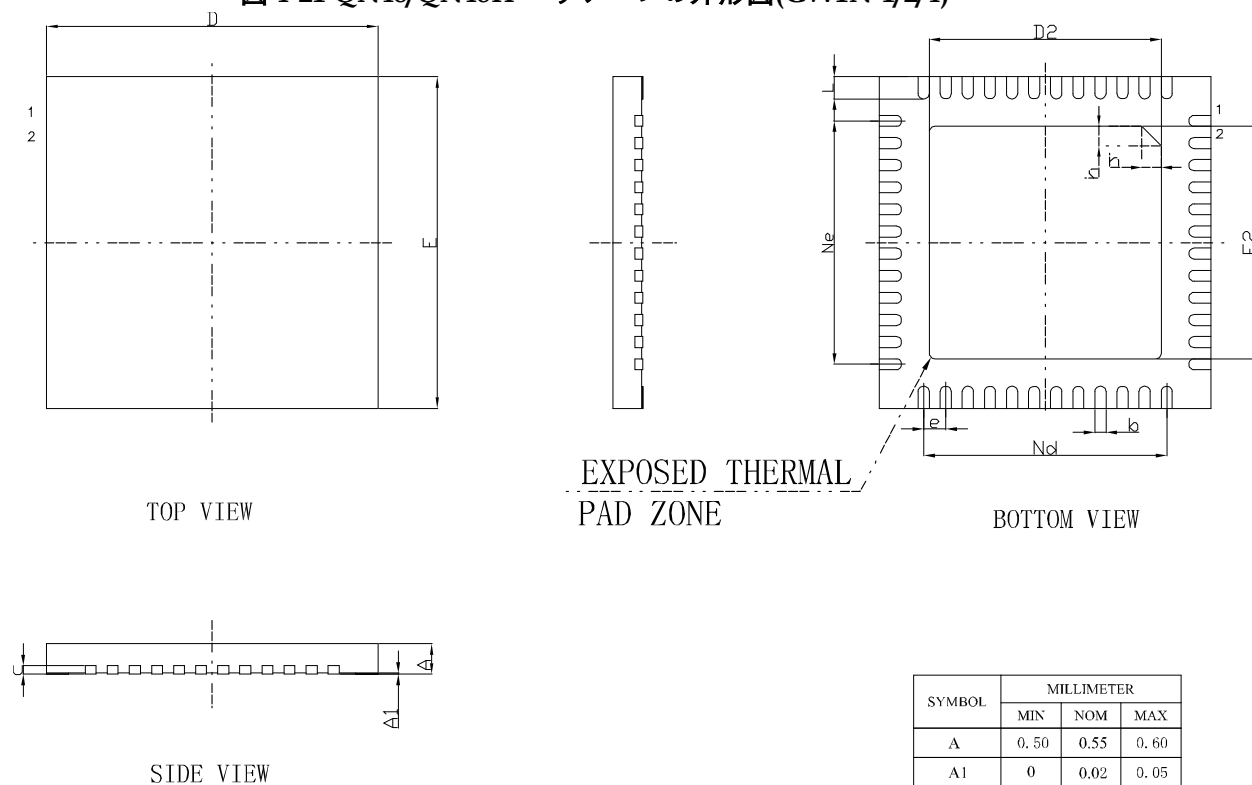
SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.02	0.05
b	0.20	0.25	0.30
b1	0.18REF		
c	0.203REF		
D	4.90	5.00	5.10
D2	3.05	3.15	3.25
e	0.50BSC		
Nd	3.50BSC		
Ne	3.50BSC		
E	4.90	5.00	5.10
E2	3.05	3.15	3.25
L	0.35	0.40	0.45
L1	0.10REF		
h	0.30	0.35	0.40
K	0.525REF		

図 4-20 QN32X の推奨 PCB レイアウト



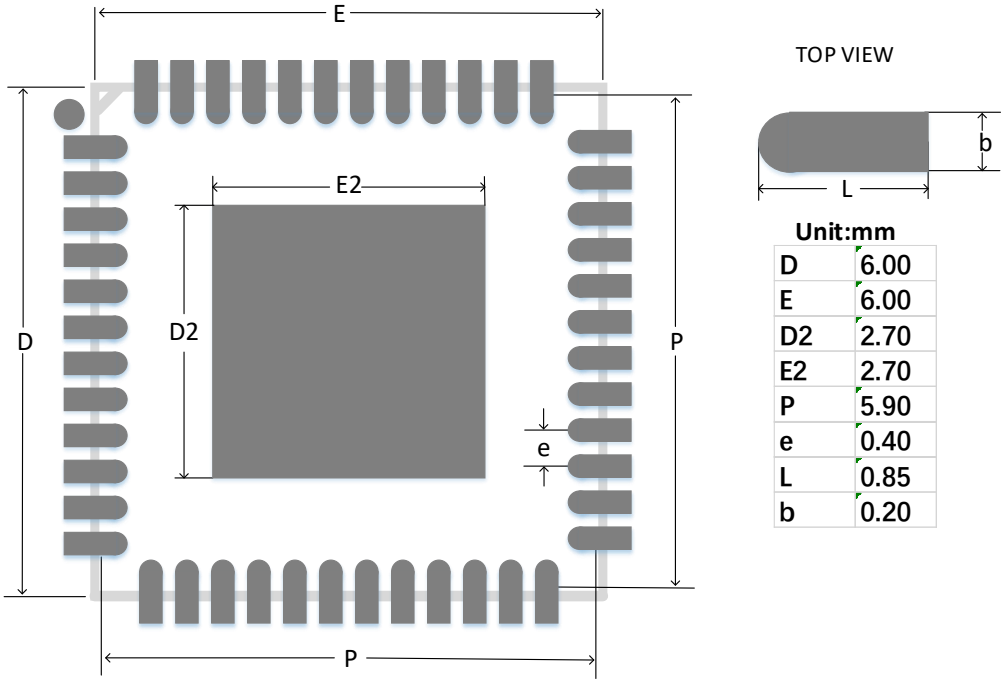
4.11 QN48/QN48H パッケージの外形図(6mm x 6mm, GW1N-1/2/4)

図 4-21 QN48/QN48H パッケージの外形図(GW1N-1/2/4)



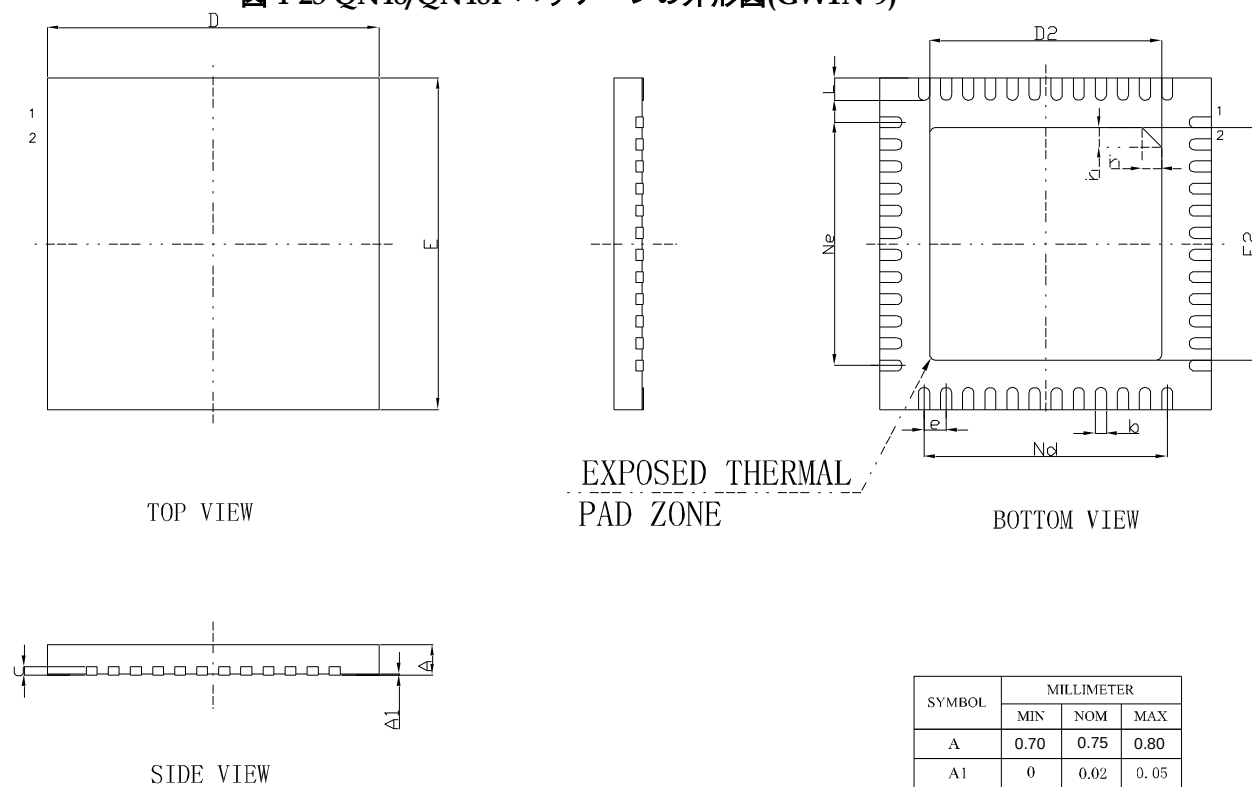
SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.50	0.55	0.60
A1	0	0.02	0.05
b	0.15	0.20	0.25
c	0.10	0.15	0.20
D	5.90	6.00	6.10
D2	4.10	4.20	4.30
e	0.40BSC		
Ne	4.40BSC		
Nd	4.40BSC		
E	5.90	6.00	6.10
E2	4.10	4.20	4.30
L	0.35	0.40	0.45
h	0.30	0.35	0.40

図 4-22 QN48/QN48H の推奨 PCB レイアウト (GW1N-1/2/4)



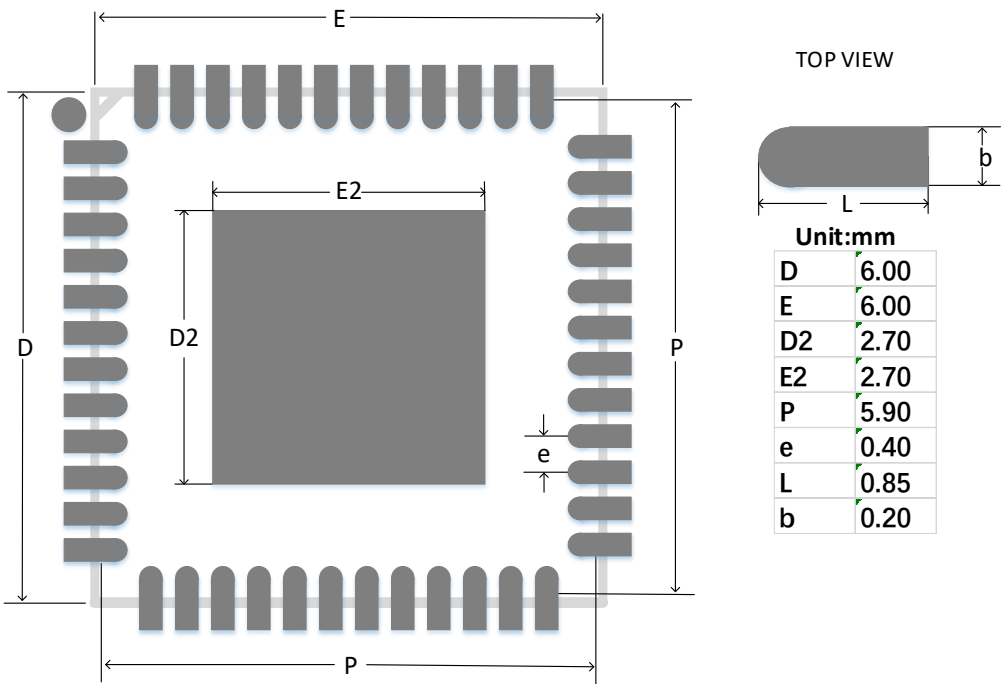
4.12 QN48/QN48F パッケージの外形図(6mm x 6mm, GW1N-9)

図 4-23 QN48/QN48F パッケージの外形図(GW1N-9)



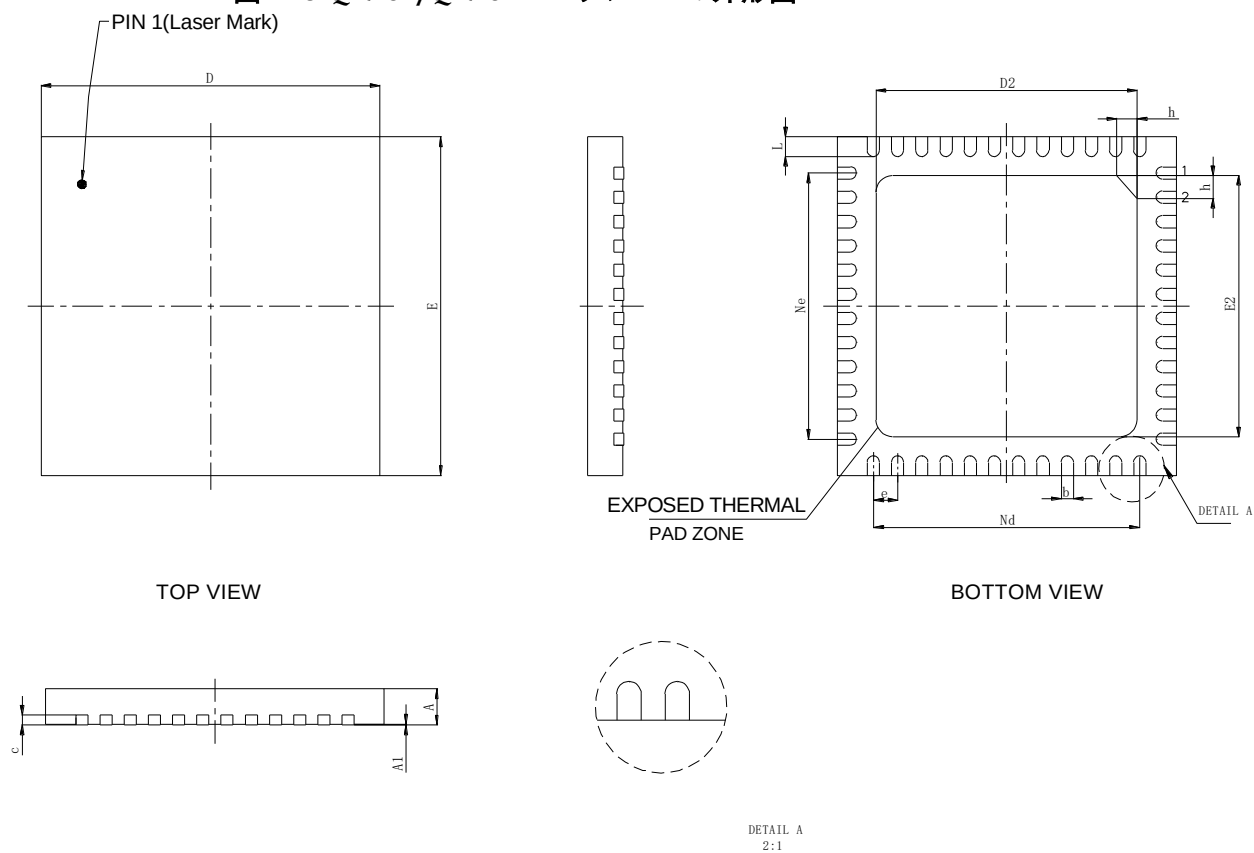
SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.02	0.05
b	0.15	0.20	0.25
c	0.10	0.15	0.20
D	5.90	6.00	6.10
D2	4.10	4.20	4.30
e	0.40BSC		
Ne	4.40BSC		
Nd	4.40BSC		
E	5.90	6.00	6.10
E2	4.10	4.20	4.30
L	0.35	0.40	0.45
h	0.30	0.35	0.40

図 4-24 QN48/QN48F の推奨 PCB レイアウト(GW1N-9)



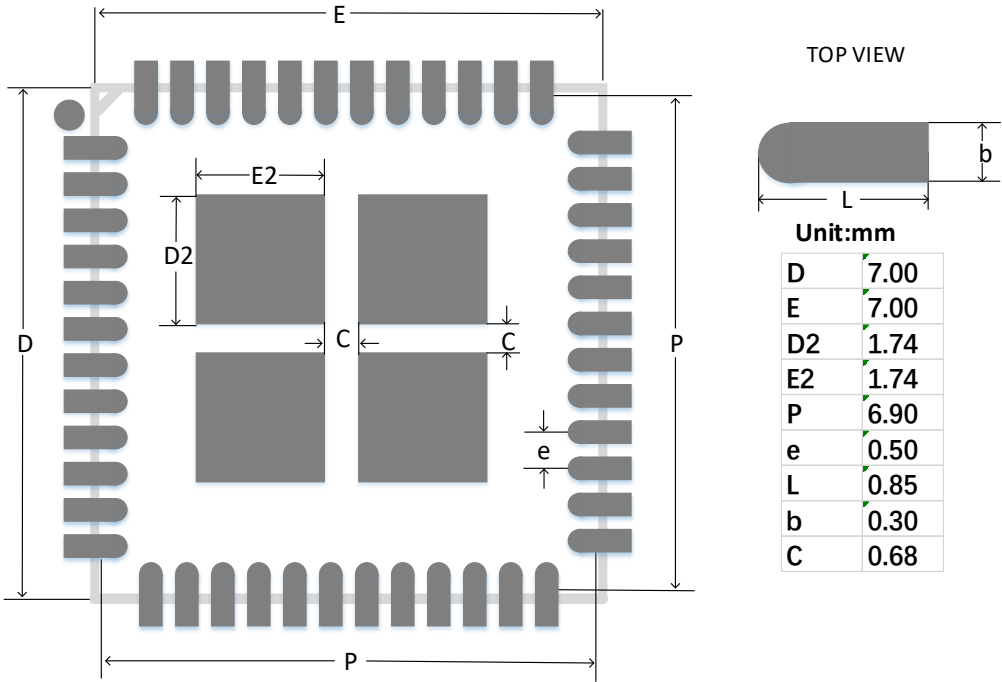
4.13 QN48X/QN48XF パッケージの外形図(7mm x 7mm)

図 4-25 QN48X/QN48XF パッケージの外形図



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.02	0.05
b	0.18	0.25	0.30
c	0.18	0.20	0.23
D	6.90	7.00	7.10
D2	5.30	5.40	5.50
e	0.50BSC		
Ne	5.50BSC		
Nd	5.50BSC		
E	6.90	7.00	7.10
E2	5.30	5.40	5.50
L	0.35	0.40	0.45
h	0.30	0.35	0.40

図 4-26 QN48X/QN48XF の推奨 PCB レイアウト



4.14 CM64 パッケージの外形図(4.1mm x 4.1mm)

図 4-27 CM64 パッケージの外形図

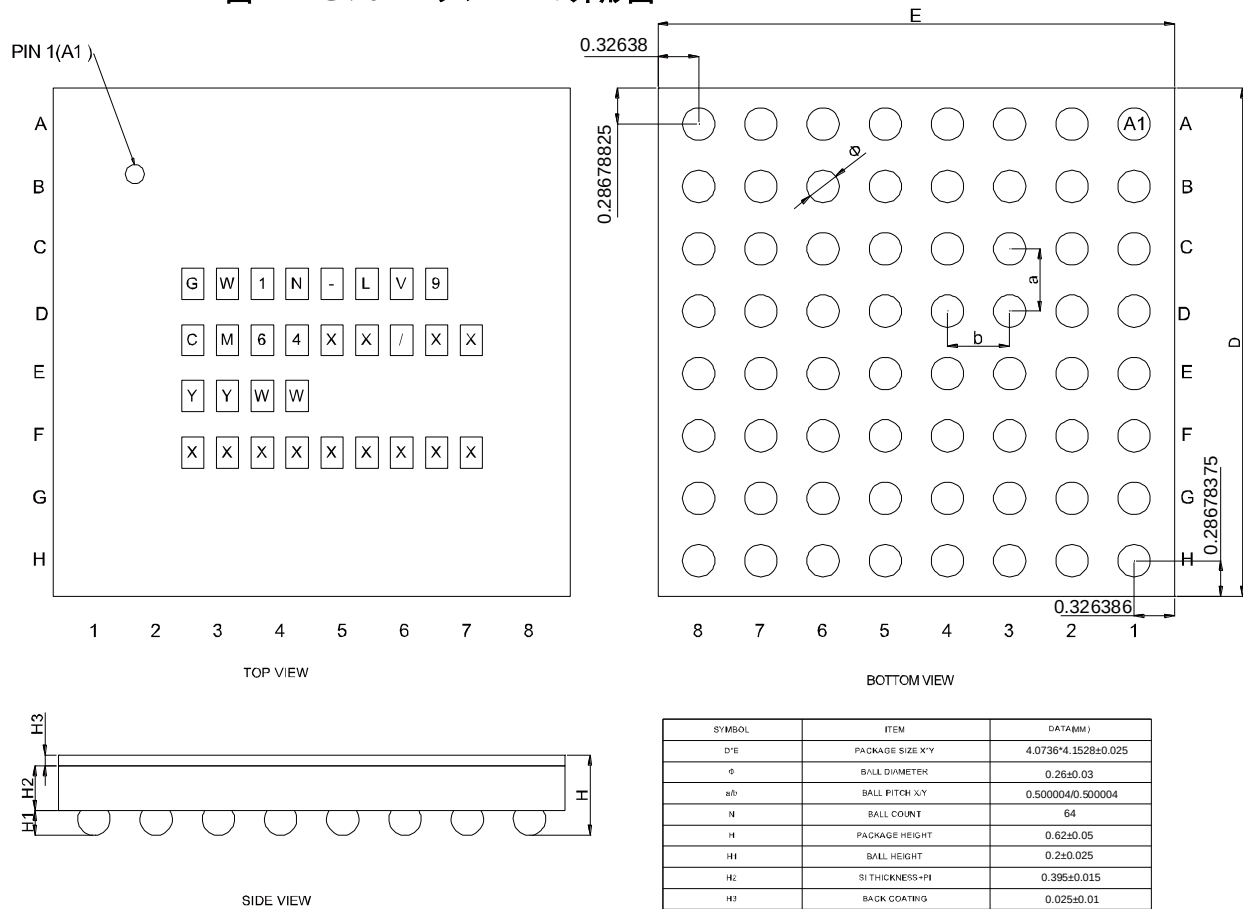
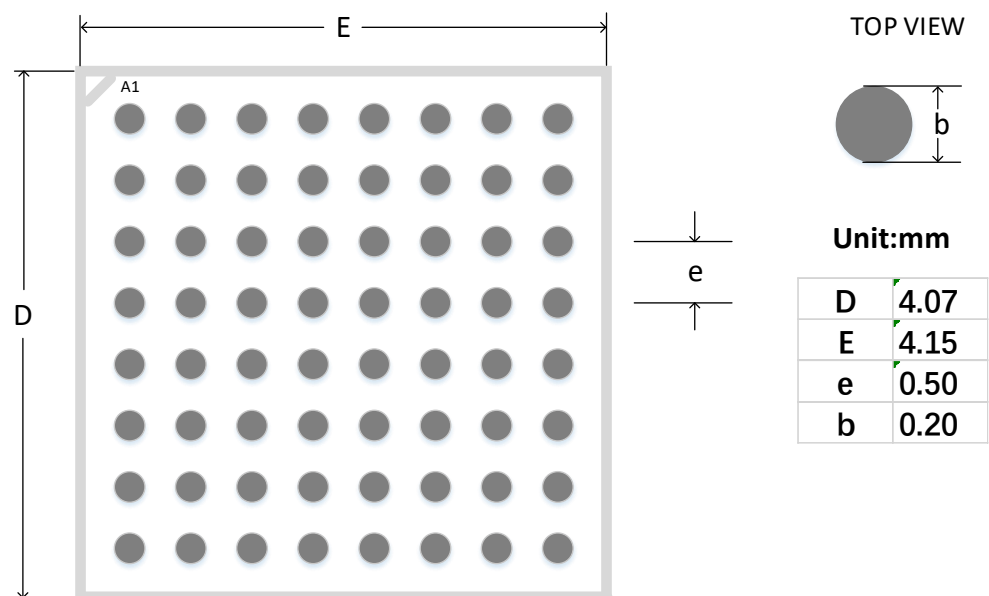
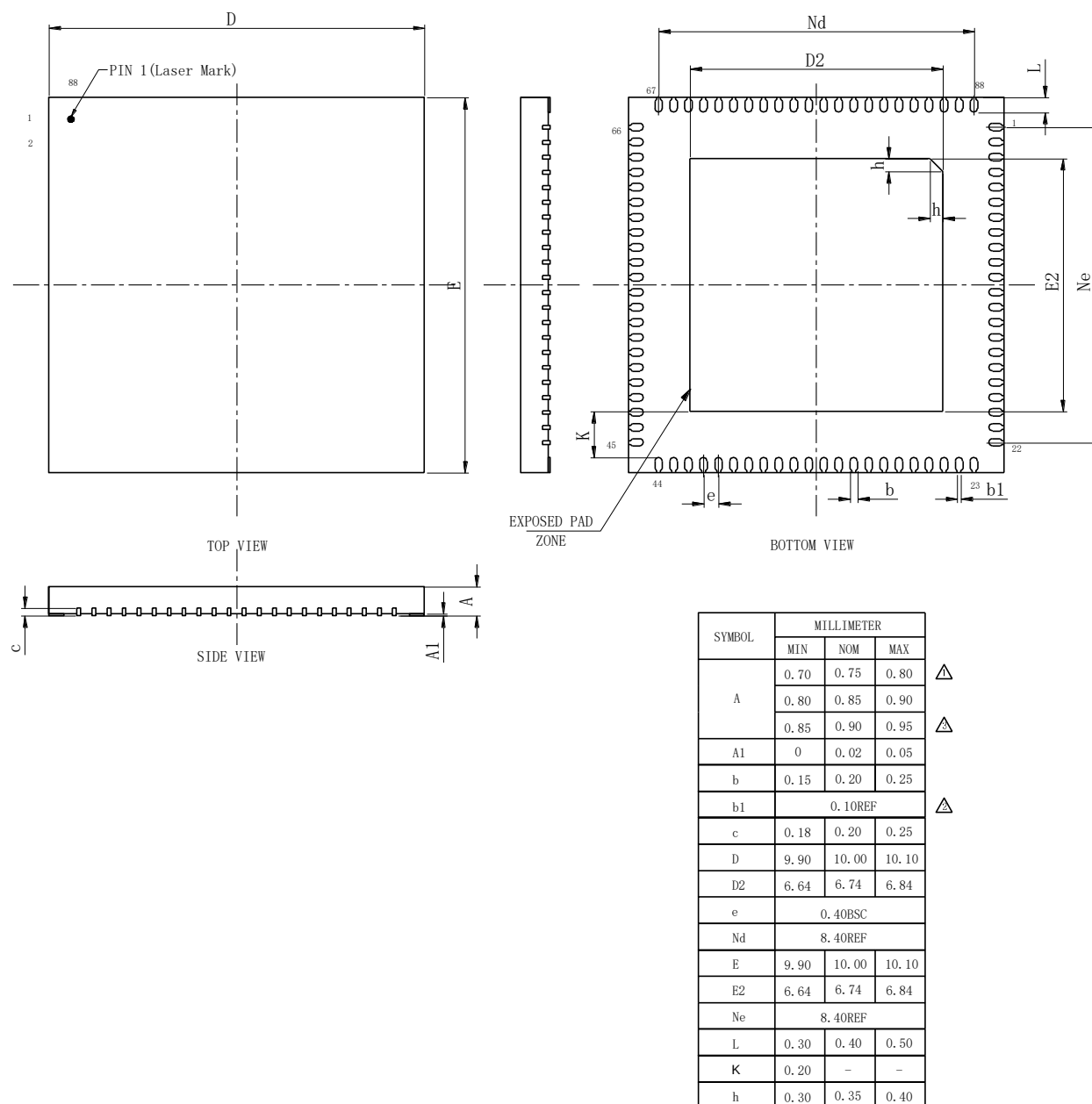


図 4-28 CM64 の推奨 PCB レイアウト



4.15 QN88/QN88F パッケージの外形図(10mm x 10mm)

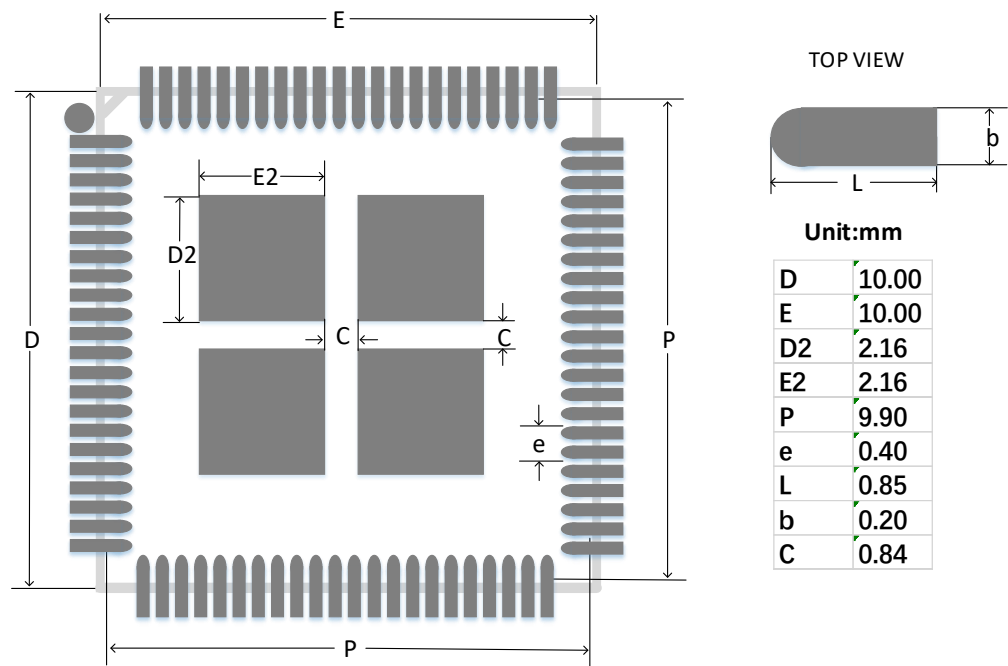
図 4-29 QN88/QN88F パッケージの外形図



注記：

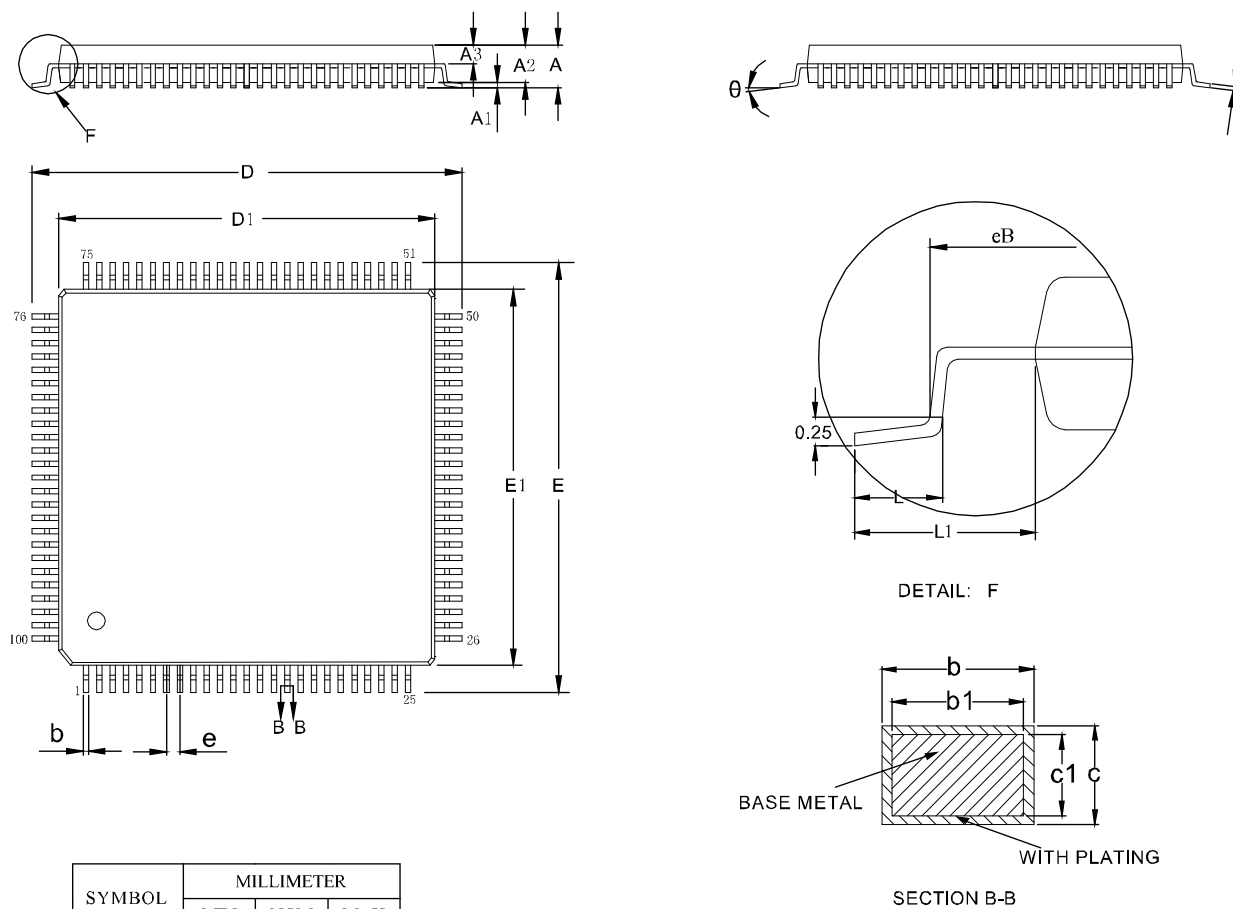
GW1N-LV9QN88、GW1N-LV9QN88F、GW1N-UV9QN88、GW1N-LV4QN88、
GW1N-UV4QN88、GW1N-LV2QN88、および GW1N-UV2QN88 の A(NOM)の値は
0.85mm です。

図 4-30 QN88/QN88F の推奨 PCB レイアウト



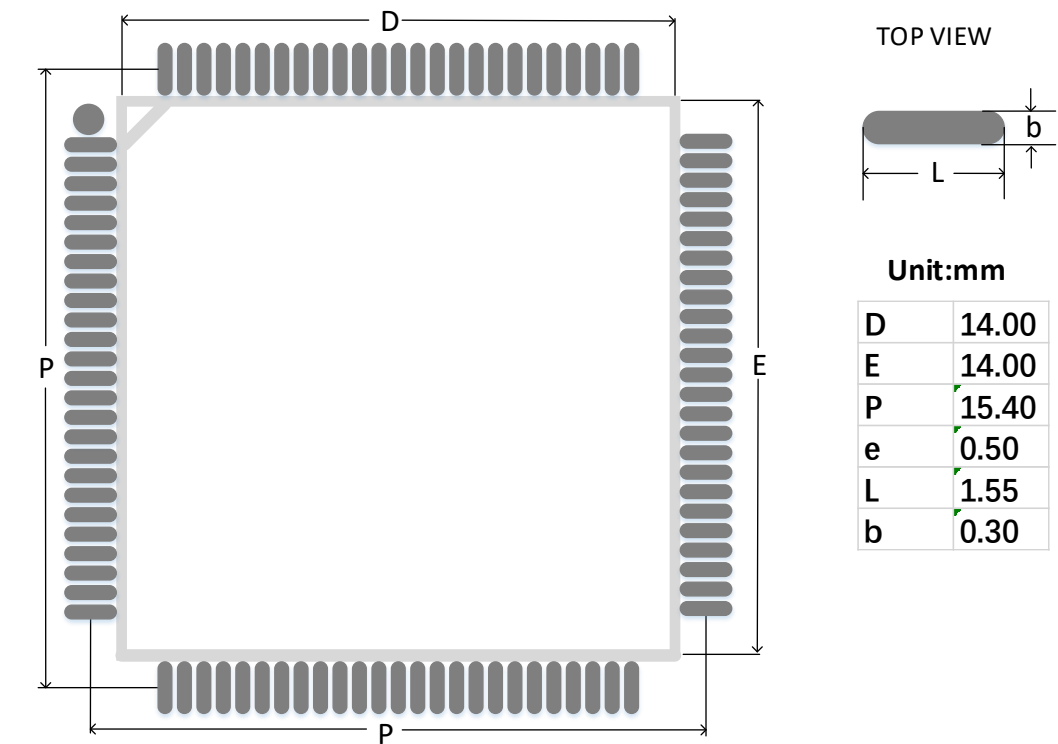
4.16 LQ100/LQ100X パッケージの外形図(14mm x 14mm)

図 4-31 LQ100/LQ100X パッケージの外形図



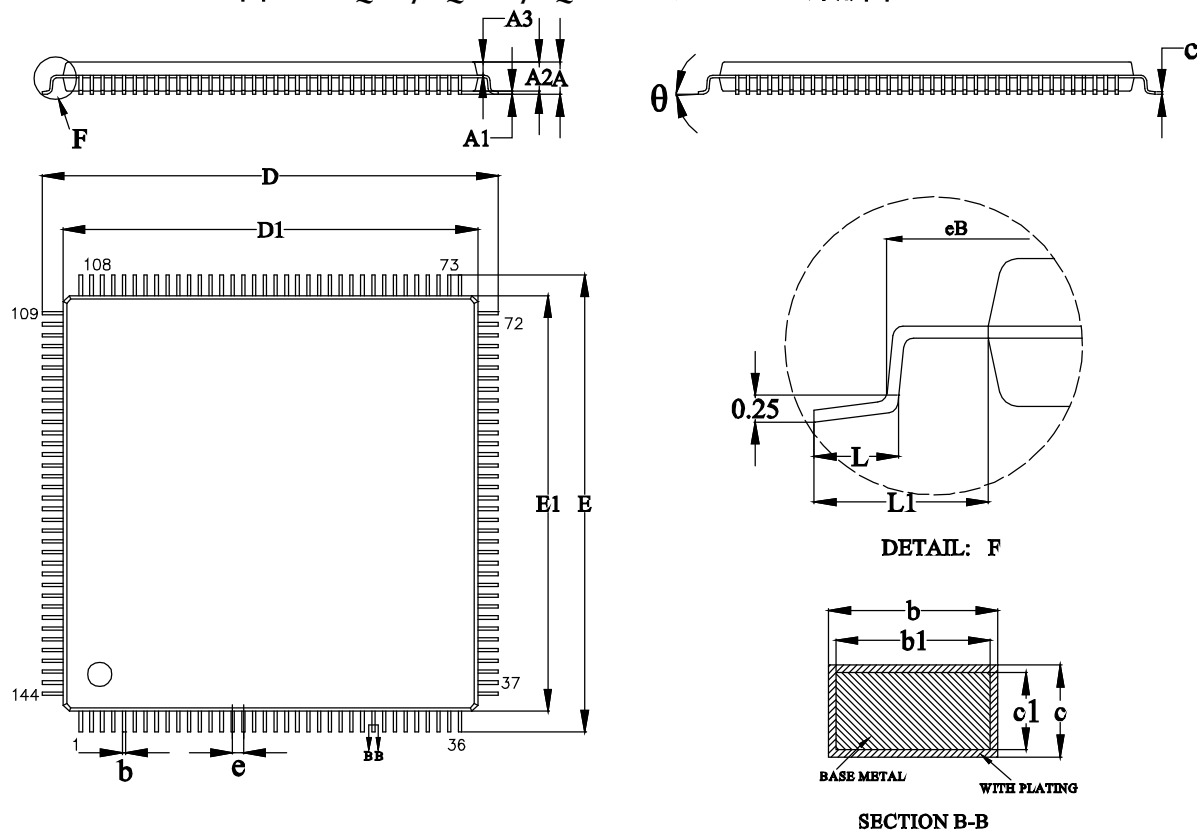
SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	15.80	16.00	16.20
D1	13.90	14.00	14.10
E	15.80	16.00	16.20
E1	13.90	14.00	14.10
eB	15.05	—	15.35
e	0.50BSC		
L	0.45	—	0.75
L1	1.00REF		
θ	0	—	7°

図 4-32 LQ100/LQ100X の推奨 PCB レイアウト



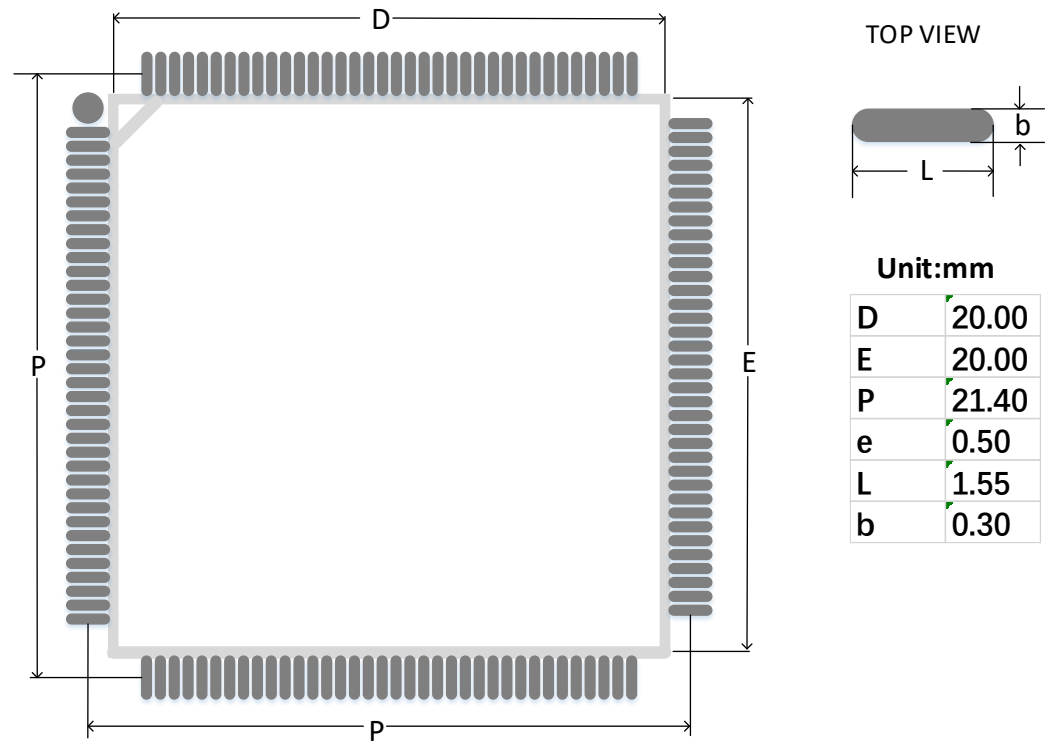
4.17 LQ144/LQ144X/LQ144F パッケージの外形図(20mm x 20mm)

図 4-33 LQ144/LQ144X/LQ144F パッケージの外形図



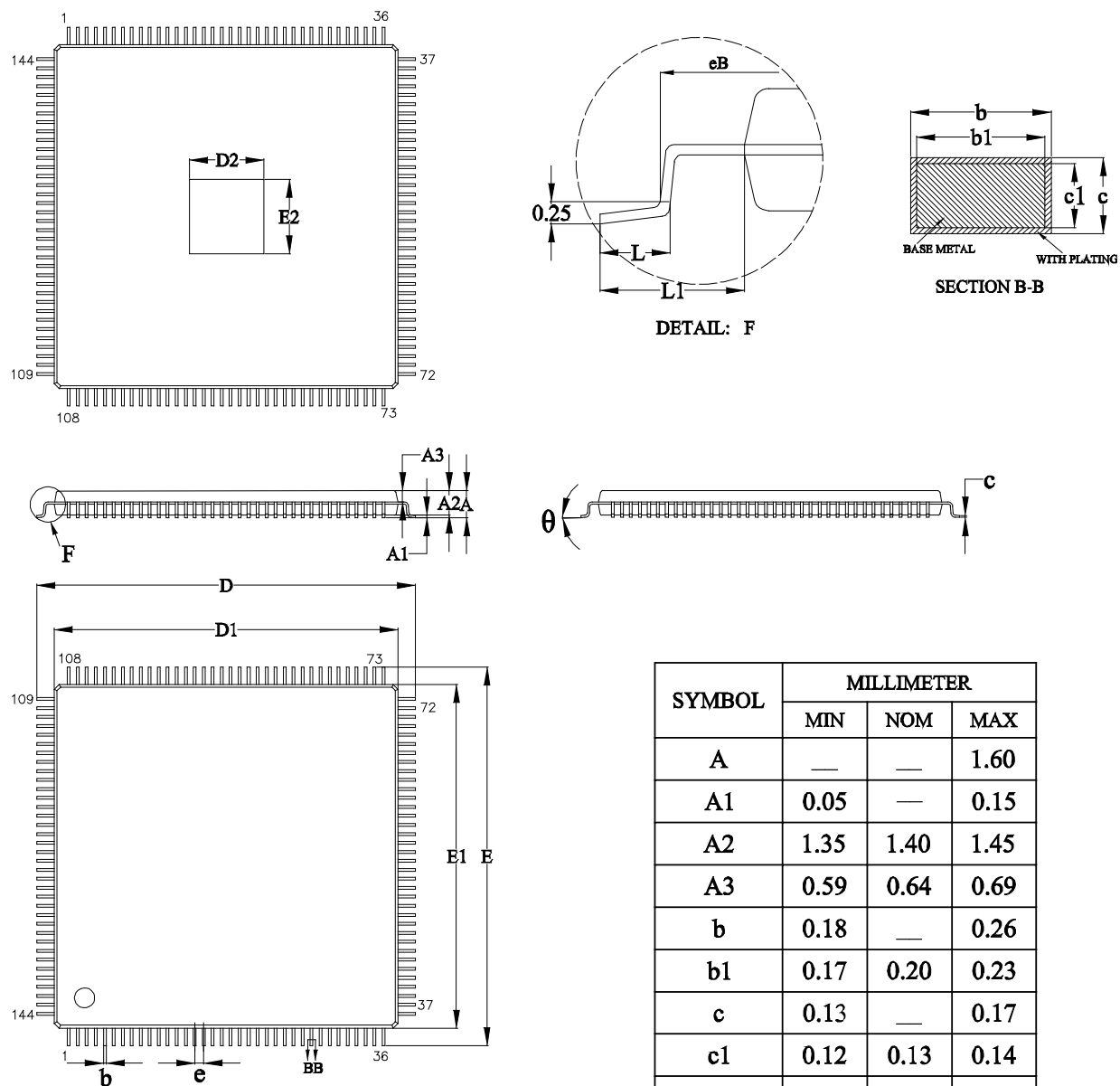
SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	21.80	22.00	22.20
D1	19.90	20.00	20.10
E	21.80	22.00	22.20
E1	19.90	20.00	20.10
e	0.50BSC		
L	0.45	—	0.75
L1	1.00REF		
θ	0	—	7°

図 4-34 LQ144/LQ144X/LQ144F の推奨 PCB レイアウト



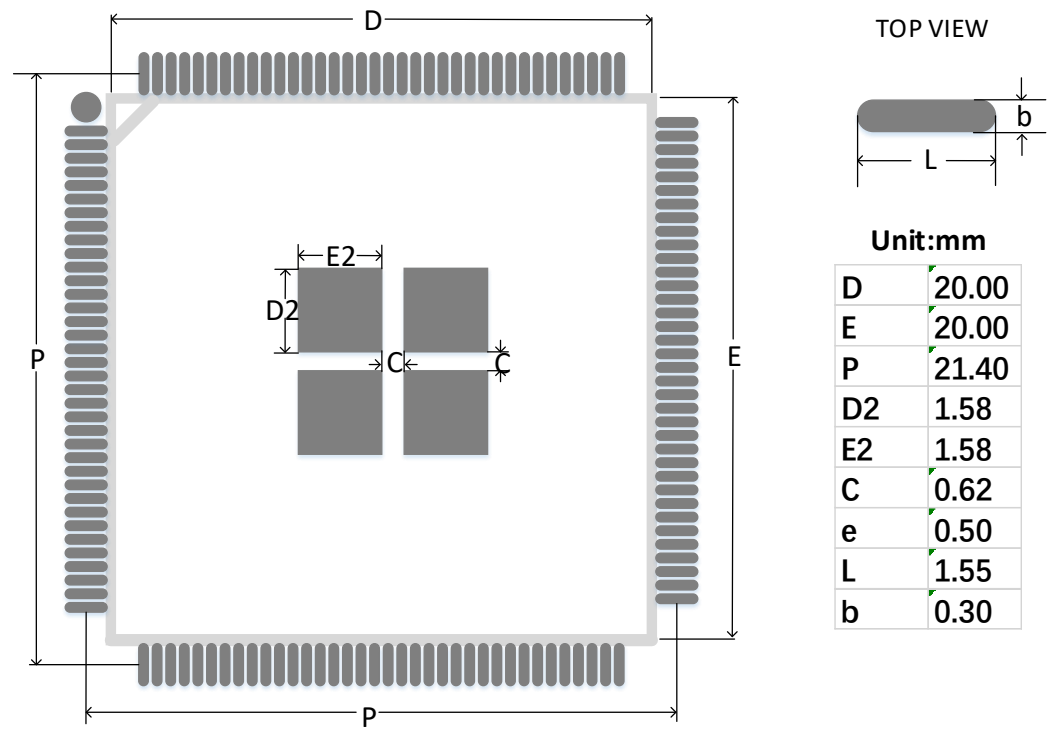
4.18 EQ144 パッケージの外形図(20mm x 20mm)

図 4-35 EQ144 パッケージの外形図



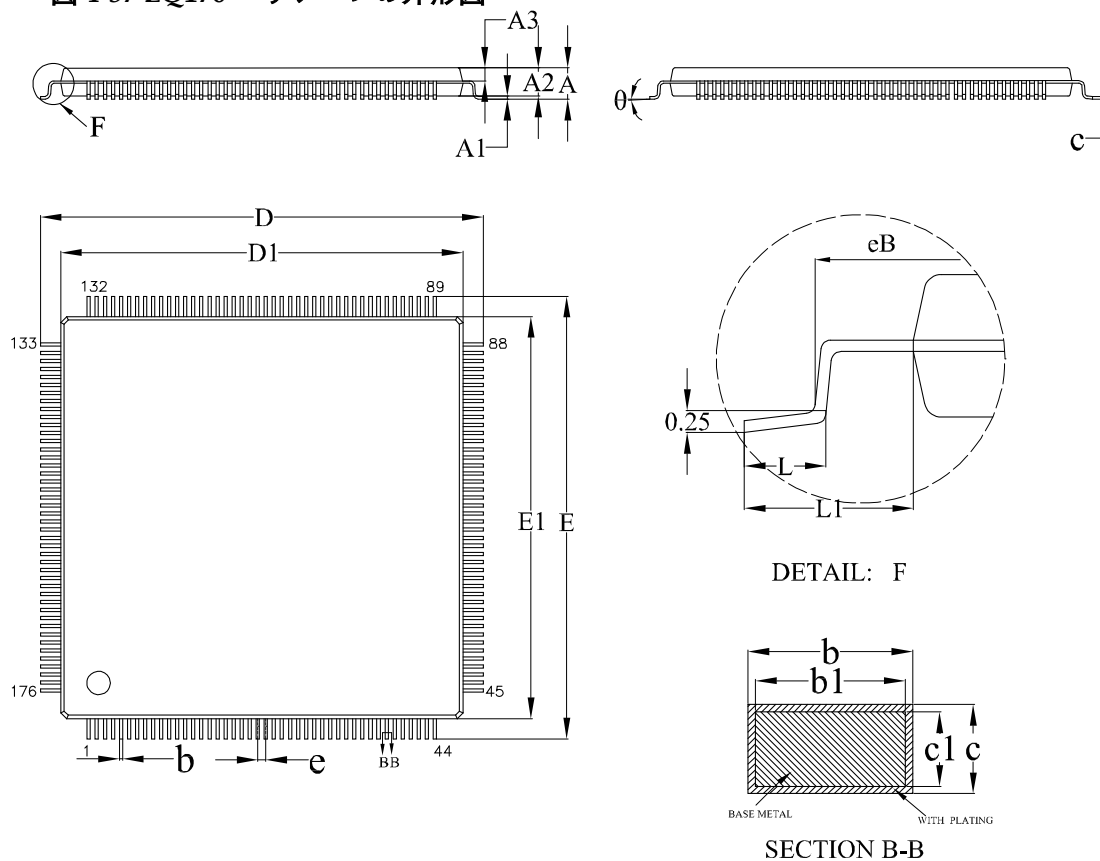
SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	21.80	22.00	22.20
D1	19.90	20.00	20.10
E	21.80	22.00	22.20
E1	19.90	20.00	20.10
e	0.50BSC		
eB	21.15	—	21.40
L	0.45	—	0.75
D2	5.00REF		
E2	5.00REF		
L1	1.00REF		
θ	0	—	7°

図 4-36 EQ144 の推奨 PCB レイアウト



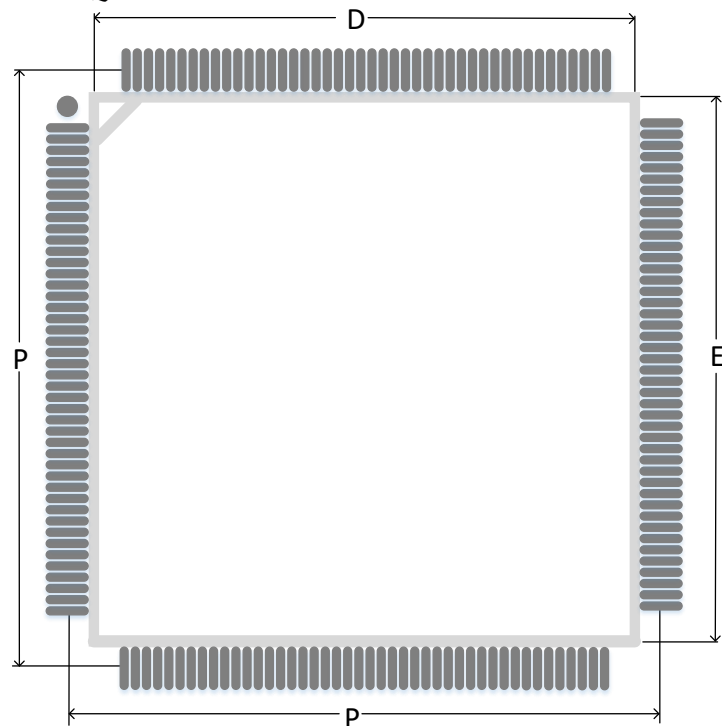
4.19 LQ176 パッケージの外形図(20mm x 20mm)

図 4-37 LQ176 パッケージの外形図

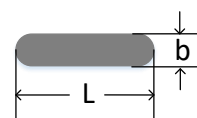


SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	0.10	0.15
A2	1.30	1.40	1.50
A3	0.59	0.64	0.69
b	0.14	—	0.22
b1	0.13	0.16	0.19
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	21.80	22.00	22.20
D1	19.90	20.00	20.10
E	21.80	22.00	22.20
E1	19.90	20.00	20.10
e	0.40BSC		
eB	21.15	—	21.40
L	0.45	0.60	0.75
L1	1.00REF		
θ	0	—	7°

図 4-38 LQ176 の推奨 PCB レイアウト



TOP VIEW

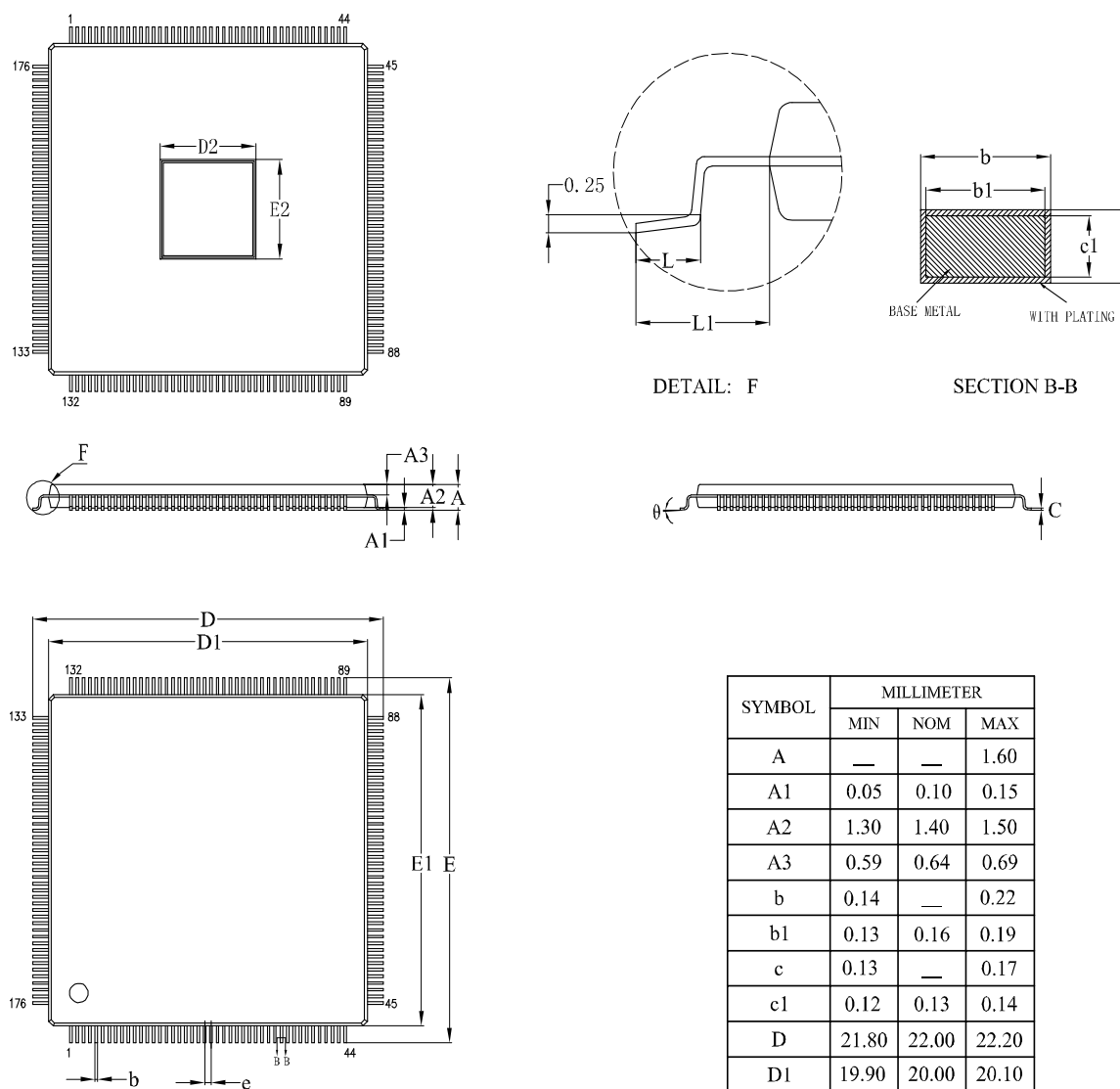


Unit:mm

D	20.00
E	20.00
P	21.40
e	0.40
L	1.55
b	0.20

4.20 EQ176 パッケージの外形図(20mm x 20mm)

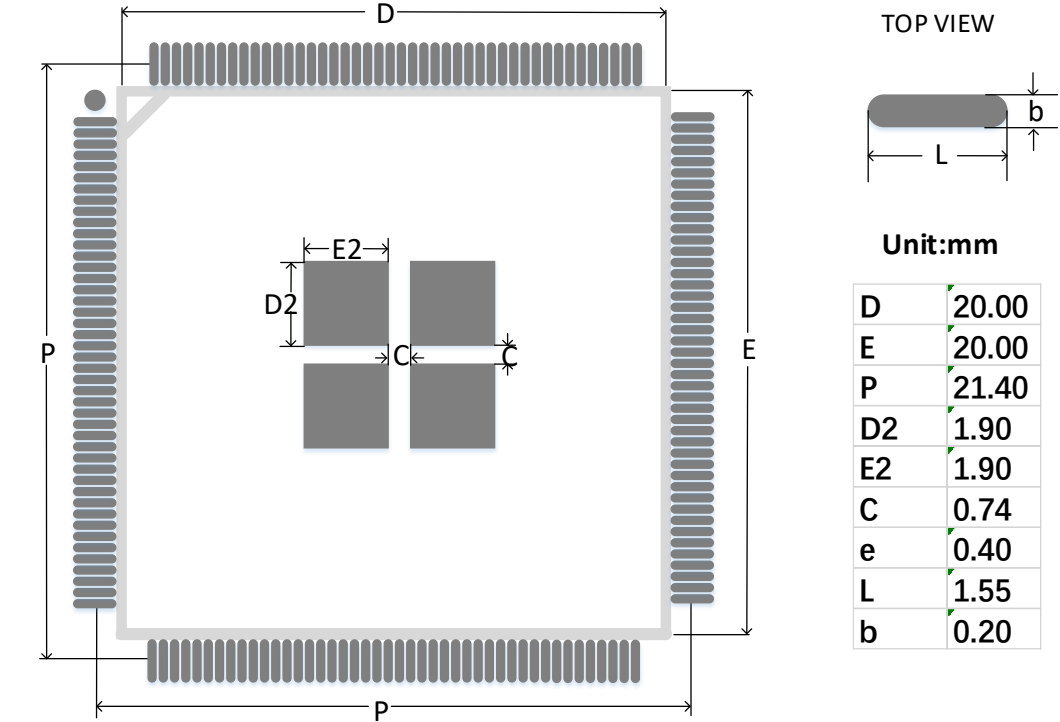
図 4-39 EQ176 パッケージの外形図



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	0.10	0.15
A2	1.30	1.40	1.50
A3	0.59	0.64	0.69
b	0.14	—	0.22
b1	0.13	0.16	0.19
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	21.80	22.00	22.20
D1	19.90	20.00	20.10
E	21.80	22.00	22.20
E1	19.90	20.00	20.10
e	0.40BSC		
L	0.45	0.60	0.75
L1	1.00REF		
θ	0	—	7°

D2	E2
6.00REF	6.00REF

図 4-40 EQ176 の推奨 PCB レイアウト



4.21 MG49 パッケージの外形図(3.8mm x 3.8mm)

図 4-41 MG49 パッケージの外形図

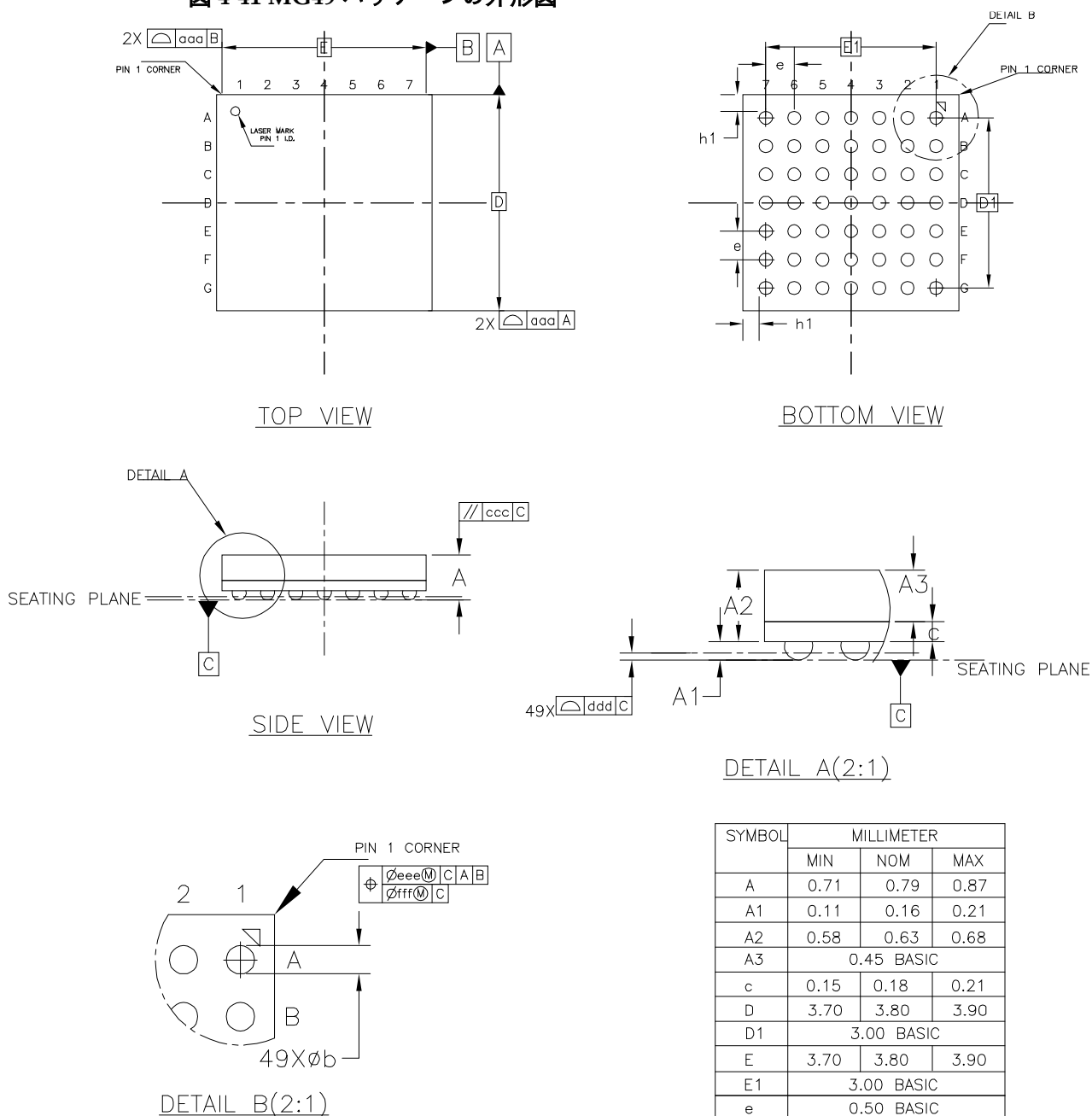
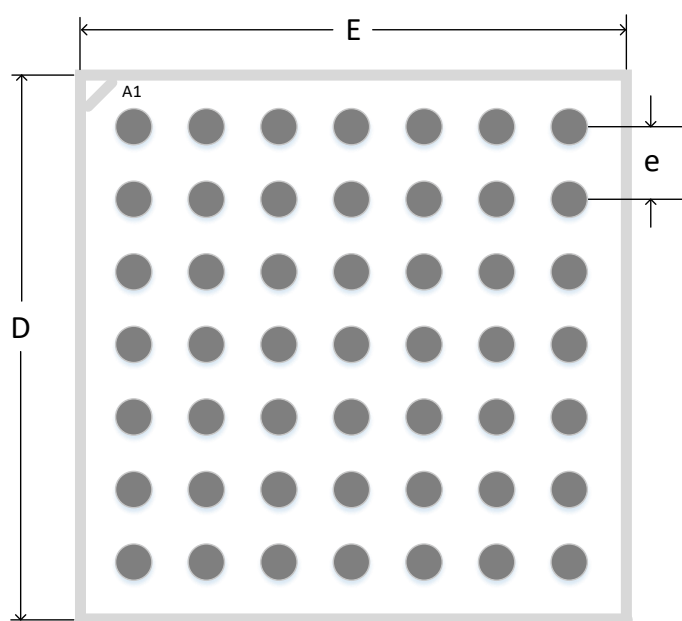


図 4-42 MG49 の推奨 PCB レイアウト



TOP VIEW



Unit:mm

D	3.80
E	3.80
e	0.50
b	0.23

4.22 MG100/MG100T パッケージの外形図(5mm x 5mm)

図 4-43 MG100/MG100T パッケージの外形図

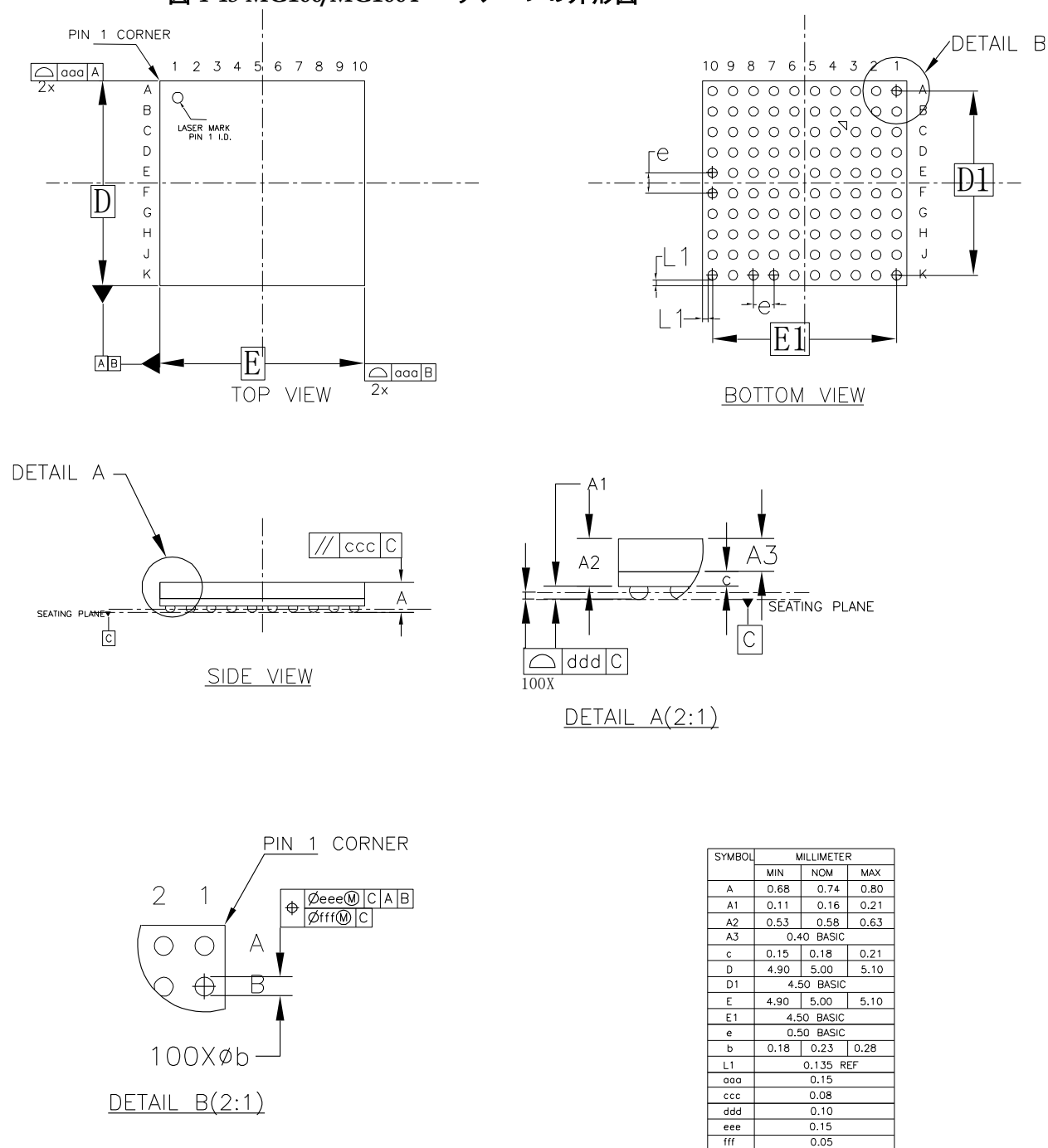
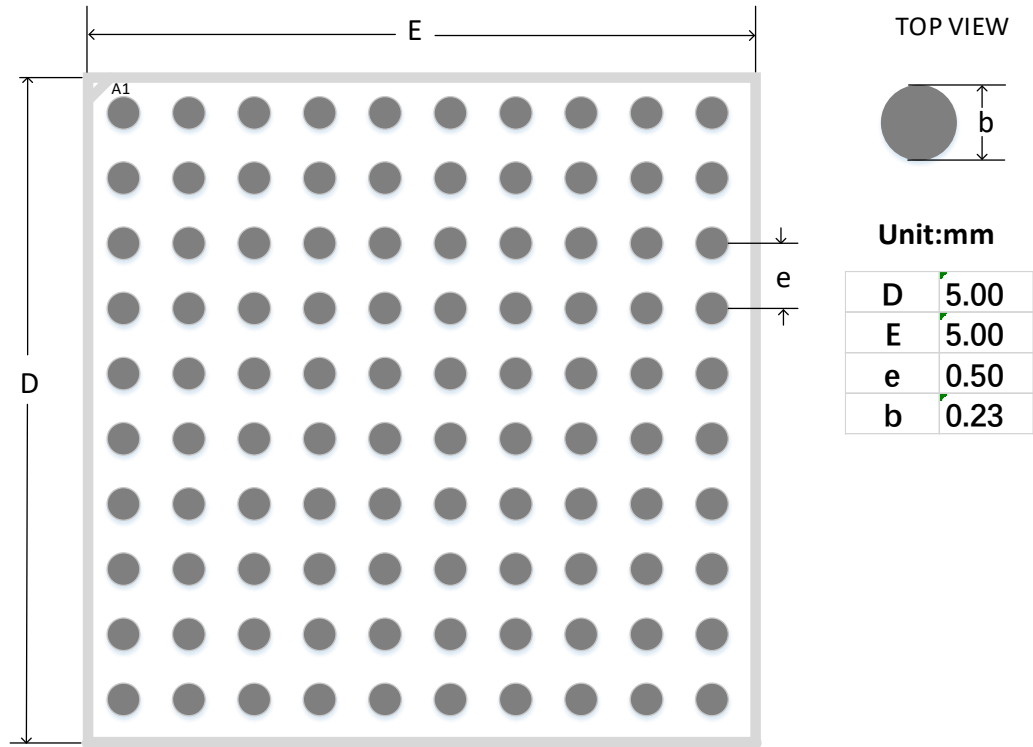


図 4-44 MG100/MG100T の推奨 PCB レイアウト



4.23 MG121/MG121X パッケージの外形図(6mm x 6mm)

図 4-45 MG121/MG121X パッケージの外形図

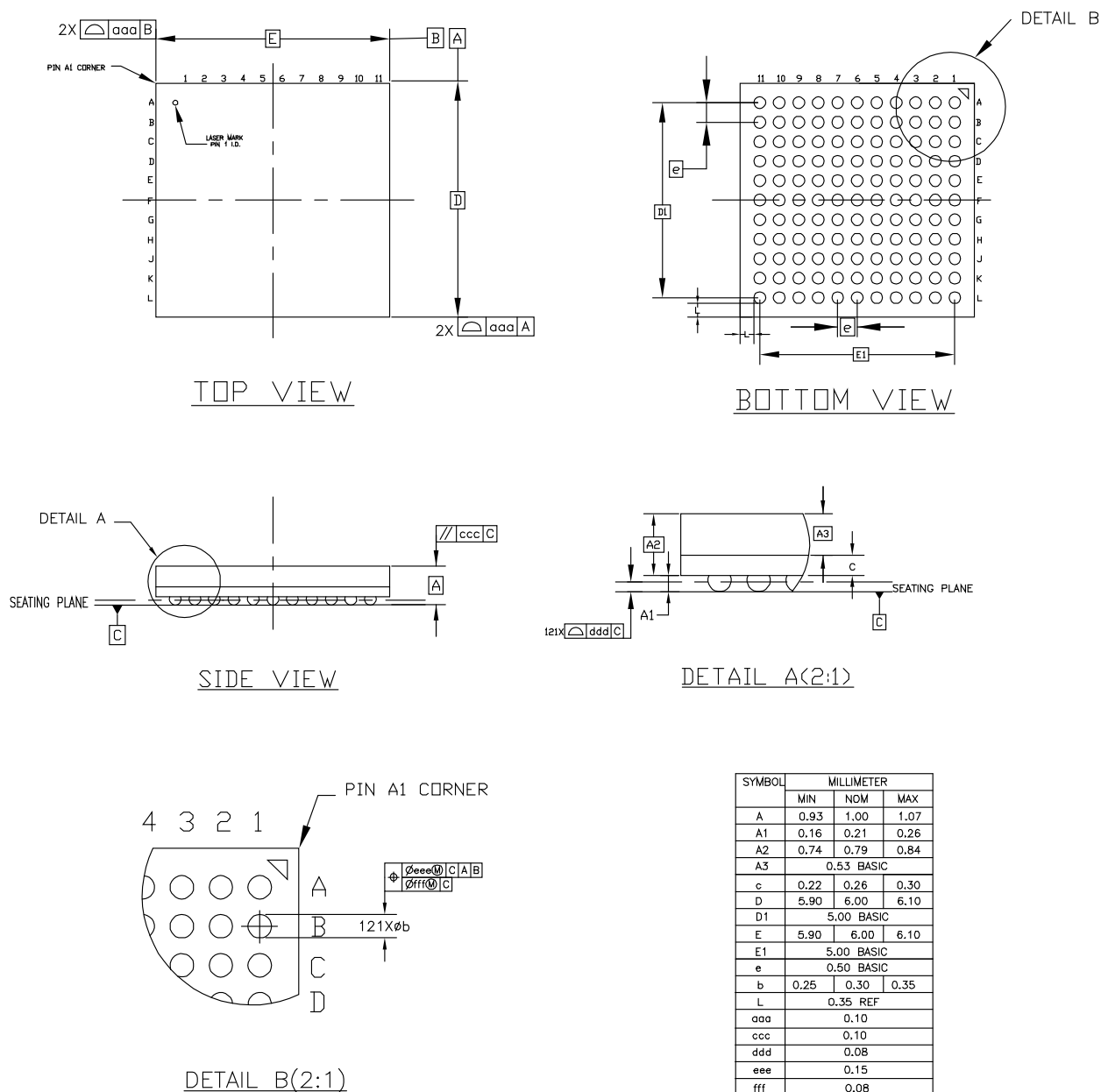
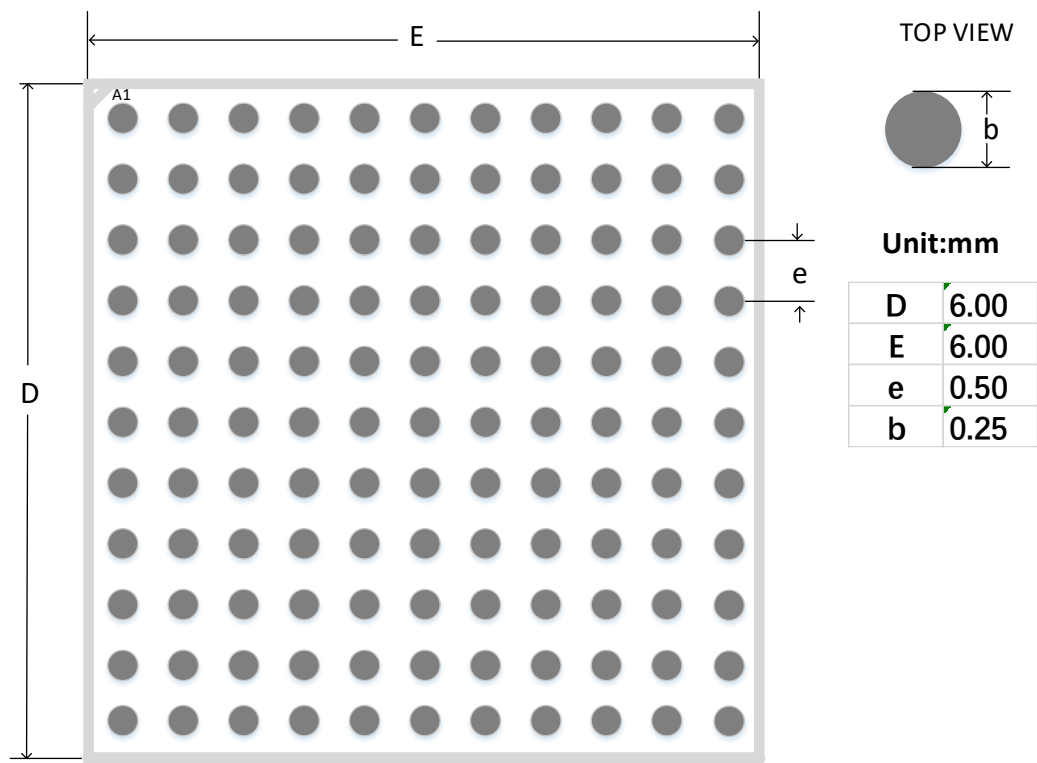
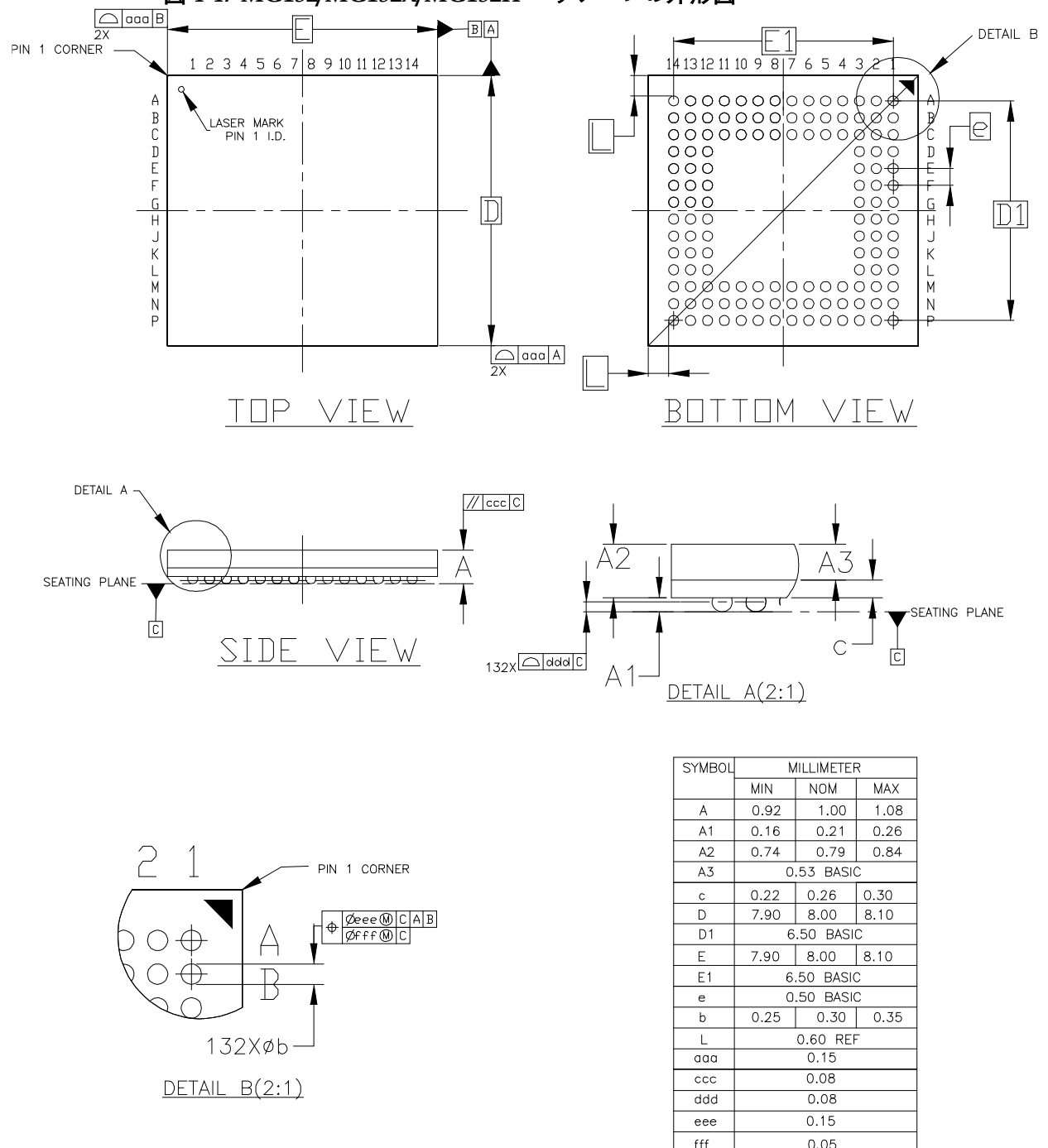


図 4-46 MG121/MG121X の推奨 PCB レイアウト



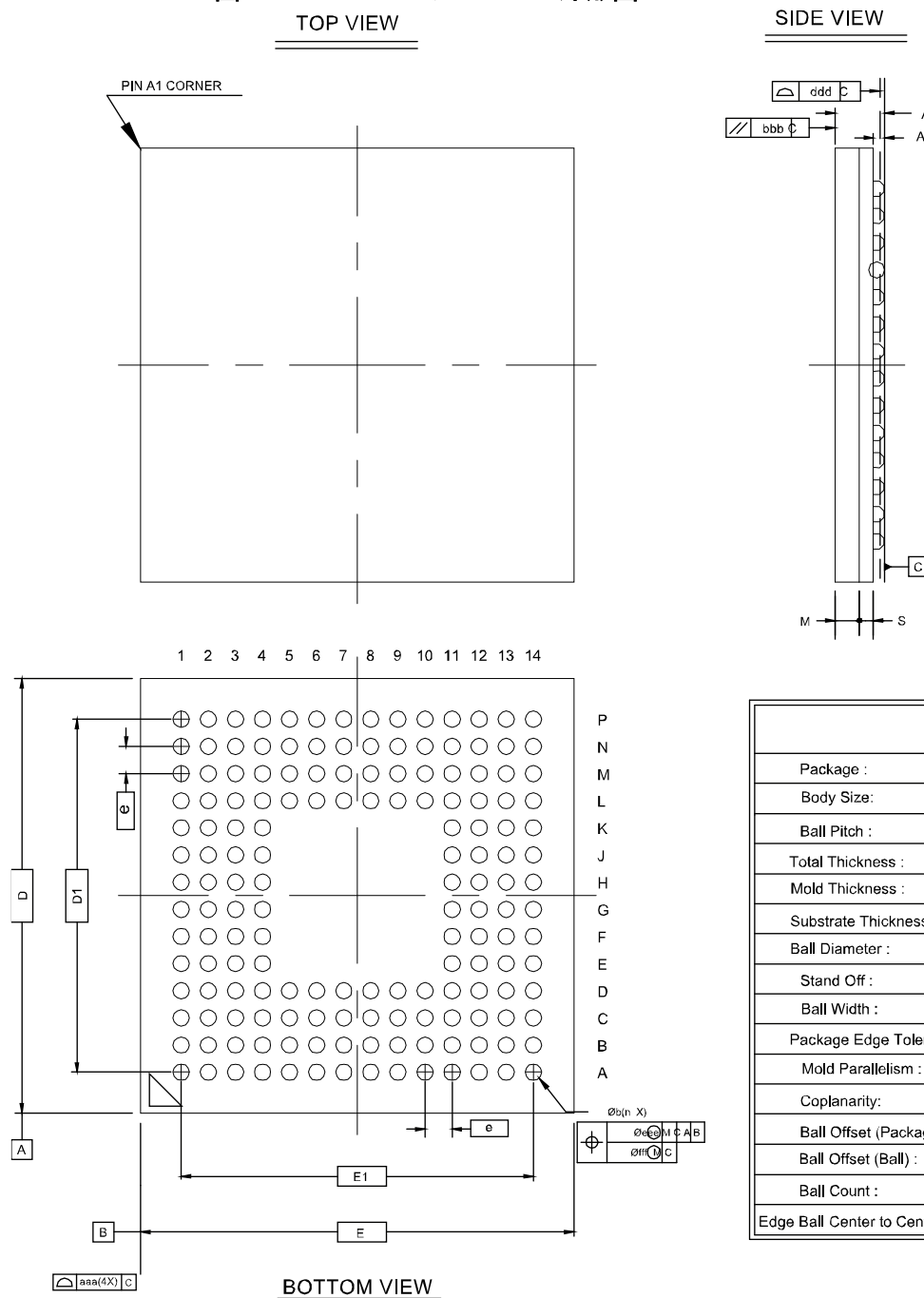
4.24 MG132/MG132X/MG132H パッケージの外形図(8mm x 8mm)

図 4-47 MG132/MG132X/MG132H パッケージの外観図



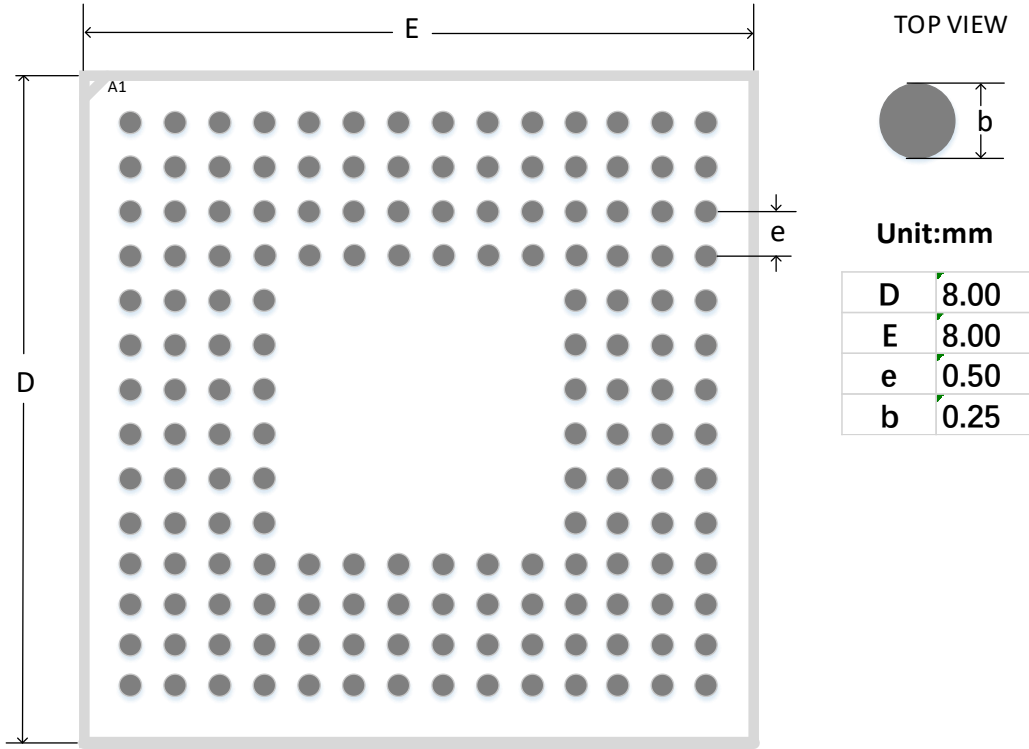
4.25 MG160 パッケージの外形図(8mm x 8mm)

図 4-49 MG160 パッケージの外形図



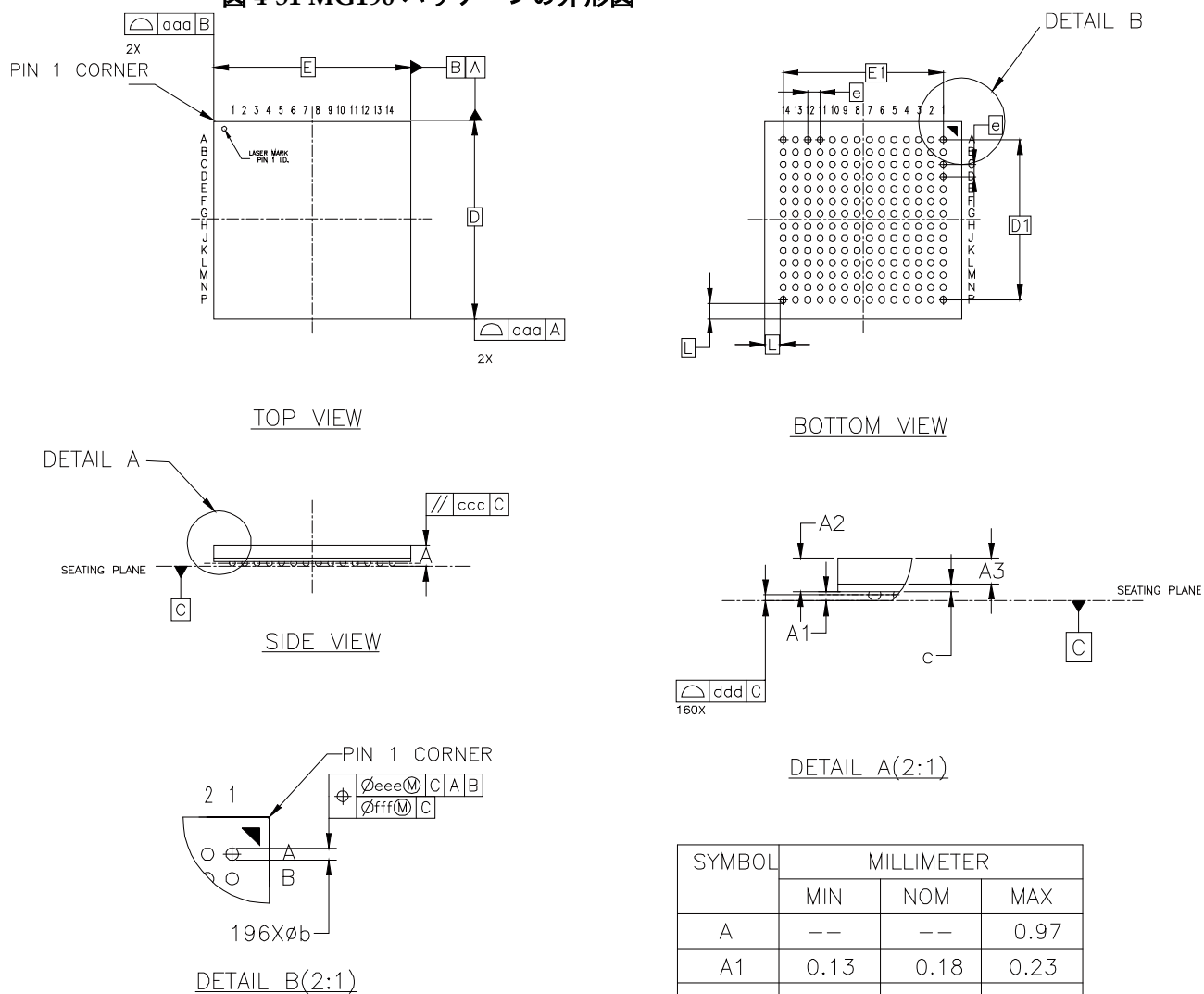
	Symbol	Common Dimensions		
		MIN.	NOM.	MAX.
Package :		MBGA		
Body Size :	X	8,000		
	Y	8,000		
Ball Pitch :	e	0.500		
Total Thickness :	A	-	-	1.000
Mold Thickness :	M	0.450		Ref.
Substrate Thickness :	S	0.250		Ref.
Ball Diameter :		0.300		
Stand Off :	A1	0.160	-	0.260
Ball Width :	b	0.270	-	0.370
Package Edge Tolerance :	aaa	0.100		
Mold Parallelism :	ccc	0.100		
Coplanarity:	ddd	0.080		
Ball Offset (Package) :	eee	0.150		
Ball Offset (Ball) :	fff	0.080		
Ball Count :	n	160		
Edge Ball Center to Center :	X	E1	-	
	Y	D1	-	

図 4-50 MG160 の推奨 PCB レイアウト



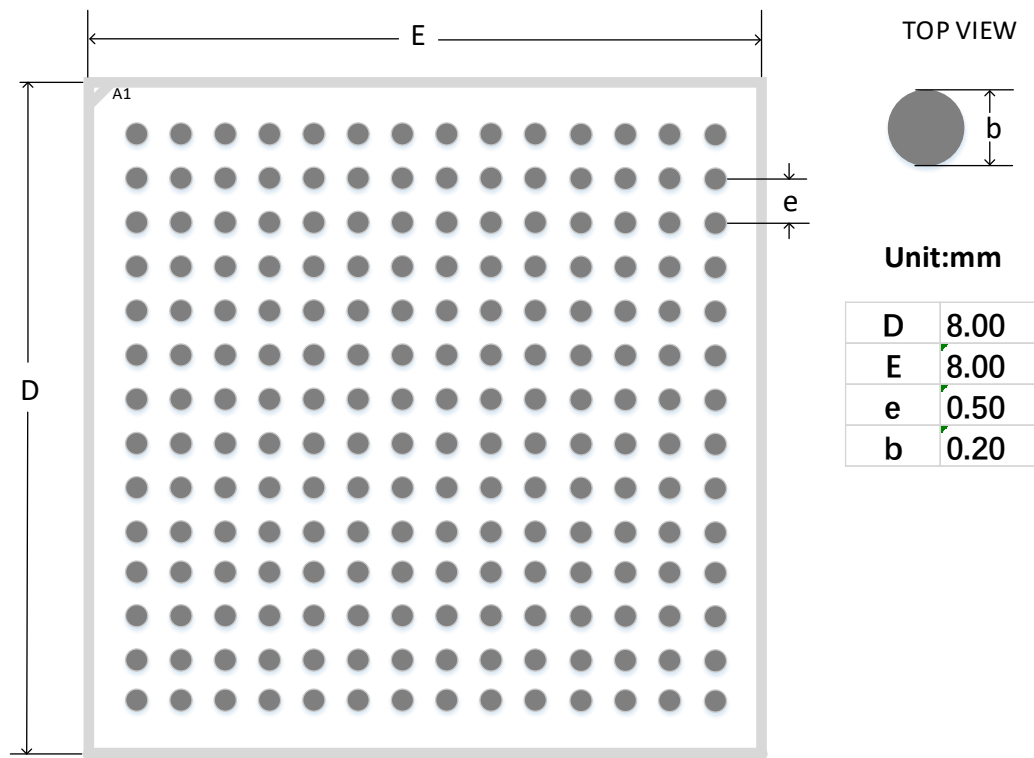
4.26 MG196 パッケージの外形図(8mm x 8mm)

図 4-51 MG196 パッケージの外形図



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	--	--	0.97
A1	0.13	0.18	0.23
A2	0.64	0.69	0.74
A3	0.53 BASIC		
c	0.13	0.16	0.19
D	7.90	8.00	8.10
D1	6.50 BASIC		
E	7.90	8.00	8.10
E1	6.50 BASIC		
L	0.625 BASIC		
e	0.50 BASIC		
b	0.20	0.25	0.30
aaa	0.15		
ccc	0.15		
ddd	0.08		
eee	0.15		
fff	0.05		

図 4-52 MG196 の推奨 PCB レイアウト



4.27 PG256M パッケージの外形図(17mm x 17mm)

図 4-53 PG256M パッケージの外形図

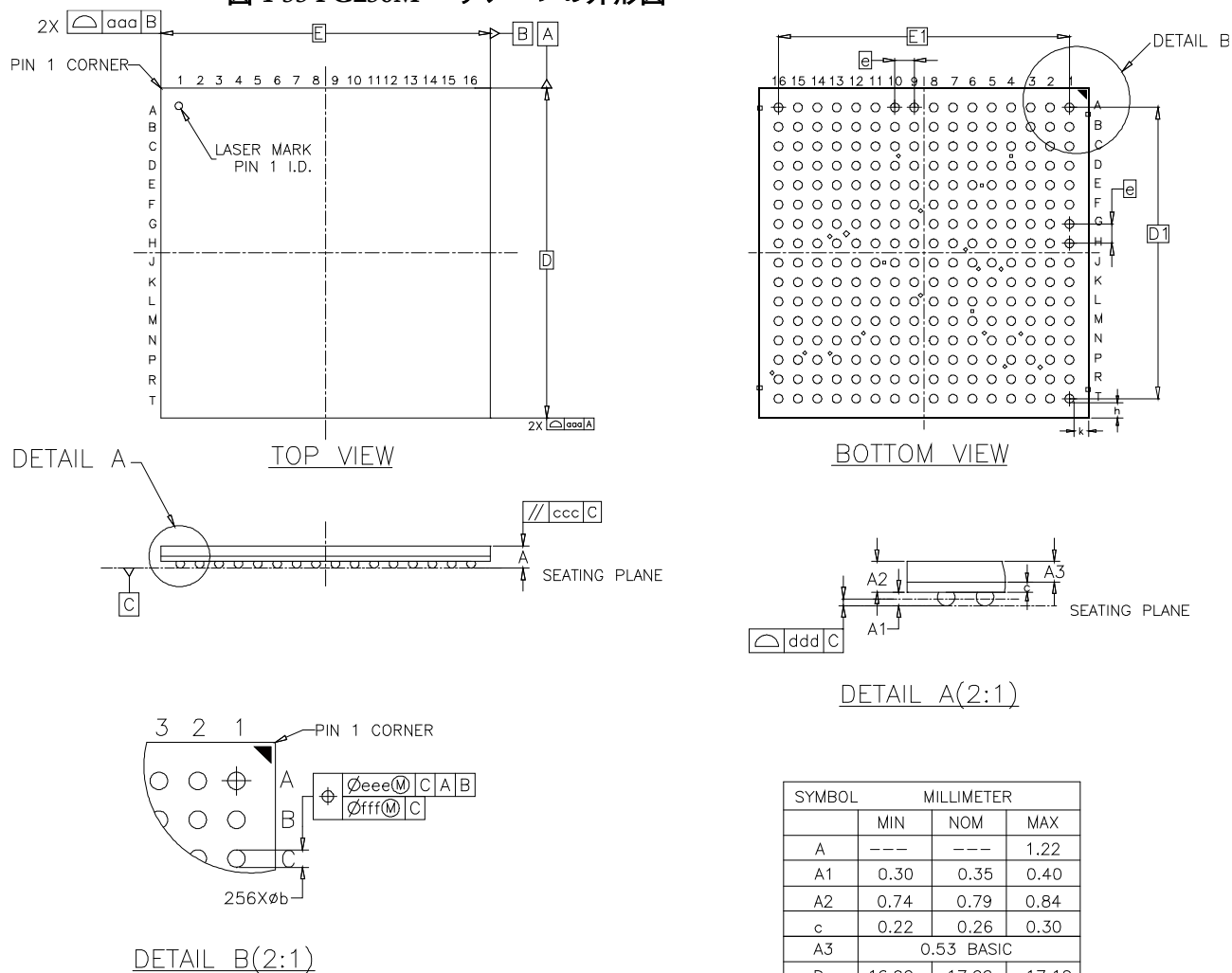
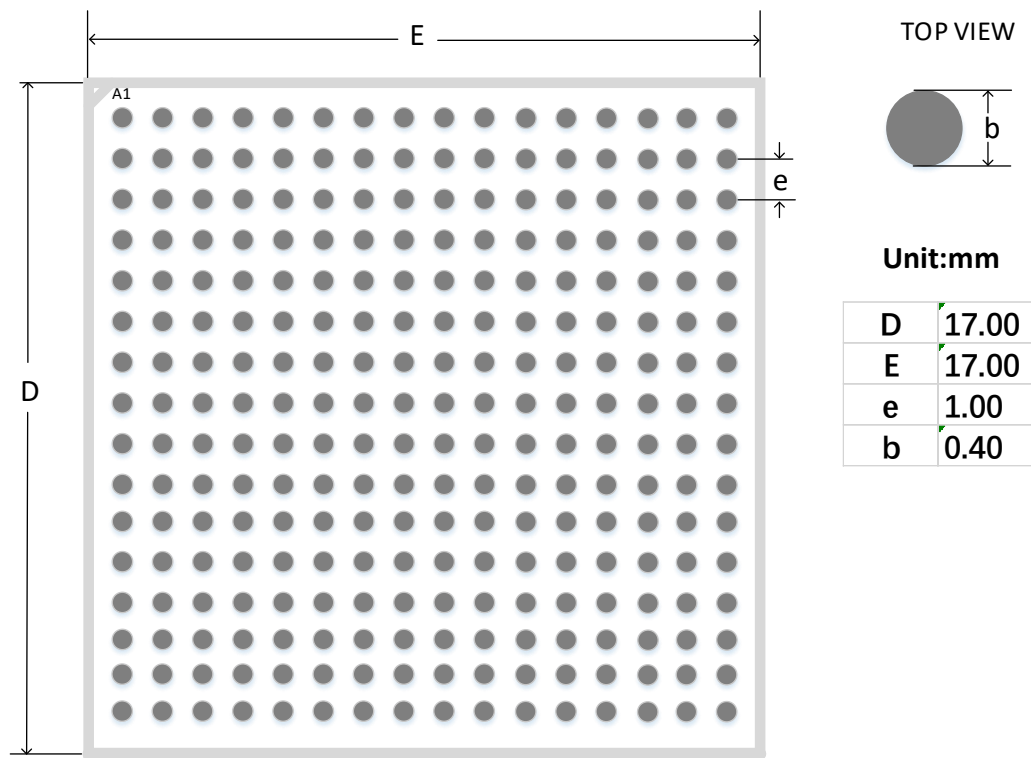


図 4-54 PG256M の推奨 PCB レイアウト



4.28 PG256 パッケージの外形図(17mm x 17mm)

図 4-55 PG256 パッケージの外形図

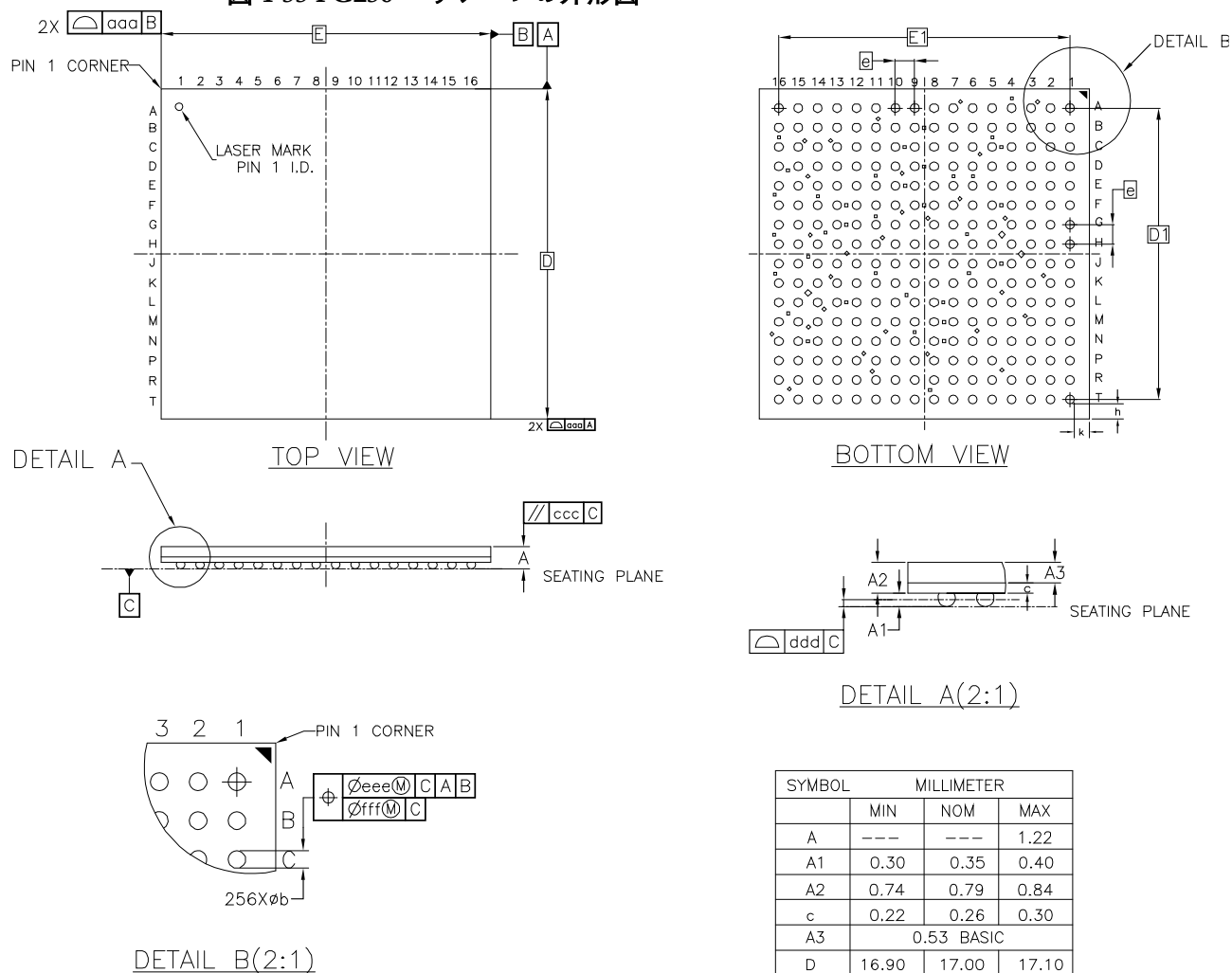
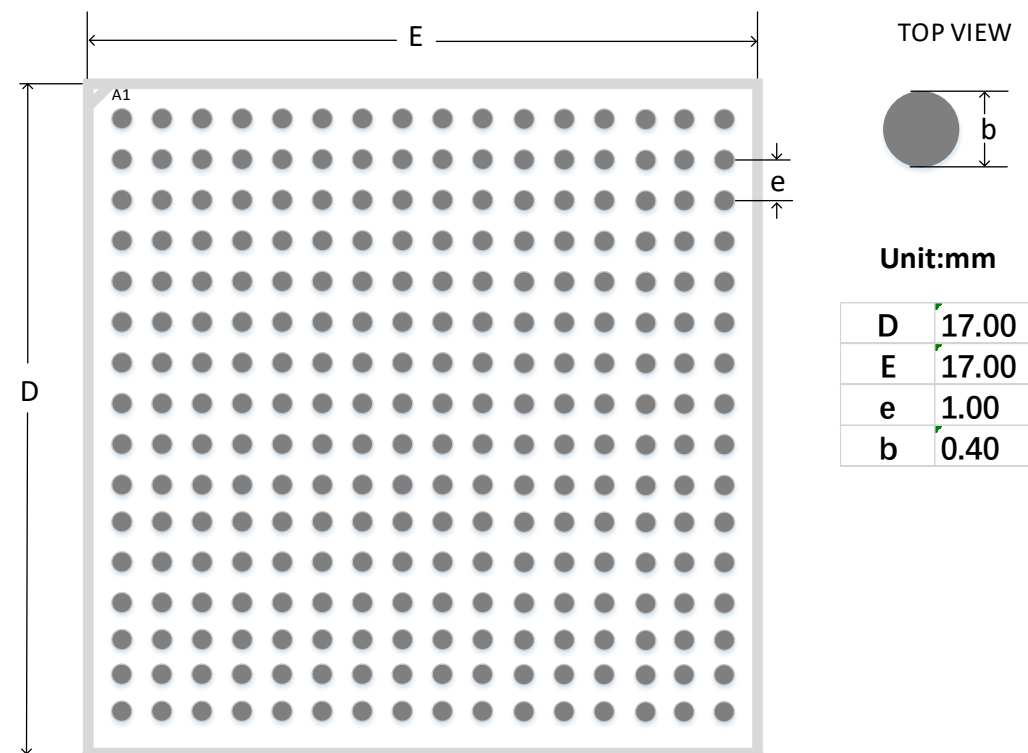


図 4-56 PG256 の推奨 PCB レイアウト



4.29 UG169 パッケージの外形図(11mm x 11mm)

図 4-57 UG169 パッケージの外形図

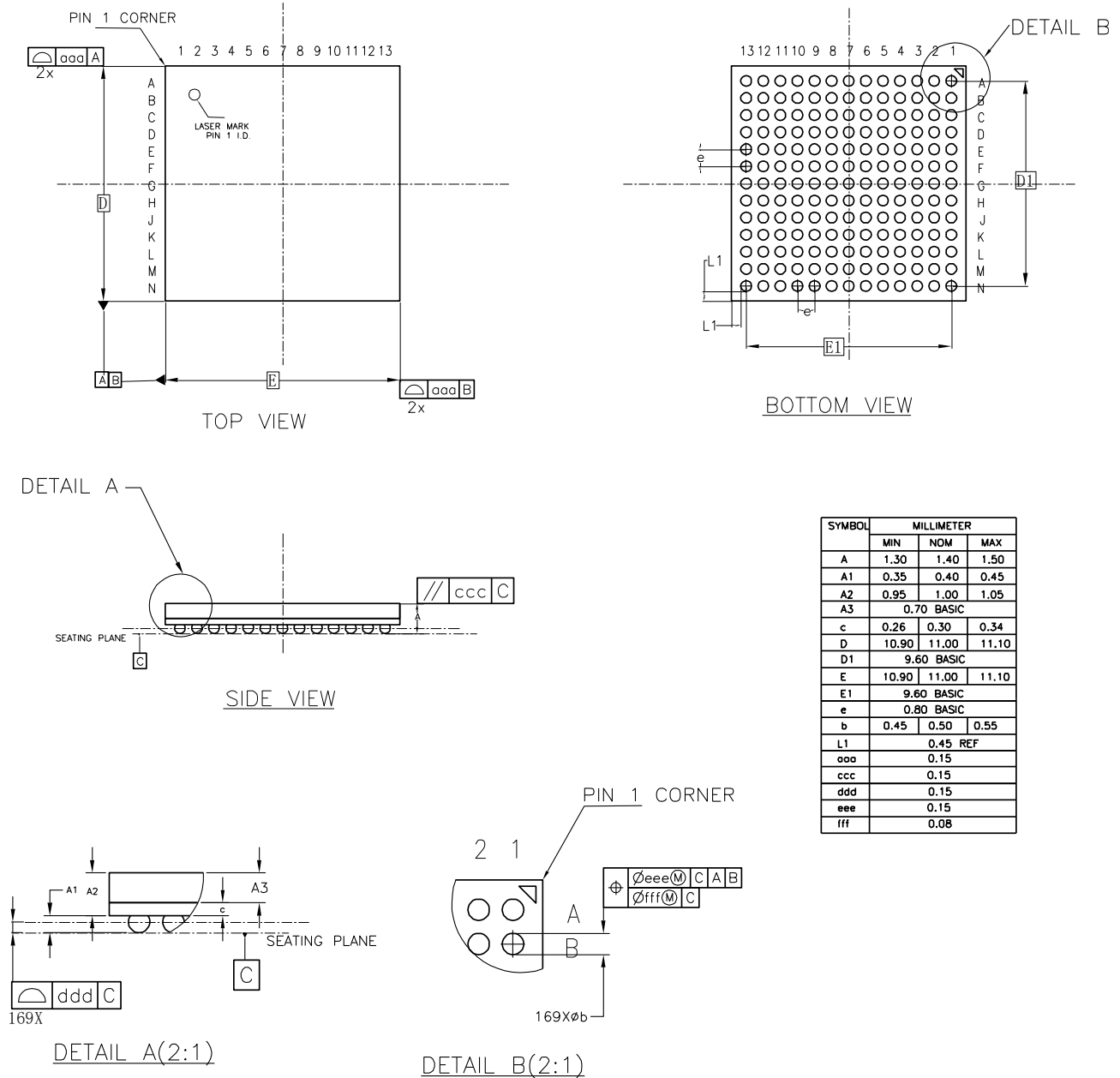
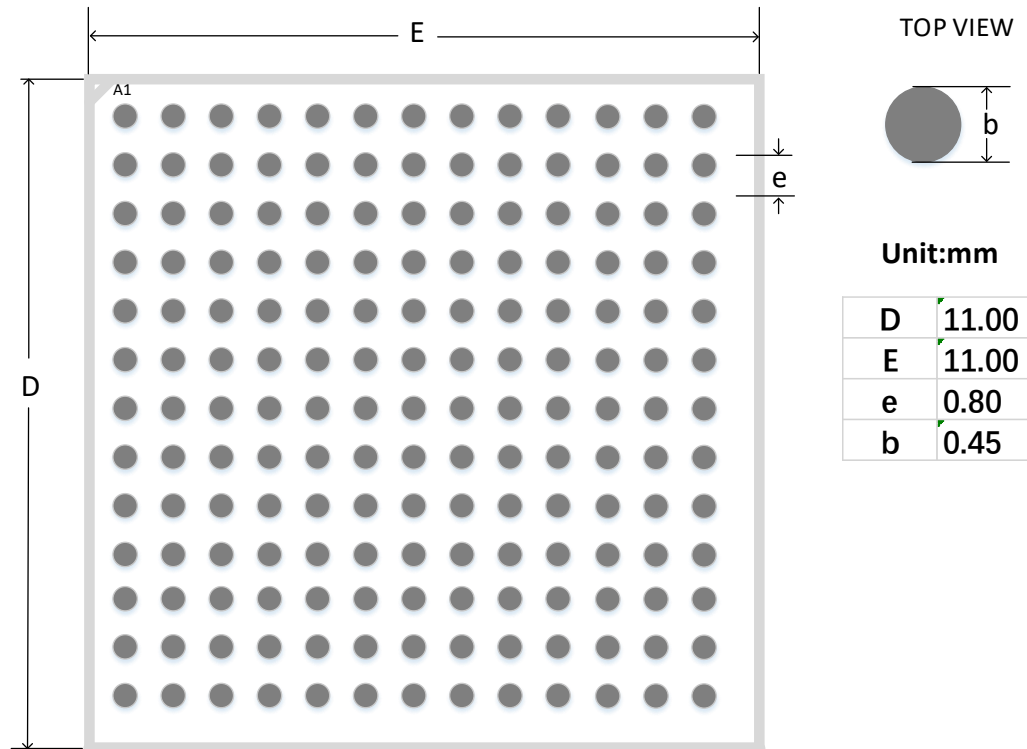


図 4-58 UG169 の推奨 PCB レイアウト



4.30 UG256 パッケージの外形図(14mm x 14mm)

図 4-59 UG256 パッケージの外形図

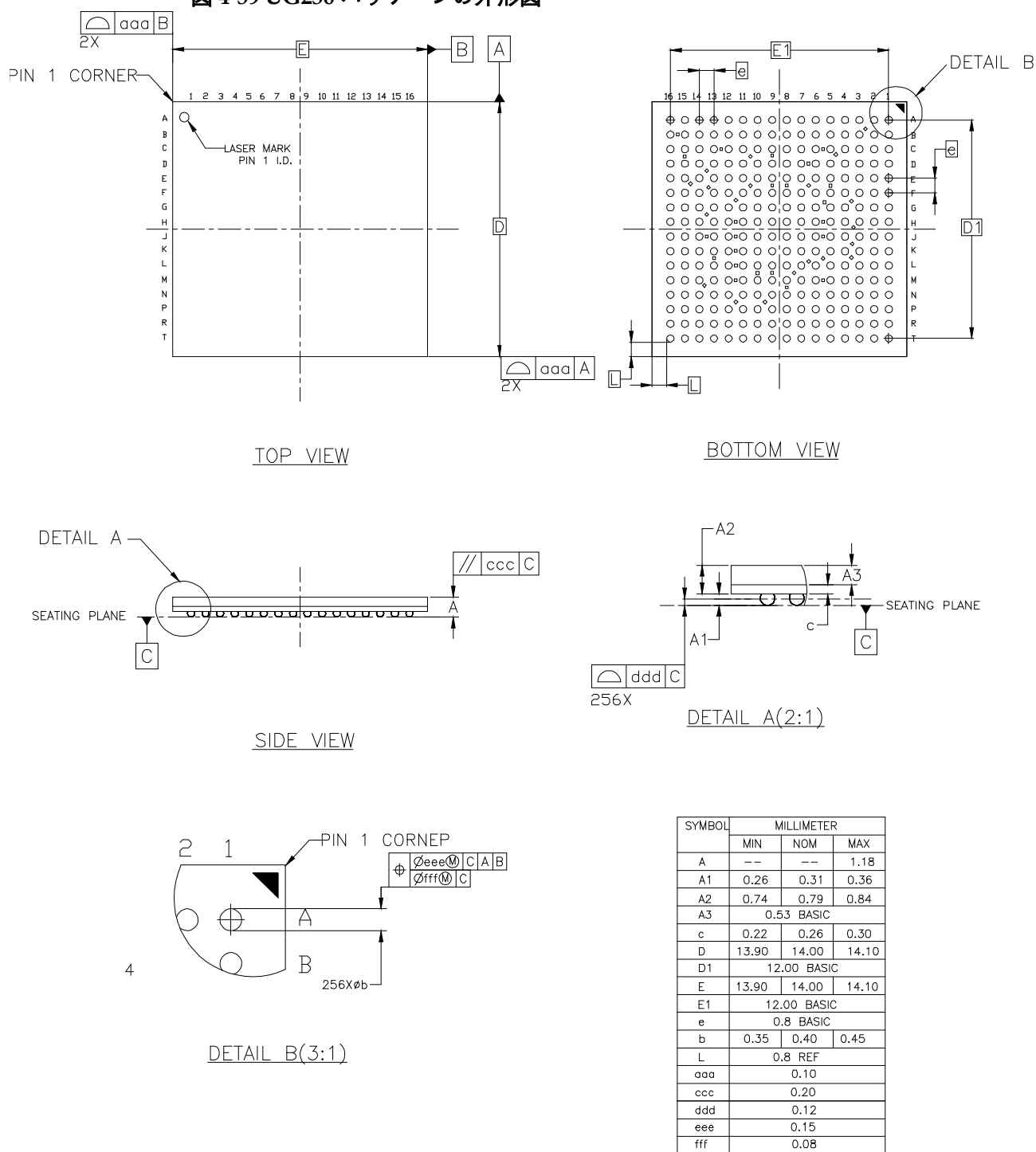
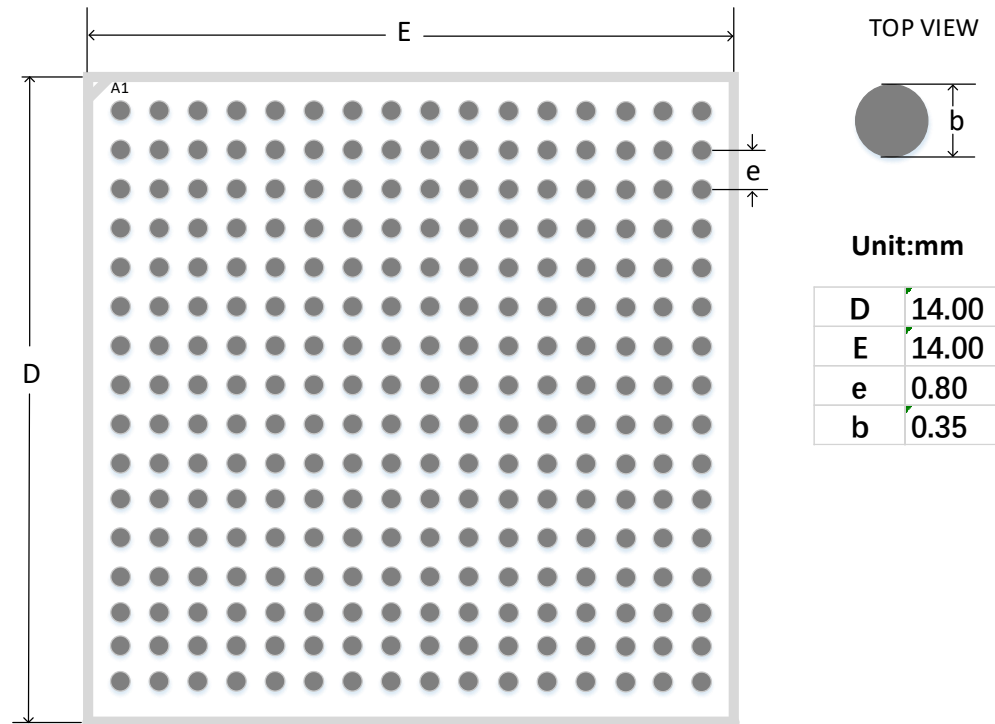


図 4-60 UG256 の推奨 PCB レイアウト



4.31 UG332 パッケージの外形図(17mm x 17mm)

図 4-61 UG332 パッケージの外形図

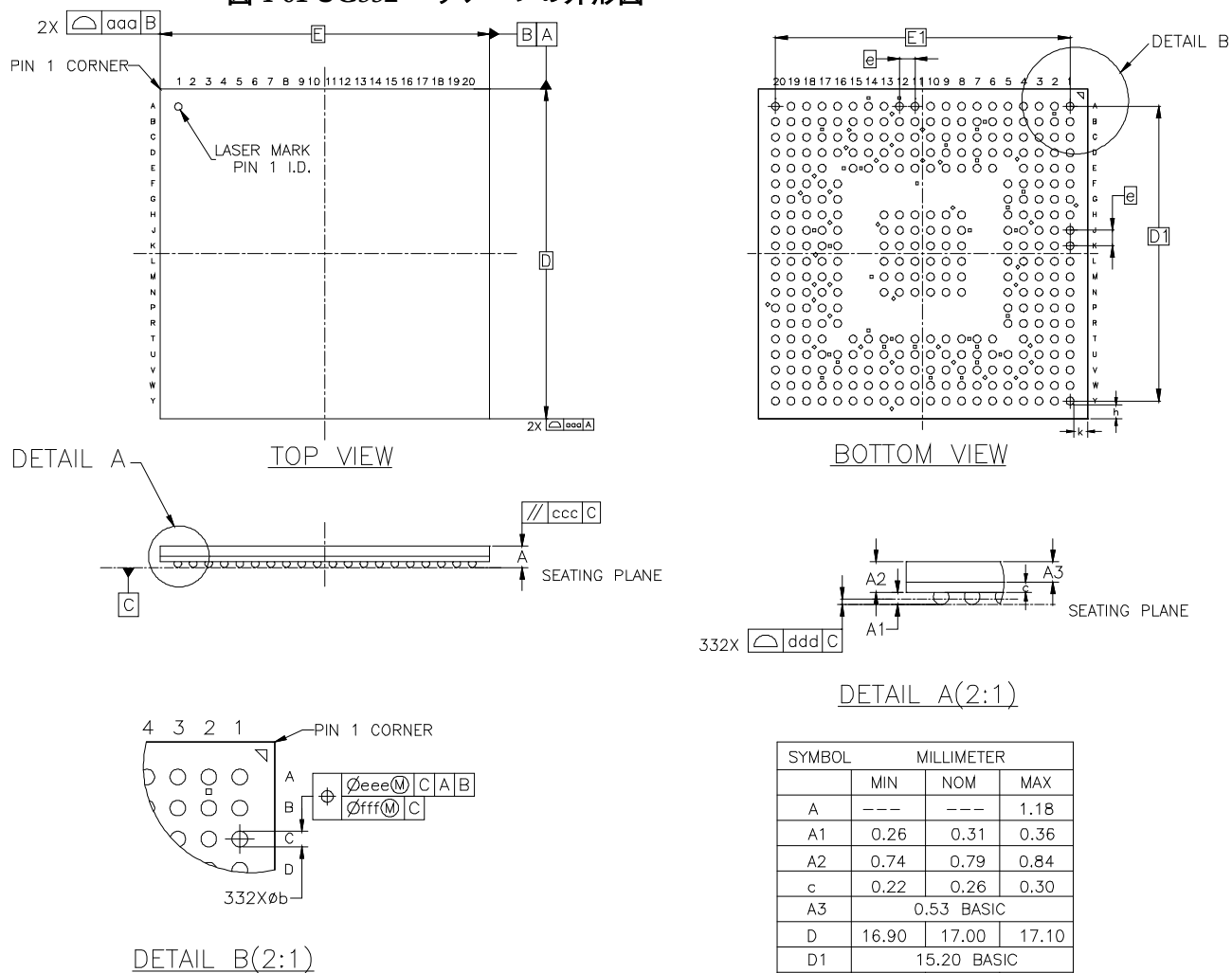
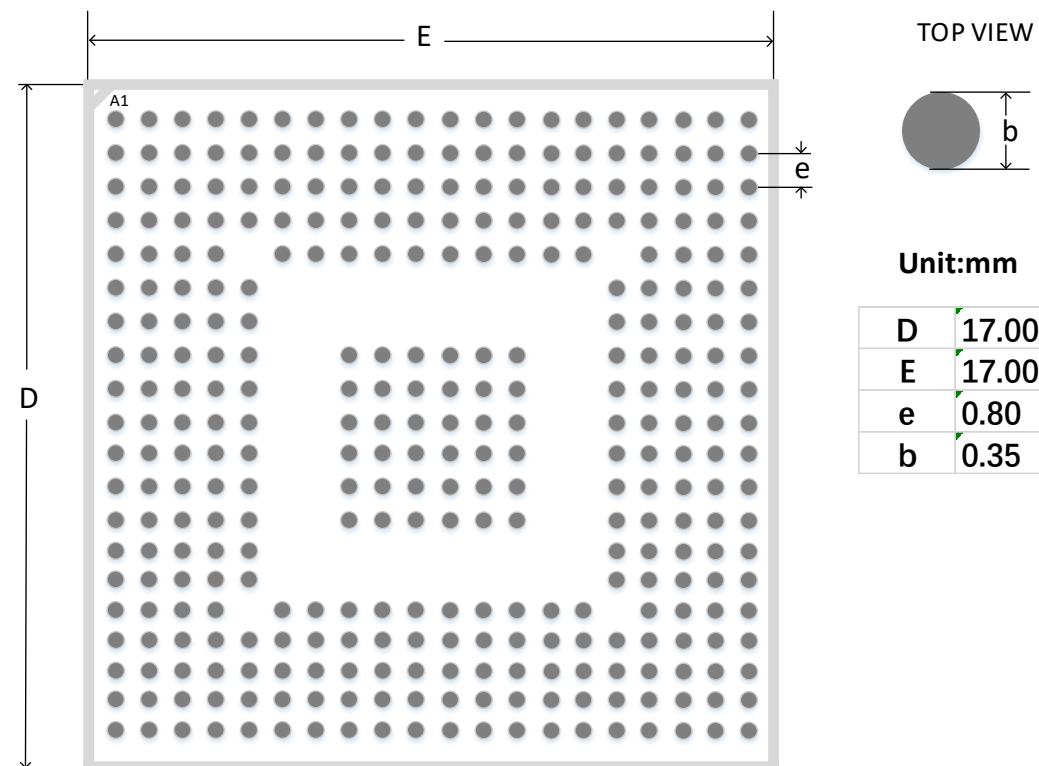
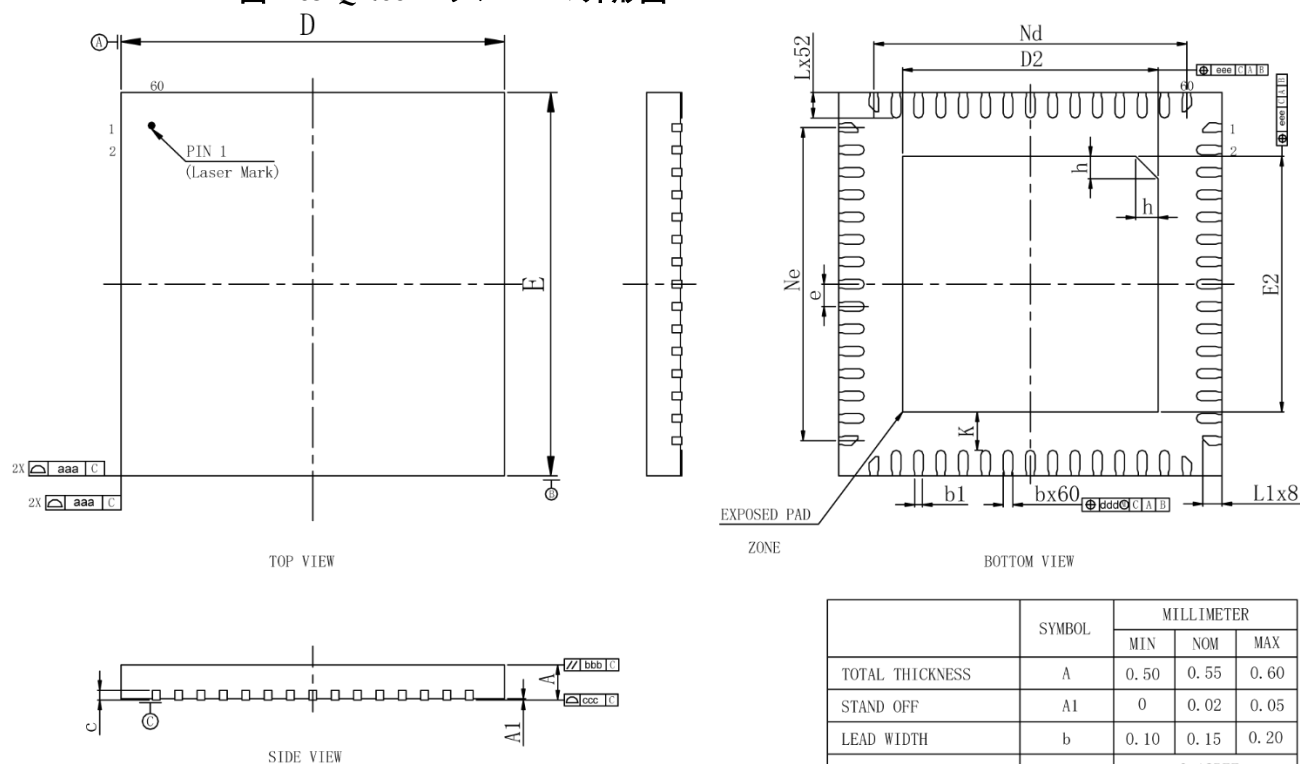


図 4-62 UG332 の推奨 PCB レイアウト



4.32 QN60 パッケージの外形図(6mm x 6mm)

図 4-63 QN60 パッケージの外形図



		SYMBOL	MILLIMETER		
			MIN	NOM	MAX
TOTAL THICKNESS		A	0.50	0.55	0.60
STAND OFF		A1	0	0.02	0.05
LEAD WIDTH		b	0.10	0.15	0.20
LEAD END WIDTH		b1	0.12REF		
L/F THICKNESS		c	0.152REF		
BOOY SIZE	X	D	5.90	6.00	6.10
	Y	E	5.90	6.00	6.10
LEAD PITCH		e	0.35BSC		
EP SIZE	X	D2	3.90	4.00	4.10
	Y	E2	3.90	4.00	4.10
ACCUMULATIVE PITCH	X	Nd	4.90BSC		
	Y	Ne	4.90BSC		
LEAD LENGTH		L	0.35	0.40	0.45
		L1	0.20	0.30	0.35
SPACING BETWEEN LEAD EDGE TO E-PAD EDGE		K	0.60REF		
PIN 1# ID		h	0.30	0.35	0.40
PACKAGE EDGE TOLERANCE		aaa	0.10		
MOLD FLATNESS		bbb	0.10		
COPLANARITY		ccc	0.08		
LEAD OFFSET		ddd	0.10		
EXPOSED PAD OFFSET		eee	0.10		

図 4-64 QN60 の推奨 PCB レイアウト

