



# GW5AST 系列 FPGA 产品 封装与管脚手册

UG1102-1.0.4, 2024-02-02

版权所有 © 2024 广东高云半导体科技股份有限公司

**GOWIN高云**、Gowin、晨熙、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

## 版本信息

日期	版本	说明
2023/04/20	1.0	初始版本。
2023/07/06	1.0.1	新增 GW5AST-138 器件 PG676A 封装信息。
2023/09/12	1.0.2	新增 GW5AST-138 器件 UG324 封装信息。
2023/09/22	1.0.3	更新第 3 章“管脚分布示意图”的“图 3-3 GW5AST-138 器件 PG676A 封装管脚分布示意图（顶视图）”。
2024/02/02	1.0.4	<ul style="list-style-type: none"><li>● 更新所有封装的 IO 数目。</li><li>● 更新“表 2-3 GW5AST-138 器件管脚数目列表”的注释。</li></ul>

# 目录

目录 .....	<b>i</b>
图目录 .....	<b>ii</b>
表目录 .....	<b>iii</b>
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 相关文档 .....	1
1.3 术语、缩略语 .....	1
1.4 技术支持与反馈 .....	2
<b>2 概述 .....</b>	<b>3</b>
2.1 无铅封装 .....	3
2.2 封装和最大用户 I/O 信息 .....	3
2.3 电源管脚 .....	4
2.4 管脚数目 .....	4
2.4.1 GW5AST-138 器件管脚数目 .....	4
2.5 I/O BANK 说明 .....	6
<b>3 管脚分布示意图 .....</b>	<b>8</b>
3.1 GW5AST-138 器件管脚分布示意图 .....	8
3.1.1 FPG676A (Flip Chip) 管脚分布示意图 .....	8
3.1.2 PG484A 管脚分布示意图 .....	10
3.1.3 PG676A 管脚分布示意图 .....	11
3.1.4 UG324 管脚分布示意图 .....	13
<b>4 封装尺寸 .....</b>	<b>15</b>
4.1 封装尺寸 FPG676A (Flip Chip) (27mm x 27mm, GW5AST-138) .....	15
4.2 封装尺寸 PG484A (23mm x 23mm, GW5AST-138) .....	17
4.3 封装尺寸 PG676A (27mm x 27mm, GW5AST-138) .....	19
4.4 封装尺寸 UG324 (15mm x 15mm, GW5AST-138) .....	21

# 图目录

图 3-1 GW5AST-138 器件 FPG676A (Flip Chip) 封装管脚分布示意图 (顶视图) .....	8
图 3-2 GW5AST-138 器件 PG484A 封装管脚分布示意图 (顶视图) .....	10
图 3-3 GW5AST-138 器件 PG676A 封装管脚分布示意图 (顶视图) .....	11
图 3-4 GW5AST-138 器件 UG324 封装管脚分布示意图 (顶视图) .....	13
图 4-1 封装尺寸 FPG676A (Flip Chip).....	15
图 4-2 推荐 PCB Layout FPG676A (Flip Chip).....	16
图 4-3 封装尺寸 PG484A.....	17
图 4-4 推荐 PCB Layout PG484A .....	18
图 4-5 封装尺寸 PG676A.....	19
图 4-6 推荐 PCB Layout PG676A .....	20
图 4-7 封装尺寸 UG324.....	21
图 4-8 推荐 PCB Layout UG324.....	22

# 表目录

表 1-1 术语、缩略语 .....	1
表 2-1 封装和最大用户 I/O 信息、LVDS 对数 .....	3
表 2-2 电源管脚 .....	4
表 2-3 GW5AST-138 器件管脚数目列表 .....	4
表 3-1 GW5AST-138 器件 FPG676A (Flip Chip) 其他管脚 .....	9
表 3-2 GW5AST-138 器件 PG484A 其他管脚 .....	10
表 3-3 GW5AST-138 器件 PG676A 其他管脚 .....	12
表 3-4 GW5AST-138 器件 UG324 其他管脚 .....	13

# 1 关于本手册

## 1.1 手册内容

GW5AST 系列 FPGA 产品封装与管脚手册主要包括高云半导体 GW5AST 系列 FPGA 产品的封装介绍、管脚定义说明、管脚数目列表、管脚分布示意图以及封装尺寸图。

## 1.2 相关文档

通过登录高云半导体网站 [www.gowinsemi.com](http://www.gowinsemi.com) 可以下载、查看以下相关文档：

- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)
- [UG986, GW5AST-138 器件 Pinout 手册](#)

## 1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPG	FCPBGA	FCPBGA 封装
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable IO	高云可编程通用管脚
PG	PBGA	PBGA 封装
UG	UBGA	UBGA 封装

## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com](http://www.gowinsemi.com)

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391



# 2 概述

高云半导体 GW5AST 系列 FPGA 产品是高云半导体晨熙®家族第五代产品，内部资源丰富，具有全新构架且支持 AI 运算的高性能 DSP，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，同时集成自主研发的 DDR3、支持多种协议的 12.5Gbps SerDes，提供多种管脚封装形式，适用于低功耗、高性能及兼容性设计等应用场合。

高云半导体同时提供面向市场自主研发的新一代 FPGA 硬件开发环境，支持 GW5AST 系列 FPGA 产品，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

## 2.1 无铅封装

GW5AST 系列 FPGA 产品采用无铅工艺封装，绿色环保，符合欧盟的 RoHS 指令。GW5AST 系列 FPGA 产品物质成分信息符合 IPC-1752 标准文件。

## 2.2 封装和最大用户 I/O 信息

表 2-1 封装和最大用户 I/O 信息、LVDS 对数

封装	间距(mm)	尺寸(mm)	E-pad 尺寸(mm)	GW5AST-138
FPG676A (Flip Chip)	1.0	27 x 27	-	311 (150)
PG484A	1.0	23 x 23	-	296 (143)
PG676A	1.0	27 x 27	-	311 (150)
UG324	0.8	15 x 15	-	141 (68)

注！

本手册中 GW5AST 系列 FPGA 产品封装命名采用缩写的方式，详细信息请参考 [1.3 术语、缩略语](#)。

## 2.3 电源管脚

表 2-2 电源管脚

VCC	VCCIO0	VCCIO1	VCCIO2
VCCIO3	VCCIO4	VCCIO5	VCCIO6
VCCIO7	VCCIO10	VCCX	VSS
VCCC	VCC_REG	Q0_VDDHA	Q1_VDDHA
Q0_VDDT_IN0	Q0_VDDT_IN1	Q0_VDDT_IN2	Q0_VDDT_IN3
Q1_VDDT_IN0	Q1_VDDT_IN1	Q1_VDDT_IN2	Q1_VDDT_IN3
Q0_VDDD_IN0	Q0_VDDD_IN1	Q0_VDDD_IN2	Q0_VDDD_IN3
Q0_VDDTC_IN0	Q0_VDDTC_IN1	Q0_VDDTC_IN2	Q0_VDDTC_IN3
Q0_VDDRC_IN0	Q0_VDDRC_IN1	Q0_VDDRC_IN2	Q0_VDDRC_IN3
Q1_VDDD_IN0	Q1_VDDD_IN1	Q1_VDDD_IN2	Q1_VDDD_IN3
Q1_VDDTC_IN0	Q1_VDDTC_IN1	Q1_VDDTC_IN2	Q1_VDDTC_IN3
Q1_VDDRC_IN0	Q1_VDDRC_IN1	Q1_VDDRC_IN2	Q1_VDDRC_IN3
Q0_VDDA	Q0_VDDTC	Q1_VDDA	Q1_VDDTC
M0_VDDA	M0_VDDD	M1_VDDA	M1_VDDD
M0_VDDX	M1_VDDX	M0_VDD_12	VQPS
VCC_EXT	-	-	-

## 2.4 管脚数目

### 2.4.1 GW5AST-138 器件管脚数目

表 2-3 GW5AST-138 器件管脚数目列表

管脚类型		GW5AST-138			
		FPG676A (Flip Chip)	PG484A	PG676A	UG324
I/O 单端/差分对/LVDS <sup>[1]</sup>	BANK0 (Q0)	0/0/0	0/0/0	0/0/0	0/0/0
	BANK1 (Q1)	0/0/0	0/0/0	0/0/0	0/0/0
	BANK2	50/24/24	50/24/24	50/24/24	25/12/12
	BANK3	50/24/24	50/24/24	50/24/24	25/12/12
	BANK4	50/24/24	50/24/24	50/24/24	50/24/24
	BANK5	50/24/24	35/17/17	50/24/24	13/6/6
	BANK6	50/24/24	50/24/24	50/24/24	13/6/6
	BANK7	50/24/24	50/24/24	50/24/24	4/2/2
	BANK10	12/6/6	12/6/6	12/6/6	12/6/6
最大用户 I/O 总数 <sup>[2]</sup>		311	296	311	141
差分对		150	143	150	68
True LVDS 输出		150	143	150	68
VCC		0	0	0	0
VCCIO0		0	0	0	0

管脚类型	GW5AST-138			
	FPG676A (Flip Chip)	PG484A	PG676A	UG324
VCCIO1	0	0	0	0
VCCIO2	6	6	6	4
VCCIO3	6	6	6	3
VCCIO4	6	6	6	7
VCCIO5	6	5	6	2
VCCIO6	6	6	6	2
VCCIO7	6	6	6	2
VCCIO10	2	2	2	2
VCCX	3	3	3	3
VCC/VCCC	13	14	13	18
VCC_REG	6	6	6	1
Q1_VDDHA	1	1	0	0
Q0_VDDHA	1	1	0	1
Q0_VDDHA/Q1_VDDHA	0	0	2	0
Q1_VDDA/Q1_VDDD_IN0/Q1_VDDD_IN1/Q1_VDDD_IN2/Q1_VDDD_IN3/Q1_VDDTC/Q1_VDDTC_IN0/Q1_VDDTC_IN1/Q1_VDDTC_IN2/Q1_VDDTC_IN3	3	0	0	0
Q0_VDDA/Q0_VDDD_IN0/Q0_VDDD_IN1/Q0_VDDD_IN2/Q0_VDDD_IN3/Q0_VDDTC/Q0_VDDTC_IN0/Q0_VDDTC_IN1/Q0_VDDTC_IN2/Q0_VDDTC_IN3	3	0	0	0
Q0_VDDA/Q0_VDDRC_IN0/Q0_VDDRC_IN1/Q0_VDDRC_IN2/Q0_VDDRC_IN3/Q0_VDDTC/Q0_VDDTC_IN0/Q0_VDDTC_IN1/Q0_VDDTC_IN2/Q0_VDDTC_IN3	0	3	3	2
Q1_VDDA/Q1_VDDRC_IN0/Q1_VDDRC_IN1/Q1_VDDRC_IN2/Q1_VDDRC_IN3/Q1_VDDTC/Q1_VDDTC_IN0/Q1_VDDTC_IN1/Q1_VDDTC_IN2/Q1_VDDTC_IN3	0	0	3	0
Q1_VDDT_IN0/Q1_VDDT_IN1/Q1_VDDT_IN2/Q1_VDDT_IN3	2	0	2	0
Q0_VDDT_IN0/Q0_VDDT_IN1/Q0_VDDT_IN2/Q0_VDDT_IN3	2	2	2	2

管脚类型	GW5AST-138			
	FPG676A (Flip Chip)	PG484A	PG676A	UG324
M0_VDDA	0	0	1	0
M0_VDDD	0	0	1	0
M1_VDDA	0	0	1	0
M1_VDDD	0	0	1	0
M0_VDDA/M0_VDDD/M1_VDDA/M1_VDDD	4	0	0	3
M0_VDDX/M1_VDDX	1	0	1	1
VSS	120	88	120	76
MODE0	1	1	1	1
MODE1	1	1	1	1
MODE2	1	1	1	1
NC	102	8	103	9

注!

- <sup>[1]</sup>单端/差分 I/O 的数目包含 CLK 管脚、下载管脚。
- <sup>[2]</sup> RECONFIG\_N 不能复用为 I/O。








## 2.5 I/O BANK 说明





GW5AST-138 的 I/O 包括 6 个 GPIO Bank (Bank2~7), 2 个 SERDES Bank 以及 1 个配置用 Bank (Bank 10), Bank 10 也可以复用为 I/O Bank。

详细的 Bank 分布示意图请参考 [DS1104, GW5AST 系列 FPGA 产品数据手册 > 3.3 输入输出模块](#)。

本手册列举了 GW5AST 系列 FPGA 产品每种封装的管脚分布示意图, 详细信息请参考第 3 章管脚分布示意图。GW5AST 系列 FPGA 产品的不同 BANK 用不同颜色区分。

用户 I/O、电源、地使用不同的符号和颜色来区分。GW5AST 系列 FPGA 产品管脚示意图中管脚定义如下所示:

- “” 表示 BANK2 中的 I/O。
- “” 表示 BANK3 中的 I/O。
- “” 表示 BANK4 中的 I/O。
- “” 表示 BANK5 中的 I/O。
- “” 表示 BANK6 中的 I/O。
- “” 表示 BANK7 中的 I/O。
- “” 表示 BANK10 中的 I/O。

- “” 表示 SerDes Bank Q0、SerDes Bank Q1、MIPI、ADC 中的 DIO。
- “” 表示 VCC、VCCX、VCCIO，填充颜色不变。
- “” 表示 VSS，填充颜色不变。
- “” 表示 NC。

# 3 管脚分布示意图

## 3.1 GW5AST-138 器件管脚分布示意图

### 3.1.1 FPG676A (Flip Chip) 管脚分布示意图

图 3-1 GW5AST-138 器件 FPG676A (Flip Chip) 封装管脚分布示意图 (顶视图)

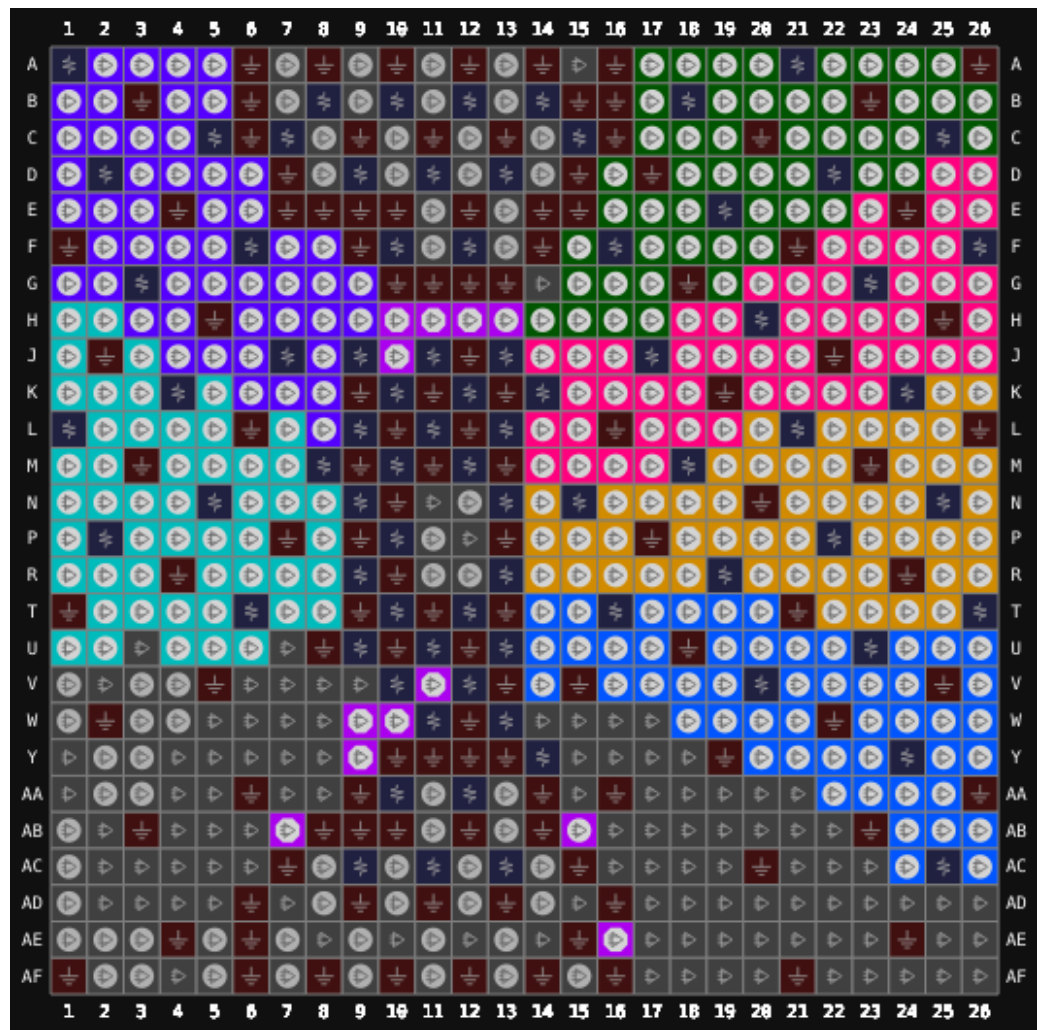


表 3-1 GW5AST-138 器件 FPG676A (Flip Chip) 其他管脚

VCCIO2	V20,U23,T26,Y24,AC25,T16
VCCIO3	R19,K24,N25,N15,P22,L21
VCCIO4	F26,M18,J17,H20,G23,K14
VCCIO5	C25,D22,F16,A21,B18,E19
VCCIO6	J7,D2,F6,C5,A1,G3
VCCIO7	M8,K4,P2,T6,L1,N5
VCCIO10	W11,Y14
VCCX	N9,L9,J9
VCC/VCCC	L11,V10,P10,L13,K12,V12,K10,T12,M10,T10, J11,J13,U11
VCC_REG	C15,B8,B14,C7,B12,B10
Q1_VDDHA	R9
Q0_VDDHA	U9
Q1_VDDA/Q1_VDDD_IN0/Q1_V DDD_IN1/Q1_VDDD_IN2/Q1_VD DD_IN3/Q1_VDDTC/Q1_VDDTC _IN0/Q1_VDDTC_IN1/Q1_VDDT C_IN2/Q1_VDDTC_IN3	AC9,AC13,AC11
Q0_VDDA/Q0_VDDD_IN0/Q0_V DDD_IN1/Q0_VDDD_IN2/Q0_VD DD_IN3/Q0_VDDTC/Q0_VDDTC _IN0/Q0_VDDTC_IN1/Q0_VDDT C_IN2/Q0_VDDTC_IN3	D11,D9,D13
Q1_VDDT_IN0/Q1_VDDT_IN1/Q 1_VDDT_IN2/Q1_VDDT_IN3	AA12,AA10
Q0_VDDT_IN0/Q0_VDDT_IN1/Q 0_VDDT_IN2/Q0_VDDT_IN3	F10,F12
M0_VDDX/M1_VDDX	M12
M0_VDDA/M0_VDDD/M1_VDDA/ M1_VDDD	N13,R13,U13,W13
VSS	M11,AE15,B15,A10,A12,A14,A16,A26,A6,A8, AA14,AA16,AA26,AA6,AB10,AB12,AB14,AB 23,AB3,AA9,AB8,AC15,AC20,AC7,AD11,AD1 3,AD6,AD9,AD16,AE24,AE4,AE6,AF1,AF10, AF12,AF14,AF16,AF21,AF6,AF8,B16,B23,B3 ,B6,C11,C13,C16,C20,C6,C9,D15,D17,D7,E1 0,E12,E14,E24,E4,E7,E8,E9,F1,F14,F21,F9, G10,G11,AB9,G13,Y12,G18,G12,H25,H5,J12 ,J2,J22,K11,K13,K19,K9,L10,L12,L16,L26,L6, M13,M23,M3,M9,N10,N20,P13,P17,P7,P9,R 10,R24,R4,T1,T11,T13,T21,T9,U10,U12,U18, U8,V15,V25,V5,E15,W12,W2,W22,Y11,Y10, Y13,Y19,V13

### 3.1.2 PG484A 管脚分布示意图

图 3-2 GW5AST-138 器件 PG484A 封装管脚分布示意图（顶视图）

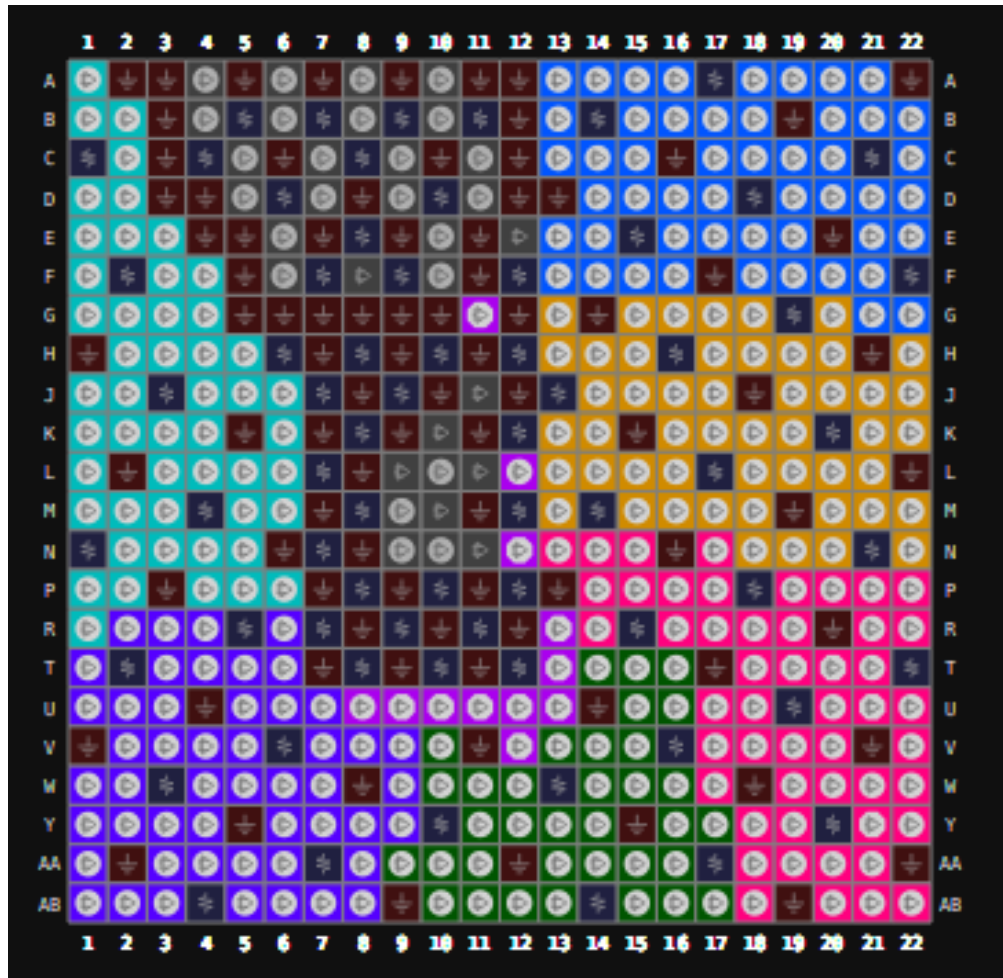


表 3-2 GW5AST-138 器件 PG484A 其他管脚

VCCIO2	B14,D18,E15,F22,A17,C21
VCCIO3	L17,J13,H16,G19,K20,N21
VCCIO4	U19,Y20,T22,M14,P18,R15
VCCIO5	W13,V16,AA17,AB14,Y10
VCCIO6	AA7,V6,W3,T2,R5,AB4
VCCIO7	C1,J3,N1,M4,H6,F2
VCCIO10	F12,T12
VCCX	P12,M12,R11
VCC/VCC	H8,T8,R9,H10,P8,N7,J7,R7,K8,L7,P10,T10,J9,M8
VCC_REG	B7,B9,B5,B11,C4,C8
Q1_VDDHA	K12
Q0_VDDHA	H12
Q0_VDDA/Q0_VDDD_IN0/Q0_VDDD_IN1/Q0_VDDD_IN2/Q0_VDDD_IN3/Q0_VDDTC/Q0_VDDTC_IN0/Q0_VD	F7,D10,D6



DTC_IN1/Q0_VDDTC_IN2/Q0_VDDT C_IN3	
Q0_VDDT_IN0/Q0_VDDT_IN1/Q0_V DDT_IN2/Q0_VDDT_IN3	E8,F9
VSS	K9,D8,A2,A3,A5,A7,A9,A11,A12,A22,AA 2,AA12,AA22,AB9,AB19,B3,B12,B19,C3 ,C6,C10,C12,C16,D3,D4,D12,D13,E4,E5 ,E7,E9,E11,E20,F5,F11,F17,G5,G6,G7,G 8,G9,G10,G12,G14,H1,H7,H9,H11,H21,J 8,J10,J12,J18,K5,K7,K11,K15,L2,L8,L22, M7,M11,M19,N6,N8,N16,P3,P7,P9,P11, P13,R8,R10,R12,R20,T7,T9,T11,T17,U4, U14,V1,V11,V21,W8,W18,Y5,Y15

### 3.1.3 PG676A 管脚分布示意图

图 3-3 GW5AST-138 器件 PG676A 封装管脚分布示意图（顶视图）

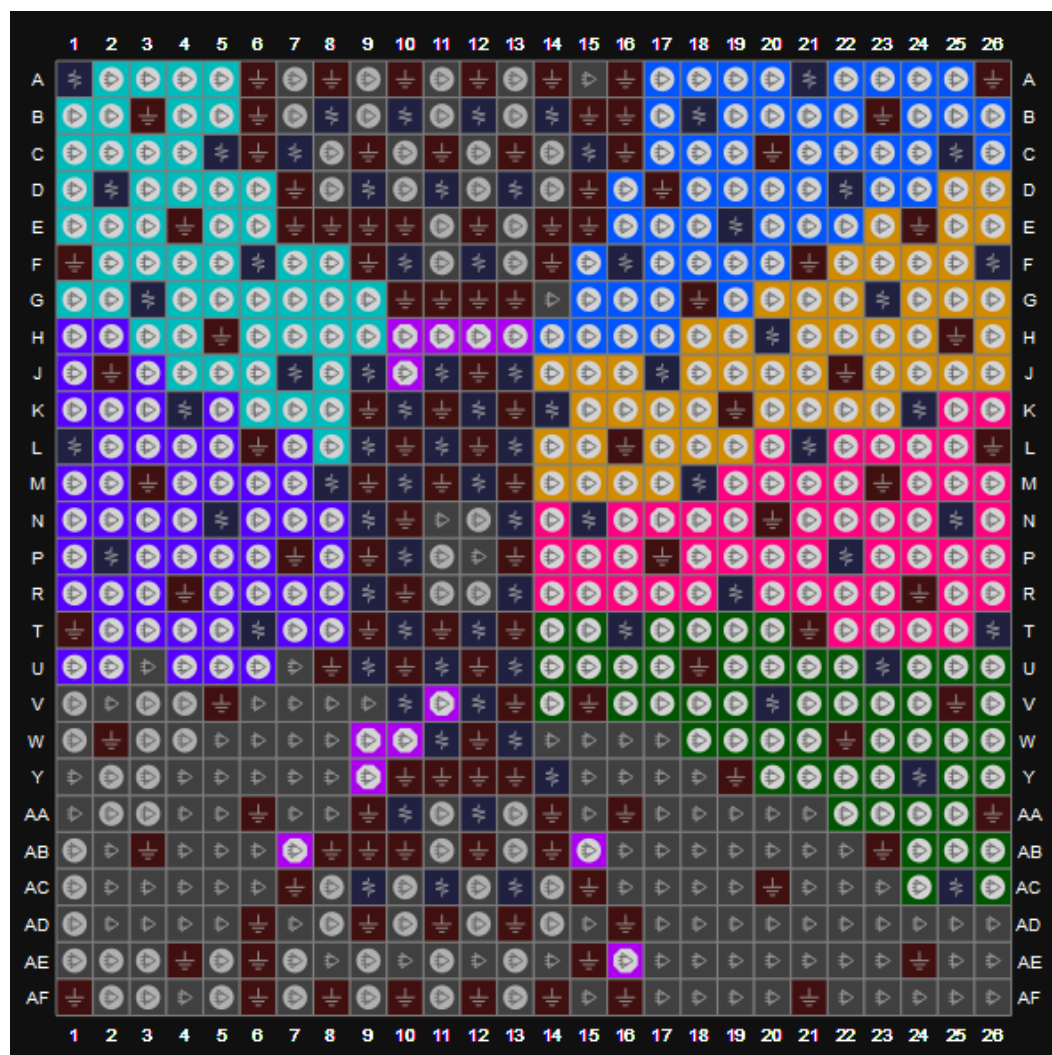


表 3-3 GW5AST-138 器件 PG676A 其他管脚

VCCIO2	E19,C25,A21,D22,F16,B18
VCCIO3	G23,K14,M18,H20,F26,J17
VCCIO4	L21,P22,N15,K24,N25,R19
VCCIO5	Y24,T16,U23,V20,AC25,T26
VCCIO6	L1,P2,N5,T6,K4,M8
VCCIO7	J7,D2,A1,G3,C5,F6
VCCIO10	Y14,W11
VCCX	N9,L9,J9
VCC/VCCC	V12,V10,T12,L13,T10,L11,K12,M10,U11, K10,J11,P10,J13
VCC_REG	B12,B10,C7,C15,B14,B8
M0_VDDX/M1_VDDX	M12
M0_VDDA	N13
M0_VDDD	U13
M1_VDDA	R13
M1_VDDD	W13
Q0_VDDHA/Q1_VDDHA	U9,R9
Q0_VDDA/Q0_VDDRC_IN0/Q0_VDDRC_IN1/Q0_VDDRC_IN2/Q0_VDDRC_IN3/Q0_VDDTC/Q0_VDDTC_IN0/Q0_VDDTC_IN1/Q0_VDDTC_IN2/Q0_VDDTC_IN3	AA12,AC11,AA10
Q0_VDDT_IN0/Q0_VDDT_IN1/Q0_VDDT_IN2/Q0_VDDT_IN3	AC13,AC9
Q1_VDDA/Q1_VDDRC_IN0/Q1_VDDRC_IN1/Q1_VDDRC_IN2/Q1_VDDRC_IN3/Q1_VDDTC/Q1_VDDTC_IN0/Q1_VDDTC_IN1/Q1_VDDTC_IN2/Q1_VDDTC_IN3	F12,D9,F10
Q1_VDDT_IN0/Q1_VDDT_IN1/Q1_VDDT_IN2/Q1_VDDT_IN3	D13,D11
VSS	M11,AE15,B15,A10,A12,A14,A16,A26,A6,A8,AA14,AA16,AA26,AA6,AB10,AB12,AB14,AB23,AB3,AA9,AB8,AC15,AC20,AC7,AD11,AD13,AD6,AD9,AD16,AE24,AE4,AE6,AF1,AF10,AF12,AF14,AF16,AF21,AF6,AF8,B16,B23,B3,B6,C11,C13,C16,C20,C6,C9,D15,D17,D7,E10,E12,E14,E24,E4,E7,E8,E9,F1,F14,F21,F9,G10,G11,AB9,G13,Y12,G18,G12,H25,H5,J12,J2,J22,K11,K13,K19,K9,L10,L12,L16,L26,L6,M13,M23,M3,M9,N10,N20,P13,P17,P7,P9,R10,R24,R4,T1,T11,T13,T21,T9,U10,U12,U18,U8,V15,V25,V5,E15,W12,W2,W22,Y11,Y10,Y13,Y19,V13

### 3.1.4 UG324 管脚分布示意图

图 3-4 GW5AST-138 器件 UG324 封装管脚分布示意图（顶视图）

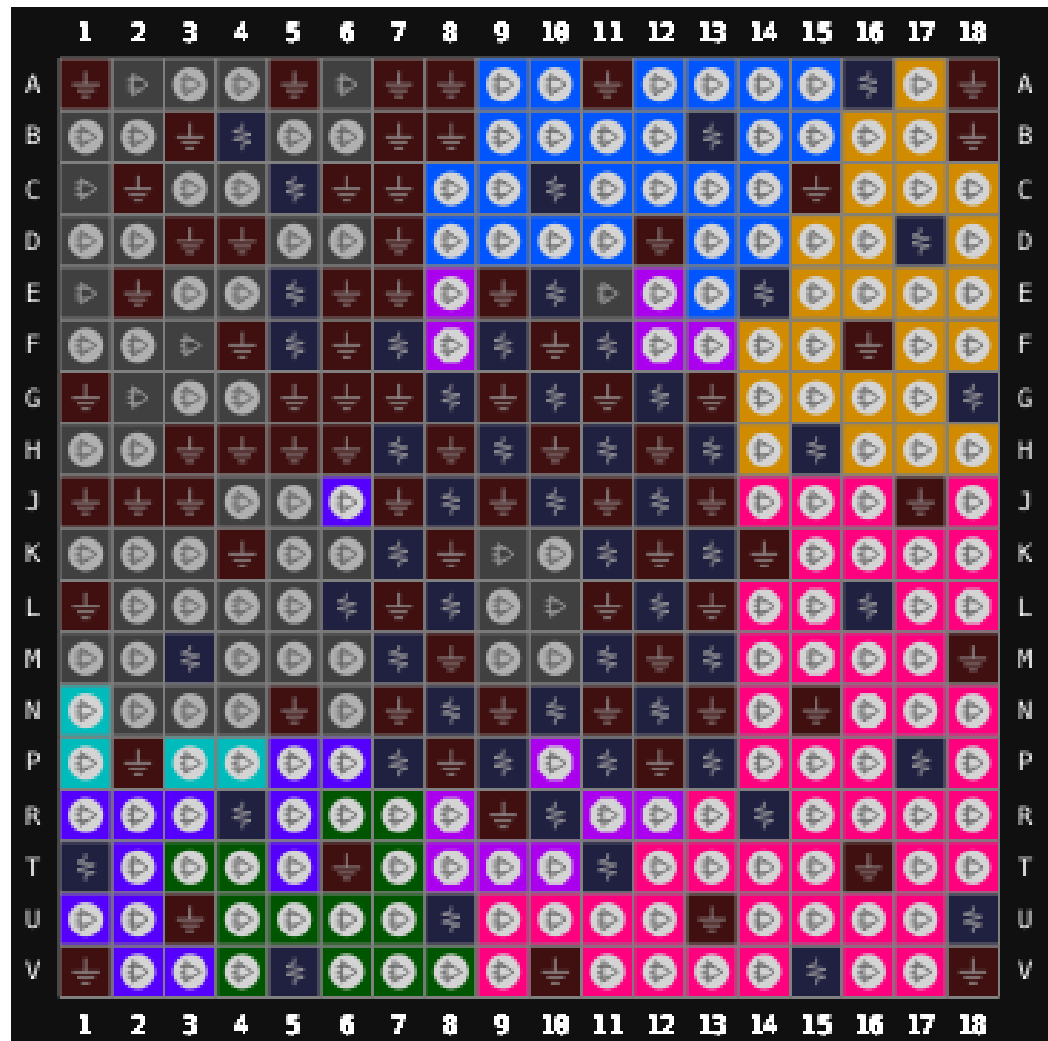


表 3-4 GW5AST-138 器件 UG324 其他管脚

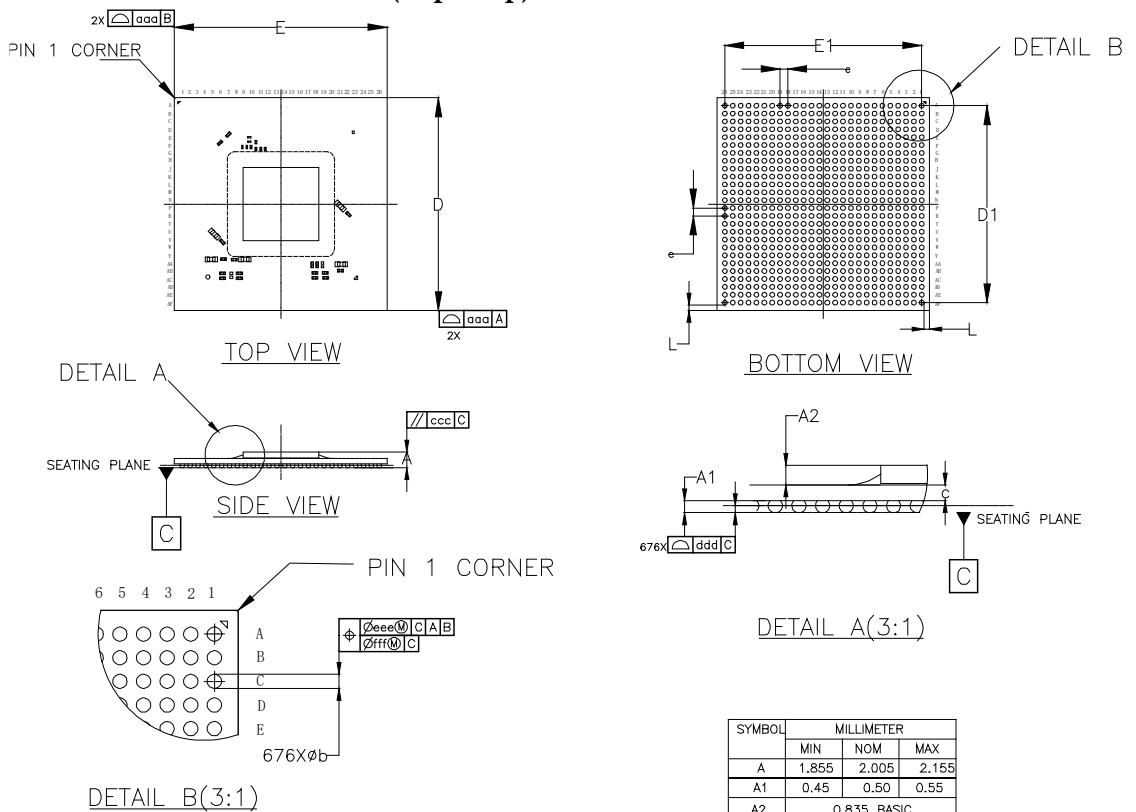
VCCIO2	A16,C10,D17,B13
VCCIO3	H15,G18,E14
VCCIO4	T11,P17,V15,R14,L16,U8,U18
VCCIO5	T1,V5
VCCIO6	P7,R4
VCCIO7	L6,M3
VCCIO10	E10,R10
VCCX	K13,M13,P13
VCC/VCC	P9,K7,L12,N8,N10,F9,G8,H7,P11,F7,L8, K11,M7,J8,H9,M11,J12,N12
VCC_REG	H13
M0_VDDX/M1_VDDX	J10
M0_VDDA/M0_VDDD/M1_VDDA/M1_VDDD	F11,H11,G10

Q0_VDDHA	G12
Q0_VDDA/Q0_VDDRC_IN0/Q0_VDDRC_IN1/Q0_VDDRC_IN2/Q0_VDDRC_IN3/Q0_VDDTC/Q0_VDDTC_IN0/Q0_VDDTC_IN1/Q0_VDDTC_IN2/Q0_VDDTC_IN3	E5,F5
Q0_VDDT_IN0/Q0_VDDT_IN1/Q0_VDDT_IN2/Q0_VDDT_IN3	B4,C5
VSS	A1,A5,A7,A8,A11,A18,B3,B7,B8,B18,C2,C6,C7,C15,D3,D4,D7,D12,E2,E6,E7,E9,F4,F6,F10,F16,G1,G5,G6,G7,G9,G11,G13,H3,H4,H5,H6,H8,H10,H12,J1,J2,J3,J7,J11,J13,J17,K4,K8,K12,K14,L1,L7,L11,L13,M8,M12,M18,N5,N7,N9,N11,N13,N15,P2,P8,P12,R9,T6,T16,U3,U13,V1,V10,V18,J9

# 4 封装尺寸

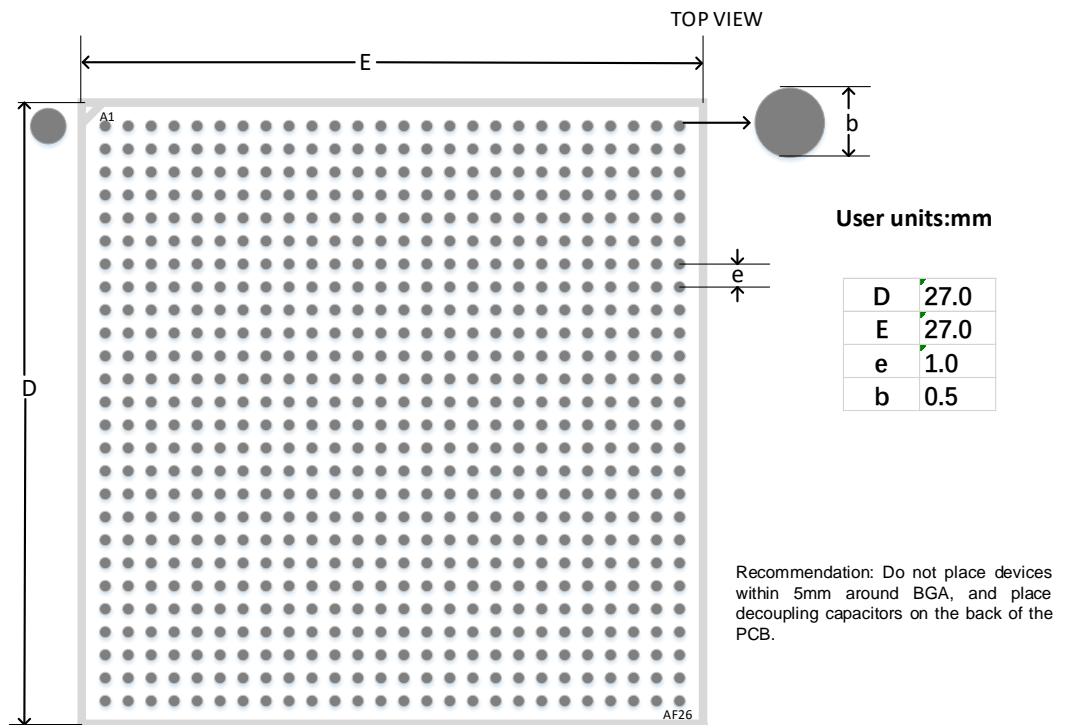
## 4.1 封装尺寸 FPG676A (Flip Chip) (27mm x 27mm, GW5AST-138)

图 4-1 封装尺寸 FPG676A (Flip Chip)



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	1.855	2.005	2.155
A1	0.45	0.50	0.55
A2	0.835 BASIC		
c	0.60	0.67	0.74
D	26.90	27.00	27.10
D1	25.00 BASIC		
E	26.90	27.00	27.10
E1	25.00 BASIC		
L	0.70 REF		
e	1.00 BASIC		
b	0.55	0.60	0.65
aaa	0.20		
ccc	0.25		
ddd	0.20		
eee	0.25		
fff	0.10		

图 4-2 推荐 PCB Layout FPG676A (Flip Chip)



# 4.2 封装尺寸 PG484A (23mm x 23mm, GW5AST-138)

图 4-3 封装尺寸 PG484A

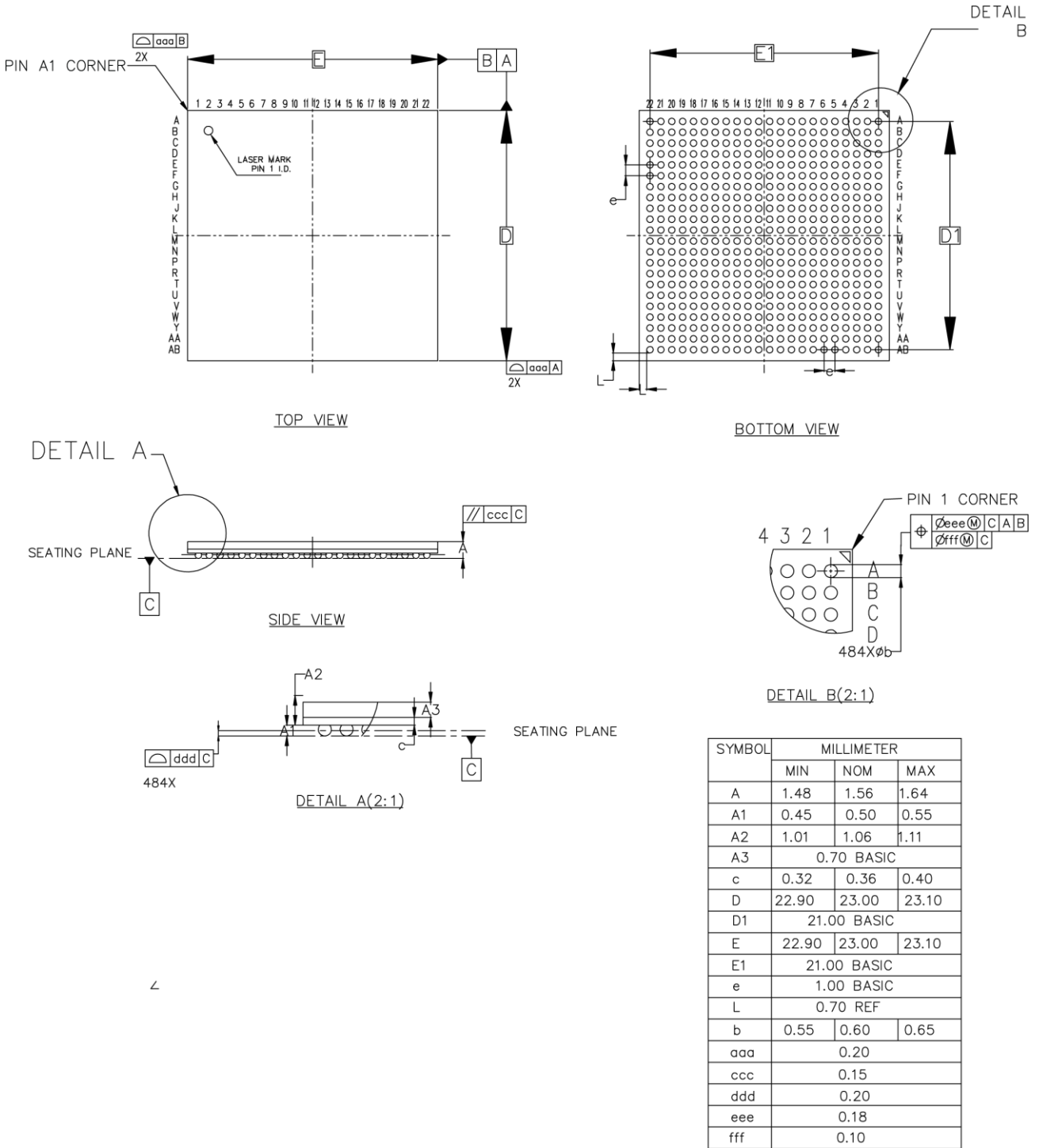
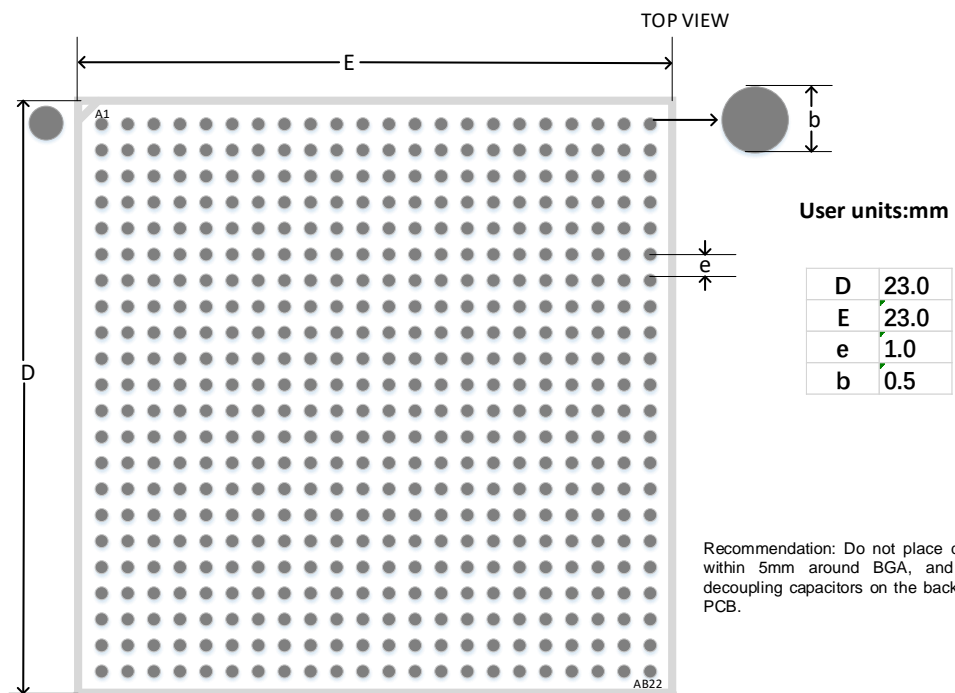


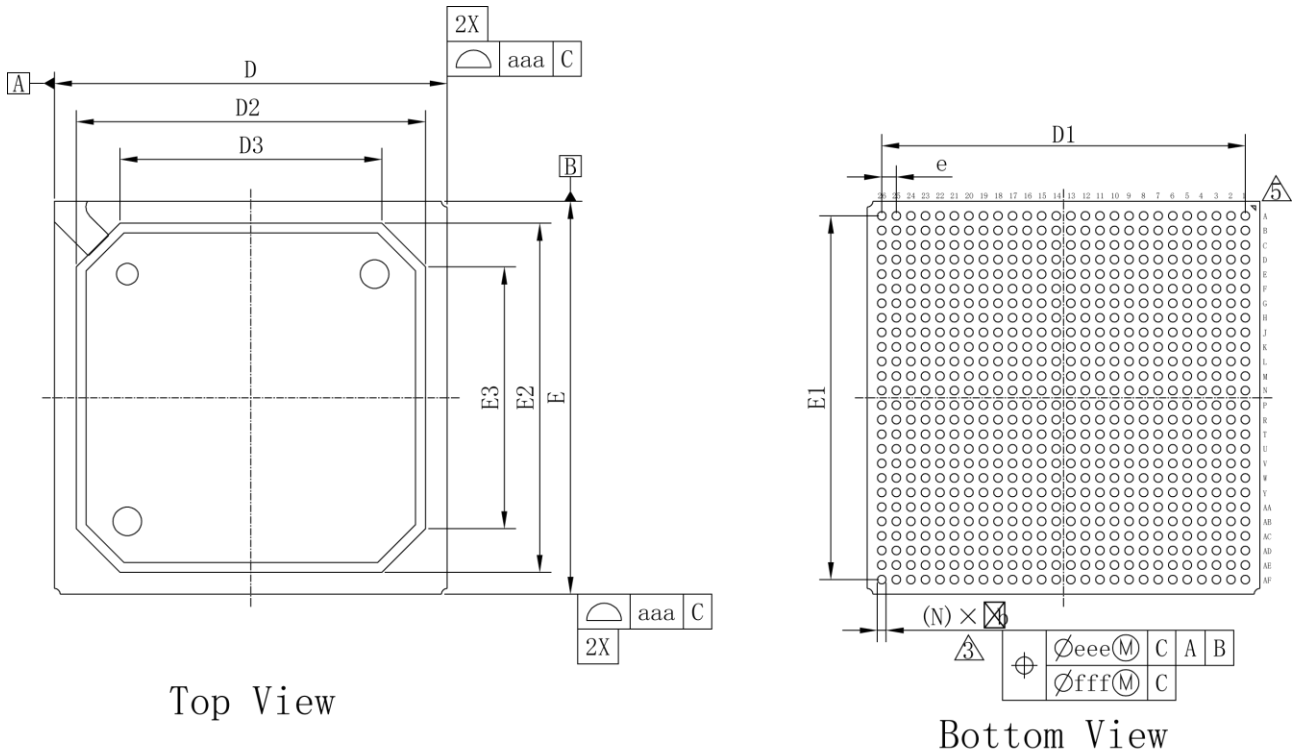
图 4-4 推荐 PCB Layout PG484A





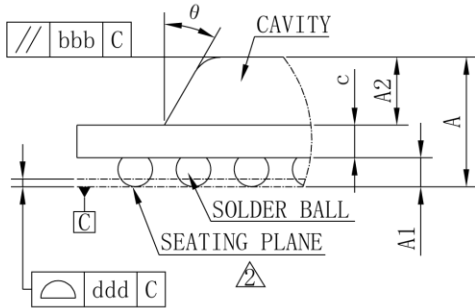
### 4.3 封装尺寸 PG676A (27mm x 27mm, GW5AST-138)

图 4-5 封装尺寸 PG676A



Top View

Bottom View



DETAIL A

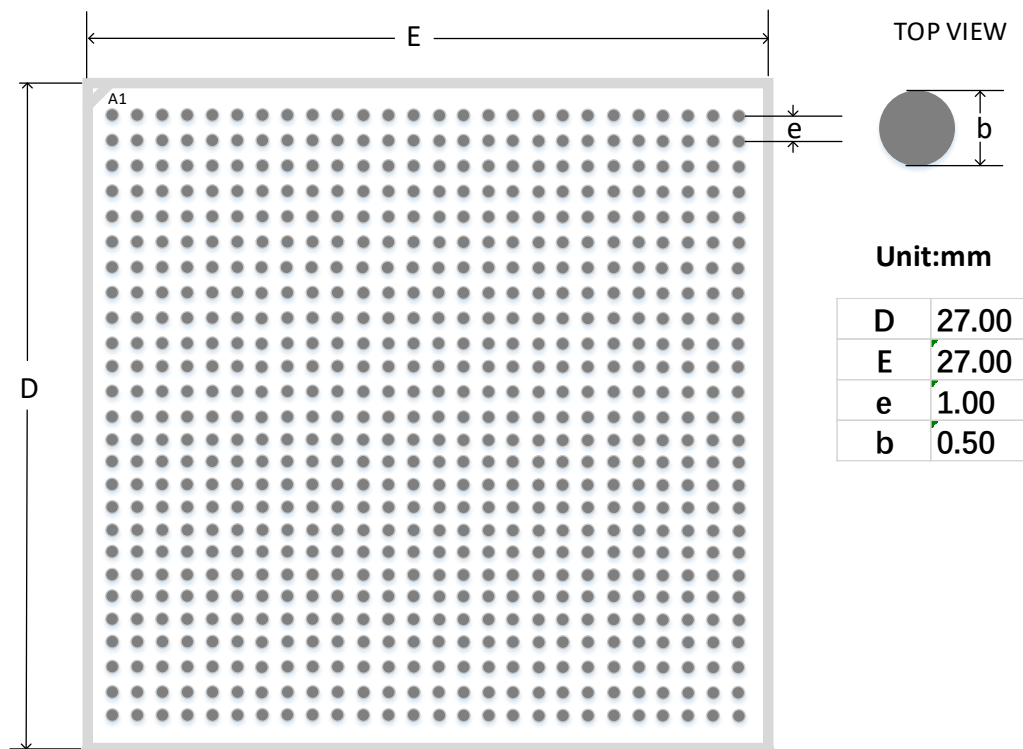
10:1



Side View

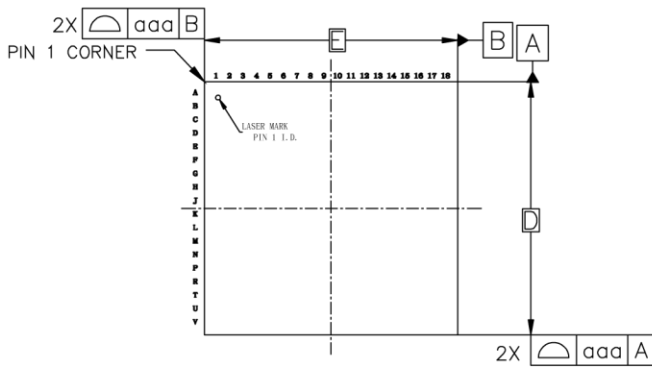
symbol	Dimension in mm		
	MIN	NOM	MAX
A	---	---	2.380
A1	0.450	0.500	0.550
A2	1.120	1.170	1.220
c	0.510	0.560	0.610
D	26.800	27.000	27.200
D1	---	25.000	---
D2	23.800	24.000	24.200
D3	---	18.000	---
E	26.800	27.000	27.200
E1	---	25.000	---
E2	23.800	24.000	24.200
E3	---	18.000	---
e	---	1.000	---
b	0.550	0.600	0.650
aaa	0.200		
bbb	0.200		
ddd	0.200		
eee	0.250		
fff	0.100		
Ball Diam	0.600		
N	676		
MD/ME	26/26		

图 4-6 推荐 PCB Layout PG676A

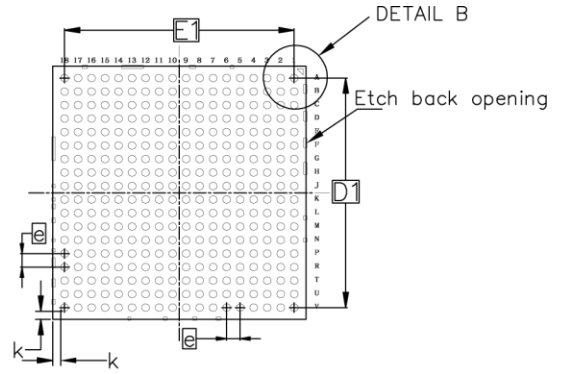


# 4.4 封装尺寸 UG324 (15mm x 15mm, GW5AST-138)

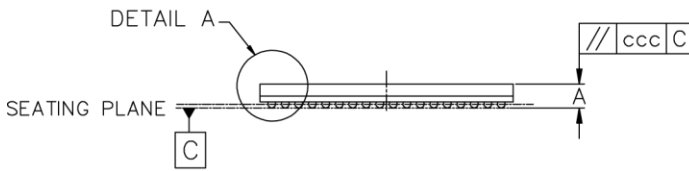
图 4-7 封装尺寸 UG324



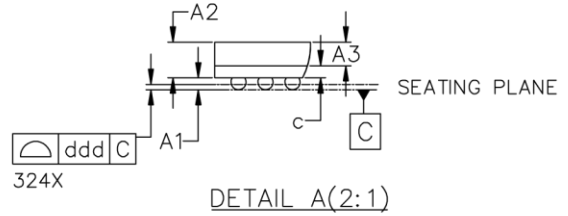
TOP VIEW



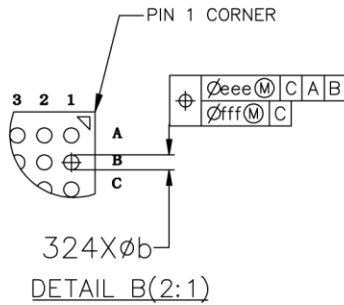
BOTTOM VIEW



SIDE VIEW



DETAIL A(2:1)



324X $\varnothing b$   
DETAIL B(2:1)

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	1.31	1.41	1.51
A1	0.30	0.35	0.40
A2	1.00	1.06	1.12
A3	0.70 BASIC		
c	0.32	0.36	0.40
D	14.90	15.00	15.10
D1	13.60 BASIC		
E	14.90	15.00	15.10
E1	13.60 BASIC		
e	0.80 BASIC		
b	0.40	0.45	0.50
k	0.475 REF		
aaa	0.15		
ccc	0.10		
ddd	0.12		
eee	0.15		
fff	0.08		

图 4-8 推荐 PCB Layout UG324

