



# GW5AR 系列 FPGA 产品 封装与管脚手册

UG1109-1.0.1, 2023-12-07

版权所有 © 2023 广东高云半导体科技股份有限公司

**GOWIN**高云、Gowin、晨熙、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

## 版本信息

日期	版本	说明
2023/09/12	1.0	初始版本。
2023/12/07	1.0.1	更新 GW5AR-25 器件 UG256P 的封装信息。

# 目录

目录.....	i
图目录.....	ii
表目录.....	iii
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语 .....	1
1.4 技术支持与反馈.....	1
<b>2 概述.....</b>	<b>2</b>
2.1 无铅封装.....	2
2.2 封装和最大用户 I/O 信息 .....	2
2.3 电源管脚.....	3
2.4 管脚数目 .....	3
2.4.1 GW5AR-25 器件管脚数目 .....	3
2.5 I/O BANK 说明 .....	4
<b>3 管脚分布示意图 .....</b>	<b>5</b>
3.1 GW5AR-25 器件管脚分布示意图.....	5
3.1.1 UG256P 管脚分布示意图.....	5
<b>4 封装尺寸.....</b>	<b>7</b>
4.1 封装尺寸 UG256P (14mm x 14mm).....	7

## 图目录

图 3-1 GW5AR-25 器件 UG256P 封装管脚分布示意图（顶视图） .....	5
图 4-1 封装尺寸 UG256P .....	7
图 4-2 推荐 PCB Layout UG256P .....	8

# 表目录

表 1-1 术语、缩略语 .....	1
表 2-1 封装和最大用户 I/O 信息、LVDS 对数 .....	2
表 2-2 GW5AR 系列电源管脚 .....	3
表 2-3 GW5AR-25 器件管脚数目列表 .....	3
表 3-1 GW5AR-25 器件 UG256P 其他管脚 .....	6

# 1 关于本手册

## 1.1 手册内容

GW5AR 系列 FPGA 产品封装与管脚手册主要包括高云半导体 GW5AR 系列 FPGA 产品的封装介绍、管脚定义说明、管脚数目列表、管脚分布示意图以及封装尺寸图。

## 1.2 相关文档

通过登录高云半导体网站 [www.gowinsemi.com](http://www.gowinsemi.com) 可以下载、查看以下相关文档：

- [DS1108, GW5AR 系列 FPGA 产品数据手册](#)
- [UG1110, GW5AR-25 器件 Pinout 手册](#)

## 1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable IO	高云可编程通用管脚
UG	UBGA	UBGA 封装

## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com](http://www.gowinsemi.com)

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 概述

高云半导体 GW5AR 系列 FPGA 产品是高云半导体晨熙®家族第五代产品，是一款系统级封装芯片，在 GW5A 基础上集成了 PSRAM 存储芯片，内部资源丰富，具有全新构架且支持 AI 运算的高性能 DSP，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，同时集成自主研发的 DDR3，提供多种管脚封装形式，适用于低功耗、高性能及兼容性设计等应用场合。

高云半导体同时提供面向市场自主研发的新一代 FPGA 硬件开发环境，支持 GW5AR 系列 FPGA 产品，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

## 2.1 无铅封装

GW5AR 系列 FPGA 产品采用无铅工艺封装，绿色环保，符合欧盟的 RoHS 指令。GW5AR 系列 FPGA 产品物质成分信息符合 IPC-1752 标准文件。

## 2.2 封装和最大用户 I/O 信息

表 2-1 封装和最大用户 I/O 信息、LVDS 对数

封装	间距(mm)	尺寸(mm)	E-pad 尺寸(mm)	GW5AR-25
UG256P	0.8	14x14	-	178 (86)

注！

本手册中 GW5AR 系列 FPGA 产品封装命名采用缩写的方式，详细信息请参考 [1.3 术语、缩略语](#)。



## 2.3 电源管脚

表 2-2 GW5AR 系列电源管脚

VCC	VCCIO0	VCCIO1	VCCIO2
VCCIO3	VCCIO4	VCCIO5	VCCIO6
VCCIO7	VCCIO10	VCCX	VCCC
VQPS	VCC_REG	VCC_EXT	M0_VDD_12
M0_VDDA	M0_VDDD	M0_VDDX	-

## 2.4 管脚数目

### 2.4.1 GW5AR-25 器件管脚数目

表 2-3 GW5AR-25 器件管脚数目列表

管脚类型		GW5AR-25
		UG256P
I/O 单端/差分对/LVDS <sup>[1]</sup>	BANK0	30/15/15
	BANK1	0/0/0
	BANK2	28/14/14
	BANK3	14/7/7
	BANK4	21/10/10
	BANK5	25/12/12
	BANK6	28/14/14
	BANK7	28/14/14
	BANK10	4/2/0
	BANK11	0/0/0
最大用户 I/O 总数		178
差分对		88
True LVDS 输出		86
VCCIO0		2
VCCIO1		3
VCCIO2		3
VCCIO3		2
VCCIO4		2
VCCIO5		3
VCCIO6		3
VCCIO7		4
VCC/VCCC		8
M0_VDD_12		1
M0_VDDX/ VCC_REG/VCCIO10/VCCX		2
M0_VDDA/M0_VDDD		1

管脚类型	GW5AR-25
	UG256P
VQPS	1
VSS	33
MODE0	1
MODE1	1
MODE2	0
NC	0

注!

[1]单端/差分 I/O 的数目包含 CLK 管脚、下载管脚。

## 2.5 I/O BANK 说明

GW5AR-25 的 I/O 包括 8 个 GPIO Bank，此外 Bank10 为 JTAG Bank，有 4 个 IO。

详细的 Bank 分布示意图请参考 [DS1108, GW5AR 系列 FPGA 产品数据手册 > 2.3 输入输出模块](#)。

本手册列举了 GW5AR 系列 FPGA 产品每种封装的管脚分布示意图，详细信息请参考第 3 章管脚分布示意图。GW5AR 系列 FPGA 产品的不同 BANK 用不同颜色区分。

用户 I/O、电源、地使用不同的符号和颜色来区分。GW5AR 系列 FPGA 产品管脚示意图中管脚定义如下所示：

- “” 表示 BANK0 中的 I/O。
- “” 表示 BANK1 中的 I/O。
- “” 表示 BANK2 中的 I/O。
- “” 表示 BANK3 中的 I/O。
- “” 表示 BANK4 中的 I/O。
- “” 表示 BANK5 中的 I/O。
- “” 表示 BANK6 中的 I/O。
- “” 表示 BANK7 中的 I/O。
- “” 表示 BANK10 中的 I/O。
- “” 表示 BANK11 中的 I/O。
- “” 表示 MIPI 和 ADC 中的 DIO。
- “” 表示 VCC、VCCX、VCCIO，填充颜色不变。
- “” 表示 VSS，填充颜色不变。
- “” 表示 NC。

# 3 管脚分布示意图

## 3.1 GW5AR-25 器件管脚分布示意图

### 3.1.1 UG256P 管脚分布示意图

图 3-1 GW5AR-25 器件 UG256P 封装管脚分布示意图（顶视图）

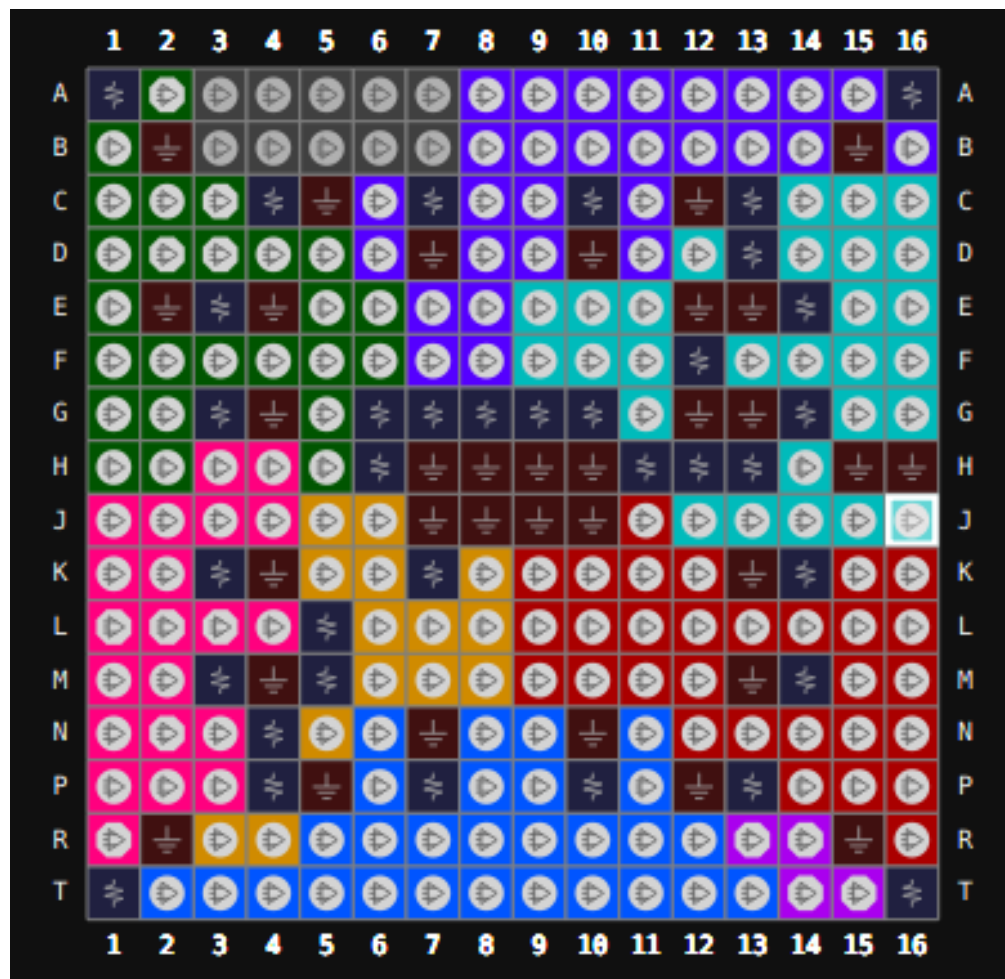


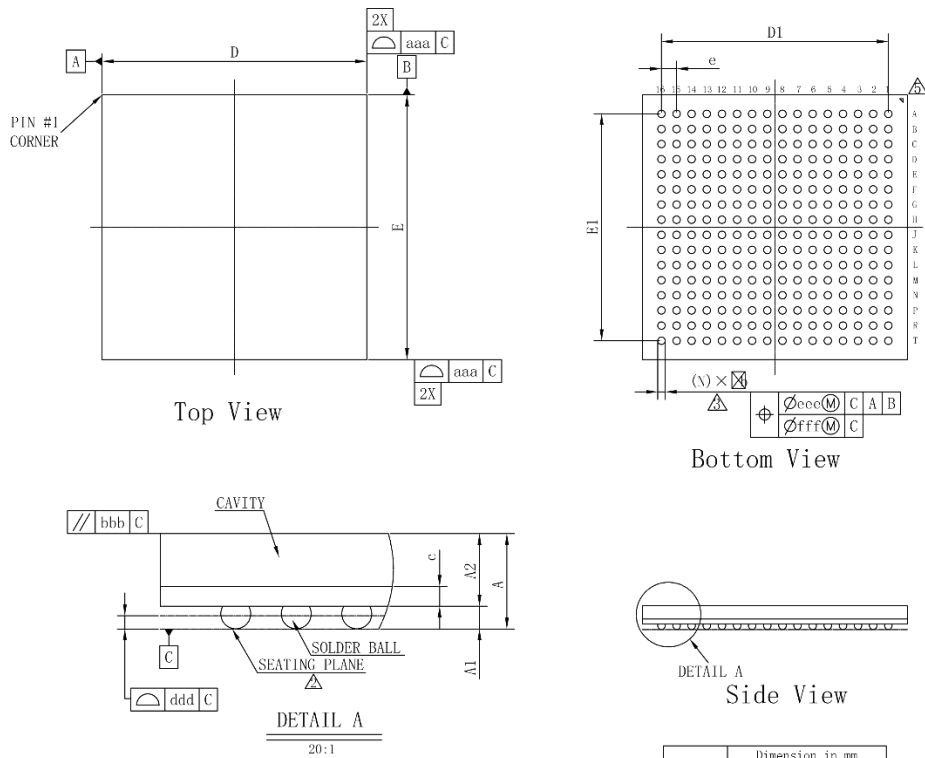
表 3-1 GW5AR-25 器件 UG256P 其他管脚

VCCIO0	M14,K14
VCCIO1	P10,P13,T16
VCCIO2	T1,P4,P7
VCCIO3	M3,K3
VCCIO4	G3,E3
VCCIO5	A1,C4,C7
VCCIO6	C10,A16,C13
VCCIO7	E14,H13,G14,H12
VQPS	M5
VCC/VCC	D13,H6,G10,G7,H11,K7,G8,N4
M0_VDD_12	G9
M0_VDDA/M0_VDDD	G6
M0_VDDX/VCC_REG/VCCIO10 /VCCX	L5,F12
VSS	B2,B15,C5,C12,D7,D10,E2,E4,E12,E13,G4,G1 2,G13,H7,H8,H9,H10,H15,H16,J7,J8,J9,J10,K 4,K13,M4,M13,N7,N10,P5,P12,R2,R15

# 4 封装尺寸

## 4.1 封装尺寸 UG256P (14mm x 14mm)

图 4-1 封装尺寸 UG256P



symbol	Dimension in mm		
	MIN	NOM	MAX
A	---	---	1.360
A1	0.250	0.300	0.350
A2	0.910	0.960	1.010
c	0.220	0.260	0.300
D	13.900	14.000	14.100
E	13.900	14.000	14.100
D1	---	12.000	---
E1	---	12.000	---
e	---	0.800	---
b	0.350	0.400	0.450
aaa	0.150		
bbb	0.200		
ddd	0.100		
eee	0.150		
fff	0.080		
Ball Diam	0.400		
N	256		
MD/ME	16/16		

图 4-2 推荐 PCB Layout UG256P

