



GW2A 系列 FPGA 产品 封装与管脚手册

UG111-1.4, 2019-12-17

版权所有©2019 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2016/08/31	1.00	初始版本。
2016/09/07	1.00	修改用户 IO 总数增加 JTAG_SEL_N 统计。
2017/06/13	1.02	<ul style="list-style-type: none">● 在管脚类型中增加 LVDS 和 LVDS 输出数量；● 修改 LQ144 封装的尺寸。
2017/10/09	1.03	更改专用引脚和复用引脚的表示方式。
2017/12/08	1.04	<ul style="list-style-type: none">● 增加最大用户 IO 相关说明；● 修改管脚定义：CLK[n]_[x]/RPLL_[n]_fb/RPLL_[n]_in。
2018/04/02	1.05	修改最大用户 I/O 信息。
2018/06/18	1.06	MODE 管脚可以复用为 GPIO。
2018/08/27	1.07	<ul style="list-style-type: none">● 增加 MBGA196 封装信息；● 增加 PBGA256S 封装信息；● 增加 QFN88 封装信息。
2019/01/14	1.08	<ul style="list-style-type: none">● 在表 2-1 添加 LVDS 对数；● 更新管脚分布示意图和 IO bank 说明。
2019/04/10	1.09	<ul style="list-style-type: none">● 新增 PG256C 封装；● 修改 MG196 封装管脚描述；● 新增 EQ144 封装。
2019/06/04	1.1	替换 PG484 封装尺寸图。
2019/07/02	1.2	新增 GW2A-55 UG324 封装。
2019/07/29	1.3	<ul style="list-style-type: none">● 替换 GW2A-18 PG484 封装尺寸图；● 新增 GW2A-55 PG484 封装尺寸图。
2019/12/10	1.4	<ul style="list-style-type: none">● 新增 GW2A-18 PG256E 封装；● 新增 GW2A-55 UG324D 封装。

目录

目录.....	i
图目录.....	iii
表目录.....	iv
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 适用产品.....	1
1.3 相关文档.....	1
1.4 术语、缩略语	1
1.5 技术支持与反馈.....	2
2 概述.....	3
2.1 无铅封装.....	3
2.2 封装和最大用户 I/O 信息、LVDS 对数.....	3
2.3 电源管脚.....	4
2.4 管脚数目.....	5
2.4.1 GW2A-18 器件管脚数目	5
2.4.2 GW2A-55 器件管脚数目	8
2.5 管脚定义说明	10
2.6 I/O BANK 说明	12
3 管脚分布示意图.....	13
3.1 GW2A-18 器件管脚分布示意图.....	13
3.1.1 QN88 管脚分布示意图	14
3.1.2 LQ144 管脚分布示意图	15
3.1.3 EQ144 管脚分布示意图	16
3.1.4 MG196 管脚分布示意图.....	17
3.1.5 PG256 管脚分布示意图	18
3.1.6 PG256S 管脚分布示意图.....	20
3.1.7 PG256C 管脚分布示意图.....	21
3.1.8 UG324 管脚分布示意图	22

3.1.9 PG484 管脚分布示意图	23
3.1.10 PG256E 管脚分布示意图	25
3.2 GW2A-55 器件管脚分布示意图	26
3.2.1 UG324 管脚分布示意图	26
3.2.2 UG324D 管脚分布示意图	27
3.2.3 PG484 管脚分布示意图	28
3.2.4 PG1156 管脚分布示意图	30
4 封装尺寸	32
4.1 封装尺寸 QN88 (mm x mm)	33
4.2 封装尺寸 LQ144 (20mm x 20mm)	34
4.3 封装尺寸 EQ144 (20mm x 20mm)	35
4.4 封装尺寸 MG196 (8mm x 8mm)	36
4.5 封装尺寸 PG256 (17mm x 17mm)	37
4.6 封装尺寸 PG256C (17mm x 17mm)	38
4.7 封装尺寸 PG256S (17mm x 17mm)	39
4.8 封装尺寸 PG256E (17mm x 17mm)	40
4.9 封装尺寸 PG484 (23mm x 23mm, GW2A-18)	41
4.10 封装尺寸 PG484 (23mm x 23mm, GW2A-55)	42
4.11 封装尺寸 PG1156 (35mm x 35mm)	43
4.12 封装尺寸 UG324/UG324D (15mm x 15mm)	44

图目录

图 2-1 GW2A 系列 FPGA 产品 I/O BANK 整体示意图	12
图 3-1 GW2A-18 器件 QN88 封装管脚分布示意图.....	14
图 3-2 GW2A-18 器件 LQ144 封装管脚分布示意图	15
图 3-3 GW2A-18 器件 EQ144 封装管脚分布示意图.....	16
图 3-4 GW2A-18 器件 MG196 封装管脚分布示意图	17
图 3-5 GW2A-18 器件 PG256 封装管脚分布示意图.....	18
图 3-6 GW2A-18 器件 PG256S 封装管脚分布示意图	20
图 3-7 GW2A-18 器件 PG256C 封装管脚分布示意图	21
图 3-8 GW2A-18 器件 UG324 封装管脚分布示意图.....	22
图 3-9 GW2A-18 器件 PG484 封装管脚分布示意图.....	23
图 3-10 GW2A-18 器件 PG256E 封装管脚分布示意图	25
图 3-11 GW2A-55 器件 UG324 封装管脚分布示意图.....	26
图 3-12 GW2A-55 器件 UG324D 封装管脚分布示意图	27
图 3-13 GW2A-55 器件 PG484 封装管脚分布示意图.....	28
图 3-14 GW 2A-55 器件 PG1156 封装管脚分布示意图	30
图 4-1 封装尺寸 QN88.....	33
图 4-2 封装尺寸 LQ144	34
图 4-3 封装尺寸 EQ144.....	35
图 4-4 封装尺寸 MG196	36
图 4-5 封装尺寸 PG256.....	37
图 4-6 封装尺寸 PG256C	38
图 4-7 封装尺寸 PG256S.....	39
图 4-8 封装尺寸 PG256E.....	40
图 4-9 封装尺寸 PG484 (GW2A-18).....	41
图 4-10 封装尺寸 PG484 (GW2A-55).....	42
图 4-11 封装尺寸 PG1156	43
图 4-12 封装尺寸 UG324/UG324D.....	44

表目录

表 1-1 术语、缩略语	1
表 2-1 封装和最大用户 I/O 信息、LVDS 对数	3
表 2-2 GW2A 电源管脚	4
表 2-3 GW2A-18 器件管脚数目列表	5
表 2-4 GW2A-55 器件管脚数目列表	8
表 2-5 GW2A 系列 FPGA 产品管脚定义说明	10
表 3-1 GW2A-18 器件 QN88 其它管脚	14
表 3-2 GW2A-18 器件 LQ144 其它管脚	15
表 3-3 GW2A-18 器件 EQ144 其它管脚	16
表 3-4 GW2A-18 器件 MG196 其它管脚	17
表 3-5 GW2A-18 器件 PG256 其它管脚(电源、MODE、地与 GW1N 兼容)	18
表 3-6 GW2A-18 器件 PG256S 其它管脚	20
表 3-7 GW2A-18 器件 PG256C 其它管脚	21
表 3-8 GW2A-18 器件 UG324 其它管脚	22
表 3-9 GW2A-18 器件 PG484 其它管脚	23
表 3-10 GW2A-18 器件 PG256E 其它管脚	25
表 3-11 GW2A-55 器件 UG324 其它管脚	26
表 3-12 GW2A-55 器件 UG324D 其它管脚	27
表 3-13 GW2A-55 器件 PG484 其它管脚	28
表 3-14 GW2A-55 器件 PG1156 其它管脚	30

1 关于本手册

1.1 手册内容

GW2A 系列 FPGA 产品封装与管脚手册主要包括高云半导体 GW2A 系列 FPGA 产品的封装介绍、管脚定义说明、管脚数目列表、管脚分布示意图以及封装尺寸图。

1.2 适用产品

本手册中描述的信息适用于以下产品：

GW2A 系列 FPGA 产品：GW2A-18、GW2A-55。

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. GW2A 系列 FPGA 产品数据手册
2. GW2A 系列 FPGA 产品封装与管脚手册
3. GW2A-18 器件 Pinout 手册
4. GW2A-55 器件 Pinout 手册
5. Gowin FPGA 产品编程配置手册

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
LVDS	Low-Voltage Differential Signaling	低电压差分信号
QN88	QFN88	QFN88 封装
LQ144	LQFP144	LQFP144 封装
EQ144	ELQFP144	ELQFP144 封装

术语、缩略语	全称	含义
PG256	PBGA256	PBGA256 封装
PG256S	PBGA256S	PBGA256S 封装
PG256C	PBGA256C	PBGA256C 封装
PG256E	PBGA256E	PBGA256E 封装
PG484	PBGA484	PBGA484 封装
PG1156	PBGA1156	PBGA1156 封装
UG324	UBGA324	UBGA324 封装
UG324D	UBGA324D	UBGA324D 封装

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

高云半导体 GW2A 系列 FPGA 产品是高云半导体晨熙®(Arora®)家族第一代产品，内部资源丰富，封装 IO 数量丰富，使用方便灵活。

2.1 无铅封装


GW2A 系列 FPGA 产品采用无铅工艺封装，绿色环保，符合欧盟的 RoHS 指令。GW2A 系列 FPGA 产品物质成分信息符合 IPC-1752 标准文件。

2.2 封装和最大用户 I/O 信息、LVDS 对数

表 2-1 封装和最大用户 I/O 信息、LVDS 对数

封装	间距(mm)	尺寸(mm)	GW2A-18	GW2A-55
QN88	0.4	10 x 10	66 (22)	-
LQ144	0.5	20 x 20	119 (34)	-
EQ144	0.5	20 x 20	119 (34)	-
MG196	0.5	8 x 8	114 (39)	-
PG256	1.0	17 x 17	207 (73)	-
PG256S	1.0	17 x 17	192 (72)	-
PG256C	1.0	17 x 17	190 (64)	-
PG256E	1.0	17 x 17	162 (29)	-
UG324	0.8	15 x 15	239 (90)	240 (87)
UG324D	0.8	15 x 15	-	240 (72)
PG484	1.0	23 x 23	319 (77)	319 (75)
PG1156	1.0	35 x 35	-	607 (96)

注!

- 本手册中 GW2A 系列 FPGA 产品封装命名采用缩写的方式，详细信息请参考 1.4 术语、缩略语；
-  表示同一封装的不同器件管脚兼容；
- JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况；

- 对于 GW2A-18 LQ144 封装, JTAG 管脚复用 IO 速度小于 40MHz。

2.3 电源管脚

表 2-2 GW2A 电源管脚

VCC	VCCO0	VCCO1	VCCO2
VCCO3	VCCO4	VCCO5	VCCO6
VCCO7	VCCX	VSS	NC
VCCPLLL0	VCCPLLL1	VCCPLLR0	VCCPLLR1
VCCPLLL	VCCPLLR		

2.4 管脚数目

2.4.1 GW2A-18 器件管脚数目

表 2-3 GW2A-18 器件管脚数目列表

管脚类型		GW2A-18									
		QN88	LQ144	EQ144	MG196	PG256	PG256S	PG256C	UG324	PG484	PG256E
I/O 单端 / 差分对 / LVDS ¹	BANK0	8/4/2	19/8/4	19/8/4	12/6/4	29/14/10	20/10/8	25/12/8	28/14/12	40/20/10	26/13/5
	BANK1	9/4/4	12/6/6	12/6/6	14/7/6	20/10/10	19/9/9	26/12/11	28/14/11	39/18/10	14/7/3
	BANK2	4/2/1	12/6/3	12/6/3	16/8/5	20/10/7	30/15/11	16/7/5	28/14/10	46/23/11	12/6/2
	BANK3	17/6/3	21/9/5	21/9/5	25/12/7	29/13/10	37/18/10	36/17/9	39/19/11	31/15/7	31/12/4
	BANK4	8/3/3	17/8/6	17/8/6	13/6/4	36/18/12	16/7/7	27/13/11	28/14/12	40/20/10	18/9/3
	BANK5	10/5/5	16/8/5	16/8/5	8/4/3	36/18/11	18/9/8	26/12/9	28/14/12	40/20/10	18/9/4
	BANK6	9/4/4	11/5/3	11/5/3	12/6/5	18/9/8	24/12/8	19/9/7	28/14/11	34/17/8	20/10/4
	BANK7	1/0/0	8/4/2	8/4/2	14/7/5	16/7/5	28/14/11	15/7/5	32/16/11	46/23/11	23/11/4
最大用户 I/O 总数 ²		66	119	119	114	207	192	190	239	319	162
差分对		28	54	54	56	99	94	89	119	157	77
TrueLVDS 输出		22	34	34	39	73	72	65	90	77	26
VCC		4	0	0	0	6	6	10	11	32	11
VCCX		0	0	0	8	2	8	0	12	8	6
VCCO0		1	1	1	2	2	3	3	3	3	2
VCCO1		1	1	1	2	2	2	3	3	3	2
VCCO2		0	0	0	3	1	3	2	3	3	2

管脚类型	GW2A-18									
	QN88	LQ144	EQ144	MG196	PG256	PG256S	PG256C	UG324	PG484	PG256E
VCCO3	1	2	2	3	2	3	2	3	3	3
VCCO4	1	1	1	2	2	0	3	3	3	2
VCCO5	1	1	1	2	2	0	3	3	3	6
VCCO6	0	0	0	3	1	3	2	3	3	2
VCCO7	1	2	2	3	2	2	0	3	3	2
VCCX/VCCO7	0	0	0	0	0	0	2	0	0	0
VCCO4/VCCO5	0	0	0	0	0	4	0	0	0	0
VCC/VCCPLLL1 ³	0	4	4	0	0	0	0	0	0	0
VCCX/ VCCO2/ VCCO6 ³	2	2	2	0	0	0	0	0	0	0
VCCPLLL0	0	1	1	0	0	0	0	0	0	0
VCCPLLL1	1	0	0	0	0	0	0	0	0	0
VCCPLLR0	0	1	1	0	0	0	0	0	0	0
VCCPLLR1	1	1	1	0	0	0	0	0	0	0
VCCPLLL	0	0	0	0	1	1	1	0	2	0
VCCPLLR	0	0	0	0	1	1	1	0	2	0
VCC/VCCPLLL0/VCCPLLL1	0	0	0	15	0	0	0	0	0	0
VSS	7	7	7	39	24	26	33	37	95	51
MODE0	1	1	1	1	1	1	1	1	1	0
MODE1	1	1	1	1	1	1	1	1	1	0
MODE2	0	1	1	0	1	0	1	1	1	0
EXTR	1	1	1	0	1	1	0	0	1	1
JTAGSEL_N	0	0	0	0	0	1	1	1	1	0

注!

- [1]单端/差分/LVDS I/O 的数目包含 CLK 管脚、下载管脚，该数目不包括 EXTR;

- [2]JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况。
- [3]引脚复用。

2.4.2 GW2A-55 器件管脚数目

表 2-4 GW2A-55 器件管脚数目列表

管脚类型		GW2A-55			
		UG324	UG324 D	PG484	PG1156
I/O 单端 / 差分对 /LVDS/LVDS 输出 ¹	BANK0	28/14/1 0	28/14/1 0	40/20/10	80/40/14/6
	BANK1	28/14/1 3	28/14/1 3	39/19/10	79/39/16/4
	BANK2	28/14/1 0	28/14/1 0	46/23/10	80/40/10/1 0
	BANK3	40/20/9	40/20/9	31/15/7	61/30/8/7
	BANK4	28/14/1 3	28/14/1 3	40/20/10	80/40/16/4
	BANK5	28/14/1 3	28/14/1 3	40/20/10	80/40/14/6
	BANK6	28/14/9/ 1	28/5/2	34/17/8	64/32/8/8
	BANK7	32/16/1 0	32/5/1	46/23/10	80/40/10/1 0
最大用户 I/O 总数 ²		240	240	319	607
差分对		120	100	157	301
LVDS		87	71	75	96
TrueLVDS 输出 ³		1	0	0	55
VCC		11	11	32	32
VCCX		12	12	8	16
VCCO0		0	3	3	12
VCCO1		3	3	3	11
VCCO2		3	3	3	12
VCCO3		3	3	3	11
VCCO4		3	3	3	12
VCCO5		3	3	3	11
VCCO6		3	3	3	12
VCCO7		3	3	3	11
VCCPLLL		0	0	2	2
VCCPLLR		0	0	2	2
VSS		37	37	95	172
MODE0		0	0	1	1
MODE1		0	0	1	1
MODE2		1	1	1	1
MODE0/MODE1		1	1	0	0
EXTR		0	0	1	1
NC		0	0	0	231

管脚类型	GW2A-55			
	UG324	UG324 D	PG484	PG1156
JTAGSEL_N	1	1	1	1

注!

- [1]I/O 单端/差分对/LVDS/LVDS 输出的数目包含 CLK 管脚、下载管脚,PG484 无 LVDS 输出; 该类数目不包括 EXTR;
- [2]JTAGSEL_N 和 JTAG 管脚是互斥管脚, JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚 (TCK、TDI、TDO、TMS) 不可同时复用为 I/O, 此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况;
- [3]只支持真 LVDS 输出, 不支持输入。

2.5 管脚定义说明

GW2A 系列 FPGA 产品的管脚在不同的封装中对应不同的位置。

表 2-5 中对普通用户 I/O 的管脚定义、具有多功能的管脚定义、专用管脚的定義以及其它管脚定义进行了详细说明。

表 2-5 GW2A 系列 FPGA 产品管脚定义说明

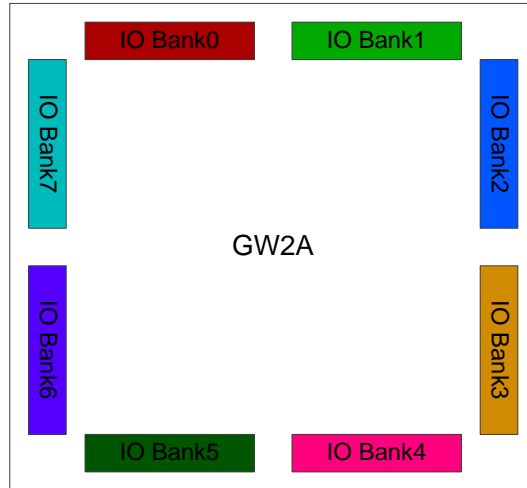
管脚名称	方向	说明
用户 I/O 管脚		
IO[End][Row/Column Number][A/B]	I/O/LVDS	[End]提供管脚在器件中的位置信息，包括 L(left) R(right) B(bottom) T(top) [Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为 T(top)或 B(bottom)，则提供列信息，即管脚对应的 CFU 列数。若[End]为 L(left)或 R(right)，则提供行信息，即管脚对应的 CFU 行数[A/B]提供差分信号对信息
		方向为 LVDS 时表示该管脚只支持真 LVDS 输出
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM 表示在用户 I/O 功能的基础上有另外的一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户 I/O
RECONFIG_N	I, 内部弱上拉	低电平脉冲开始新的 GowinCONFIG 配置
READY	I/O	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
DONE	I/O	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
FASTRD_N/D3	I/O	MSPI 模式下 Flash 访问速度选择端口 FASTRD_N，低电平表示使用高速 Flash 访问模式，高电平表示使用普通 Flash 访问模式 CPU 模式下的数据端口 D3
MCLK/D4	I/O	MSPI 模式下时钟输出 MCLK CPU 模式下的数据端口 D4
MCS_N/D5	I/O	MSPI 模式下的使能信号 MCS_N，低电平有效 CPU 模式下的数据端口 D5
MI/D7	I/O	MSPI 模式下 MISO: Master 数据输入/Slave 数据输出 CPU 模式下的数据端口 D7
MO/D6	I/O	MSPI 模式下 MOSI: Master 数据输出/Slave 数据输入 CPU 模式下的数据端口 D6
SSPI_CS_N/D0	I/O	SSPI 模式下的使能信号 SSPI_CS_N，低电平有效，内部弱上拉 CPU 模式下的数据端口 D0
SO/D1	I/O	SSPI 模式下 MISO: Master 数据输入/Slave 数据输出 CPU 模式下的数据端口 D1
SI/D2	I/O	SSPI 模式下 MOSI: Master 数据输出/Slave 数据输入 CPU 模式下的数据端口 D2
TMS	I, 内部弱上拉	JTAG 模式串行模式输入
TCK	I	JTAG 模式串行时钟输入，需要在 PCB 上连接 4.7K 下拉电阻
TDI	I, 内部弱上拉	JTAG 模式串行数据输入

管脚名称	方向	说明
TDO	O	JTAG 模式串行数据输出
JTAGSEL_N	I, 内部弱上拉	JTAG 模式选择信号, 低电平有效。
SCLK	I	SSPI, SERIAL, CPU 模式下的时钟输入
DIN	I, 内部弱上拉	SERIAL 模式下的数据输入
DOUT	O	SERIAL 模式下的数据输出
CLKHOLD_N	I, 内部弱上拉	高电平表示 SSPI 模式和 CPU 模式操作有效 低电平表示 SSPI 模式和 CPU 模式操作无效
WE_N	I	CPU 模式下选择 D[7: 0]的数据输入输出方向
GCLKT_[x]	I	全局时钟输入管脚, T(True), [x]: 全局时钟序号
GCLKC_[x]	I	全局时钟输入管脚, C(Comp), [x]: 全局时钟序号
LPLL_T_fb/RPLL_T_fb	I	左边/右边 PLL 反馈输入管脚, T(True)
LPLL_C_fb/RPLL_C_fb	I	左边/右边 PLL 反馈输入管脚, C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边 PLL 时钟输入管脚, T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边 PLL 时钟输入管脚, C(Comp)
专用管脚		
MODE2	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口
MODE1	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口
MODE0	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口
EXTR	NA	外接 10K 1%电阻到地
其它管脚		
NC	NA	预留未使用
VSS	NA	Ground 管脚
VCC	NA	核电压供电管脚
VCCO#	NA	I/O BANK#的 I/O 电压供电管脚
VCCX	NA	辅助电压供电管脚
VCCPLLL0/1	NA	LQFP 封装: 左边 PLL0/1 电压供电管脚, LQFP 单独封装出来
VCCPLLR0/1	NA	LQFP 封装: 右边 PLL0/1 电压供电管脚, LQFP 单独封装出来
VCCPLLL	NA	PBGA 封装: 左边 PLL0/1 电压供电管脚简称
VCCPLLR	NA	PBGA 封装: 右边 PLL0/1 电压供电管脚简称

2.6 I/O BANK 说明

GW2A 系列 FPGA 产品分为八个 I/O BANK 区，图 2-1 为 GW2A 系列 FPGA 产品的 I/O BANK 整体示意图。

图 2-1 GW2A 系列 FPGA 产品 I/O BANK 整体示意图



封装与管脚手册列举了 GW2A 系列 FPGA 产品每种封装的管脚分布示意图。GW2A 系列 FPGA 产品的八个 BANK 用八种颜色区分。

用户 I/O、电源、地使用不同的符号和颜色来区分。GW2A 系列 FPGA 产品管脚示意图中管脚定义如下所示：

- “” 表示 BANK0 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK1 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK2 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK3 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK4 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK5 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK6 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 BANK7 中的 I/O，填充颜色随 BANK 变化。
- “” 表示 VCC、VCCX、VCCO，填充颜色不变。
- “” 表示 VSS，填充颜色不变。
- “” 表示 NC。
- “” 表示专用管脚 EXTR。

3 管脚分布示意图

3.1 GW2A-18 器件管脚分布示意图

3.1.1 QN88 管脚分布示意图

图 3-1 GW2A-18 器件 QN88 封装管脚分布示意图

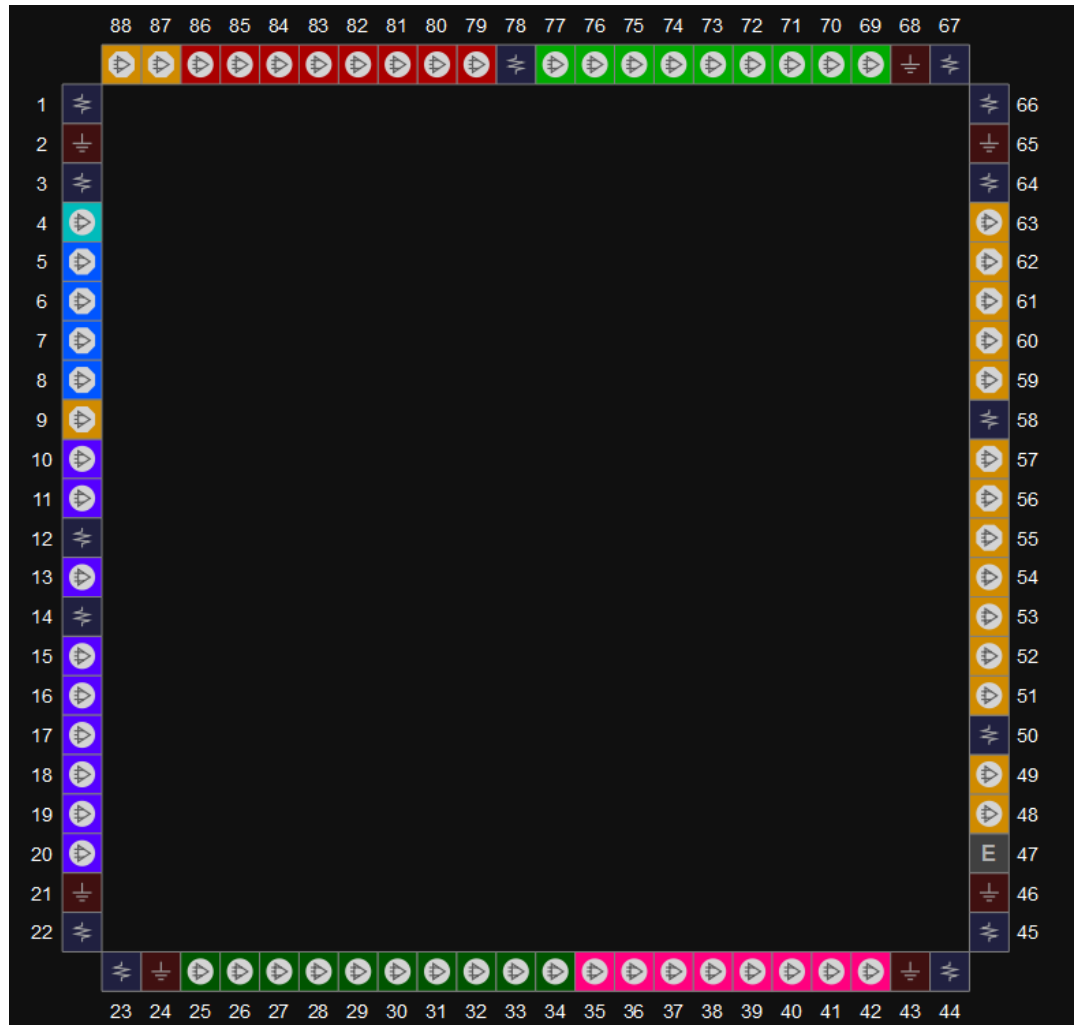


表 3-1 GW2A-18 器件 QN88 其它管脚

VCC	1, 22, 45, 66
VCCX/ VCCO2/ VCCO6	12, 64
VCCO0	78
VCCO1	67
VCCO3	58
VCCO4	44
VCCO5	23
VCCO7	3
VCCPLL1	14
VCCPLLR1	50
VSS	2, 21, 24, 43, 46, 65, 68
EXTR	47
MODE	87, 88

3.1.2 LQ144 管脚分布示意图

图 3-2 GW2A-18 器件 LQ144 封装管脚分布示意图



表 3-2 GW2A-18 器件 LQ144 其它管脚

VCC/VCCPLLL1	1, 36, 73, 108
VCCX/ VCCO2/ VCCO6	31, 103
VCCO0	127
VCCO1	109
VCCO3	77, 91
VCCO4	55
VCCO5	37
VCCO7	5,19
VCCPLLL0	8
VCCPLLR0	104
VCCPLLR1	81
VSS	2, 17, 35, 53, 74, 89, 107
EXTR	75
MODE	142, 143, 144

3.1.3 EQ144 管脚分布示意图

图 3-3 GW2A-18 器件 EQ144 封装管脚分布示意图

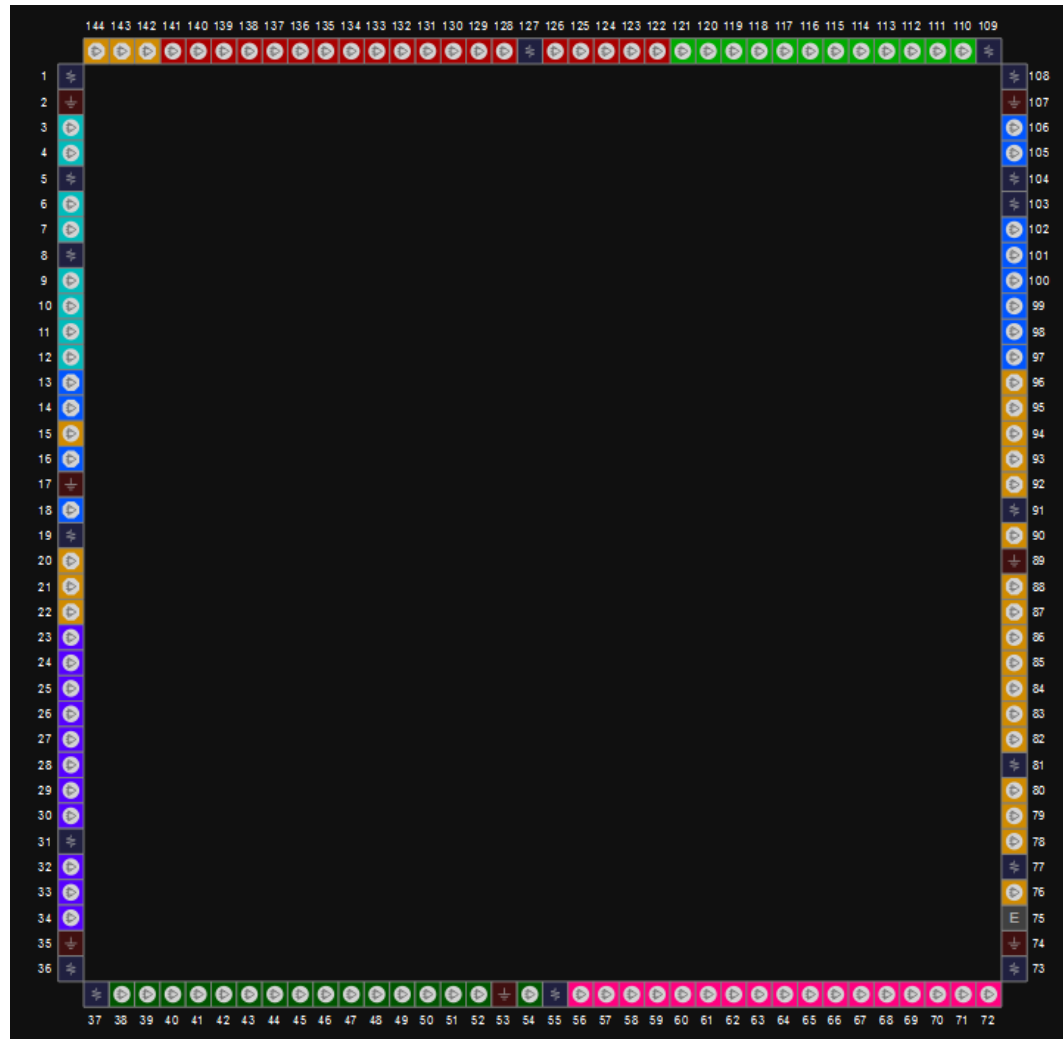


表 3-3 GW2A-18 器件 EQ144 其它管脚

VCC/VCCPLLL1	1, 36, 73, 108
VCCX/ VCCO2/ VCCO6	31, 103
VCCO0	127
VCCO1	109
VCCO3	77, 91
VCCO4	55
VCCO5	37
VCCO7	5,19
VCCPLLL0	8
VCCPLLR0	104
VCCPLLR1	81
VSS	2, 17, 35, 53, 74, 89, 107
EXTR	75
MODE	142, 143, 144

3.1.4 MG196 管脚分布示意图

图 3-4 GW2A-18 器件 MG196 封装管脚分布示意图



表 3-4 GW2A-18 器件 MG196 其它管脚

VCC/VCCPLLL0/VCCPLL L1/VCCPLLR0/VCCPLLR 1	E10, E5, E6, E9, F10, F5, F6, F9, J5, J6, J9, K10, K5, K6, K9
VCC00	C10, C4
VCC01	C5, C9
VCC02	D12, E12, G11
VCC03	G12, K11, K12
VCC04	M10, M5
VCC05	M6, M9
VCC06	E3, E4, G3
VCC07	H3, K3, K4
VCCX	D7, E7, G10, G9, H5, H6, K7, L7
VSS	A1, A14, C2, C3, C6, C7, D10, D5, D6, D9, E11, E8, F7, F8, G4, G5, G6, G7, G8, H10, H4, H7, H8, H9, J10, J7, J8, K8, L10, L11, L3, L5, L6, L9, M11, M3, M7, P1,

	P14
MODE	N9, P13

3.1.5 PG256 管脚分布示意图

图 3-5 GW2A-18 器件 PG256 封装管脚分布示意图



表 3-5 GW2A-18 器件 PG256 其它管脚(电源、MODE、地与 GW1N 兼容)

VCC	A1, A16, G7, K10, T1, T16
VCC00	E13, H10
VCC01	J10, M13
VCC02	N12
VCC03	K8, N5
VCC04	M4, J7
VCC05	E4, H7
VCC06	D5
VCC07	D12, G9
VCCX	G8, K9
VCCPLLL	G10
VCCPLLR	K7
VSS	B2, B15, C3, C14, D4, D13, E5, E12, F6, F11, H8, H9, J8, J9, L6, L11, M5, M12, N4, N13, P3, P14, R2, R15

EXTR	L7
MODE	B16, C15, M16

3.1.6 PG256S 管脚分布示意图

图 3-6 GW2A-18 器件 PG256S 封装管脚分布示意图



表 3-6 GW2A-18 器件 PG256S 其它管脚

VCC	G7, G9, H8, H9, K10, K8
VCCO0	B4, B9, D7
VCCO1	B13, D10
VCCO2	D15, G13, J15
VCCO3	K13, N15, R13
VCCO4/ VCCO5	N10, N7, R4, R8
VCCO6	J2, K4, N2
VCCO7	D2, G4
VCCX	E5, F11, F8, G10, H6, J10, L6, L9
VCCPLLL	J7
VCCPLLR	H10
VSS	A1, A16, B11, B7, D13, D4, E9, G15, G2, G8, H12, H7, H9, J5, J8, K7, K9, L15, L2, M8, N13, P3, R10, R6, T1, T16
EXTR	P14
MODE	T11, N11
JTAGSEL_N	D12

3.1.7 PG256C 管脚分布示意图

图 3-7 GW2A-18 器件 PG256C 封装管脚分布示意图



表 3-7 GW2A-18 器件 PG256C 其它管脚

VCC	D13, G10, G6, G7, G8, G9, H11, H6, K7, N4
VCCO0	A1, C4, C7
VCCO1	A16, C10, C13
VCCO2	E14, G14
VCCO3	K14, M14
VCCO4	P10, P13, T16
VCCO5	P4, P7, T1
VCCO6	K3, M3
VCCX /VCCO7	E3, G3
VCCPLLL	L5
VCCPLLR	F12
VSS	B15, B2, C12, C5, D10, D7, E12, E13, E2, E4, G13, G4, H10, H15, H16, H7, H8, H9, J10, J7, J8, J9, K13, K4, M13, M4, M5, N10, N7, P12, P5, R15, R2
MODE	H13, H12, G12

JTAGSEL_N	C11
-----------	-----

3.1.8 UG324 管脚分布示意图

图 3-8 GW2A-18 器件 UG324 封装管脚分布示意图



表 3-8 GW2A-18 器件 UG324 其它管脚

VCC	G7,H11,H9 J10,J8,K11,K9,L10,L8,M12,M7
VCCO0	E17,G15,J14
VCCO1	J17,M15,R17
VCCO2	P9,R12,U14
VCCO3	R6,U4,U9
VCCO4	J5,M4,R2
VCCO5	E2,G4,J2
VCCO6	B10,B5,D7
VCCO7	B15,D13,E10
VSS	A1,A18,B13,B7,C16,C3,D10,D5,E15,G12,G17,G2,G5,H10,H8,J11,J1,J4,J9,K10,K8,L11,L9,M17,M2,M6,N13,R1,R14,R18,R4,R9,T16,U12,U6,V1

MODE	T15,N12
JTAGSEL_N	R16

3.1.9 PG484 管脚分布示意图

图 3-9 GW2A-18 器件 PG484 封装管脚分布示意图

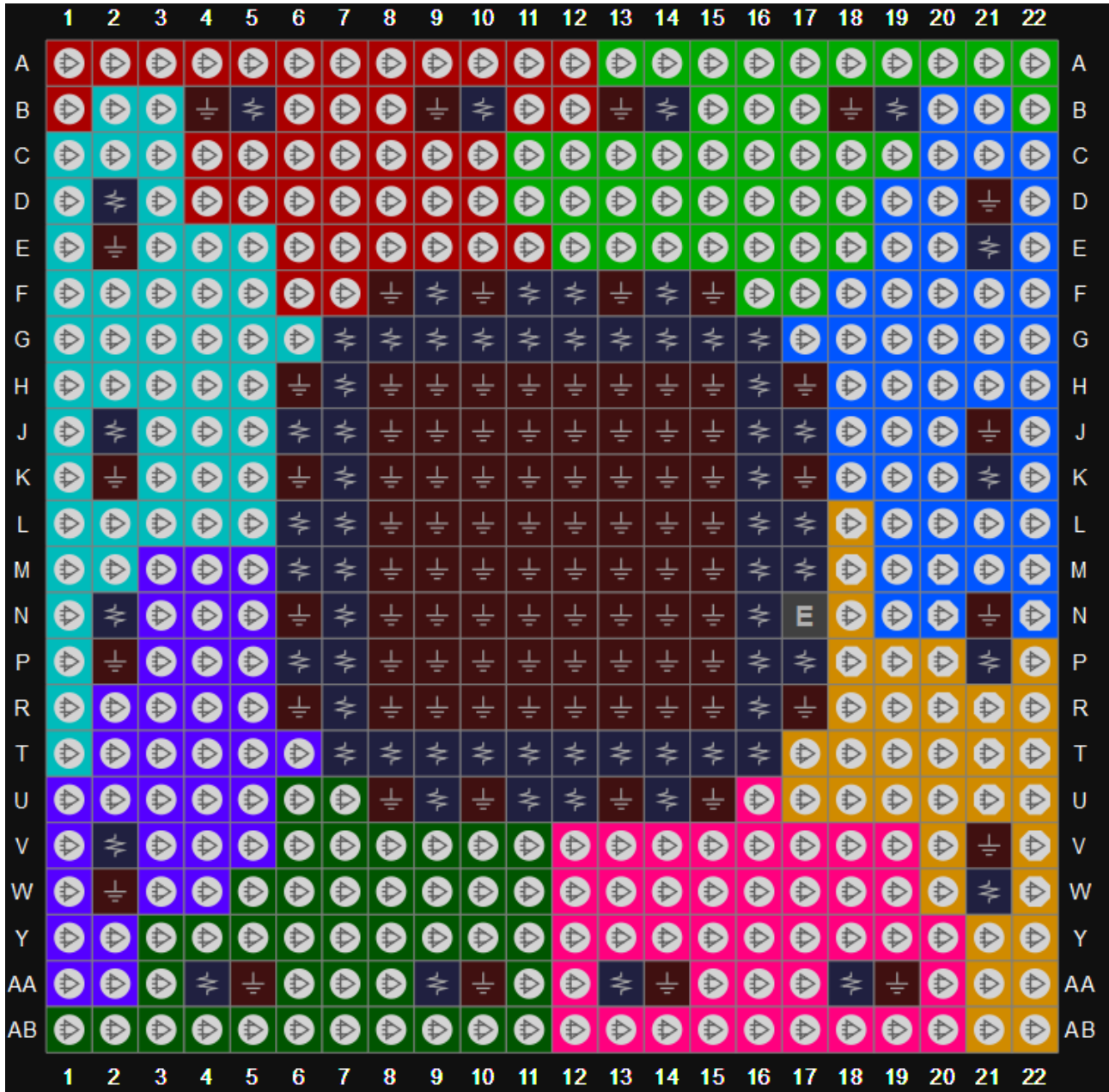


表 3-9 GW2A-18 器件 PG484 其它管脚

VCC	G10, G11, G12, G13, G14, G15, G16, G7, G8, G9, H16, H7, J16, J7, L16, L7, M16, M7, P16, P7, R16, R7, T10, T11, T12, T13, T14, T15, T16, T7, T8, T9
VCCO0	B5, B10, F11
VCCO1	B14, B19, F12
VCCO2	E21, K21, L17
VCCO3	M17, P21, W21
VCCO4	AA13, AA18, U12

VCCO5	U11, AA4, AA9
VCCO6	M6, N2, V2
VCCO7	D2, J2, L6
VCCX	F14, F9, J6, J17, P6, P17, U9, U14
VCCPLL	N7, K7
VCCPLL	N16, K16
VSS	AA10, AA14, AA19, AA5, B13, B18, B4, B9, D21, E2, F10, F13, F15, F8, H10, H11, H12, H13, H14, H15, H17, H6, H8, H9, J10, J11, J12, J13, J14, J15, J21, J8, J9, K10, K11, K12, K13, K14, K15, K17, K2, K6, K8, K9, L10, L11, L12, L13, L14, L15, L8, L9, M10, M11, M12, M13, M14, M15, M8, M9, N10, N11, N12, N13, N14, N15, N21, N6, N8, N9, P10, P11, P12, P13, P14, P15, P2, P8, P9, R10, R11, R12, R13, R14, R15, R17, R6, R8, R9, U10, U13, U15, U8, V21, W2
EXTR	N17
MODE	U22, U21, T22
JTAGSEL_N	E18

3.1.10 PG256E 管脚分布示意图

图 3-10 GW2A-18 器件 PG256E 封装管脚分布示意图



表 3-10 GW2A-18 器件 PG256E 其它管脚

VCC	F5,G10,G8,H7,J10,K7,K9,L8,L9,M10,M7
VCCO0	E7,F7
VCCO1	E10,F9
VCCO2	G12,H11
VCCO3	F12,N7,N8
VCCO4	J11,M13
VCCO5	N10,N11,N12,N5,N6,N9
VCCO6	J6,M4
VCCO7	G5,H6
VCCX	F8,H12,H5,K12,K5,L10
VSS	A1,A16,B12,B4,B8,D15,E2,F10,F11,F6,G7,G9,H10,H15,H8,H9.J12,J2,J5,J7,J8,J9,K10,K8,L12,L6,L7,M11,M12,M15,M5,M6,N13,N2,N4,P13,

	P4,R10,R11,R12,R13,R4,R5,R6,R7,R8,R9,T1,T13,T16,T4
EXTR	L11

3.2 GW2A-55 器件管脚分布示意图

3.2.1 UG324 管脚分布示意图

图 3-11 GW2A-55 器件 UG324 封装管脚分布示意图



表 3-11 GW2A-55 器件 UG324 其它管脚

VCC	G7,H11,H9,J10,J8,K11,K9,L10,L8,M12,M7
VCC00	E17,J14,G15
VCC01	J17,M15,R17
VCC02	P9,R12,U14
VCC03	R6,U4,U9
VCC04	J5,M4,R2
VCC05	E2,G4,J2
VCC06	B10,B5,D7
VCC07	B15,D13,E10
VCCX	B1,B17,E14,E5,E9,G10,J12,K7,M9,P10,P14,P5
VSS	A1,A18,B13,B7,C16,C3,D10,D5,E15,G12,G17,G2,G5,H10,H8,J11,J15

	,J4,J9,K10,K8,L11,L9,M17,M2,M6,N13,R1,R14,R18,R4,R9,T16,U12,U6,V1,V18
MODE	T15,N12

3.2.2 UG324D 管脚分布示意图

图 3-12 GW2A-55 器件 UG324D 封装管脚分布示意图



表 3-12 GW2A-55 器件 UG324D 其它管脚

VCC	M7,M12,L8,L10,K9,K11,J8,J10,H9,H11,G7
VCC00	J14,G15,E17
VCC01	J17,M15,R17
VCC02	P9,R12,U14
VCC03	R6,U4,U9
VCC04	J5,M4,R2
VCC05	E2,G4,J2
VCC06	B10,B5,D7
VCC07	B15,D13,E10
VCCX	B1,B17,E14,E5,E9,G10,J12,K7,M9,P10,P14,P5
VSS	A1,A18,B13,B7,C16,C3,D10,D5,E15,G12,G17,G2,G5,H10,H8,J11,J15,J4,J9,K10,K8,L11,L9,M17,M2,M6,N13,R1,R14,R18,R4,R9,T16,U12,U

	6,V1,V18
MODE	T15,N12

3.2.3 PG484 管脚分布示意图

图 3-13 GW2A-55 器件 PG484 封装管脚分布示意图

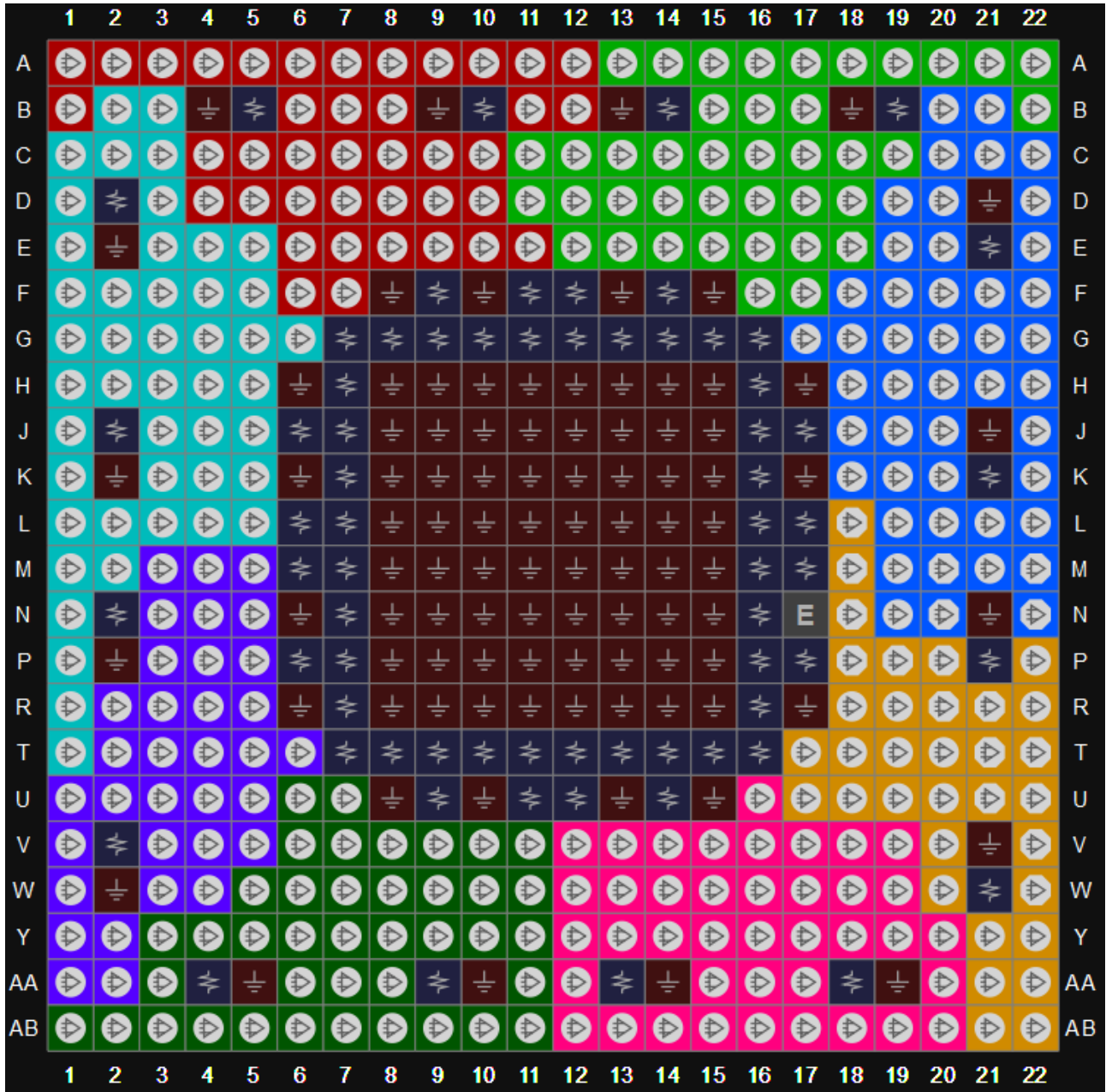


表 3-13 GW2A-55 器件 PG484 其它管脚

VCC	J7, M16, T7, L7, L16, H7, G9, T13, T14, G10, M7, G11, G12, G14, G13, G15, P16, P7, H16, G7, G16, G8, R16, J16, T12, T11, R7, T15, T9, T8, T10, T16
VCCO0	B5, B10, F11
VCCO1	B14, B19, F12
VCCO2	E21, K21, L17
VCCO3	M17, P21, W21
VCCO4	AA13, AA18, U12
VCCO5	U11, AA4, AA9

VCCO6	M6, N2, V2
VCCO7	D2, J2, L6
VCCX	F14, F9, J6, J17, P6, P17, U9, U14
VCCPLLL	N7, K7
VCCPLLR	N16, K16
VSS	AA10, AA14, AA19, AA5, B13, B18, B4, B9, D21, E2, F10, F13, F15, F8, H10, H11, H12, H13, H14, H15, H17, H6, H8, H9, J10, J11, J12, J13, J14, J15, J21, J8, J9, K10, K11, K12, K13, K14, K15, K17, K2, K6, K8, K9, L10, L11, L12, L13, L14, L15, L8, L9, M10, M11, M12, M13, M14, M15, M8, M9, N10, N11, N12, N13, N14, N15, N21, N6, N8, N9, P10, P11, P12, P13, P14, P15, P2, P8, P9, R10, R11, R12, R13, R14, R15, R17, R6, R8, R9, U10, U13, U15, U8, V21, W2
EXTR	N17
MODE	U22,U21,T22
JTAGSEL_N	E18

3.2.4 PG1156 管脚分布示意图

图 3-14 GW 2A-55 器件 PG1156 封装管脚分布示意图

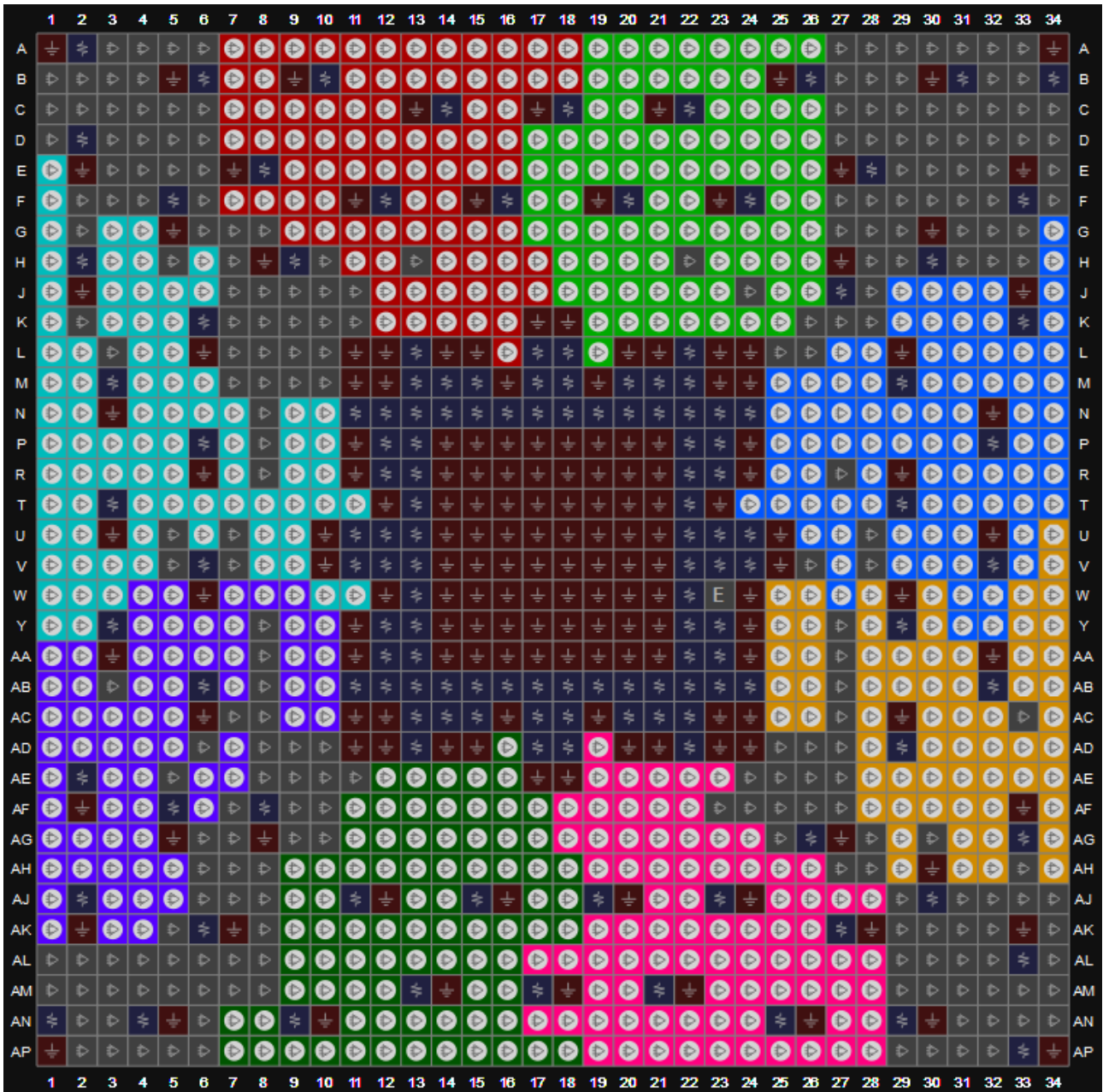


表 3-14 GW2A-55 器件 PG1156 其它管脚

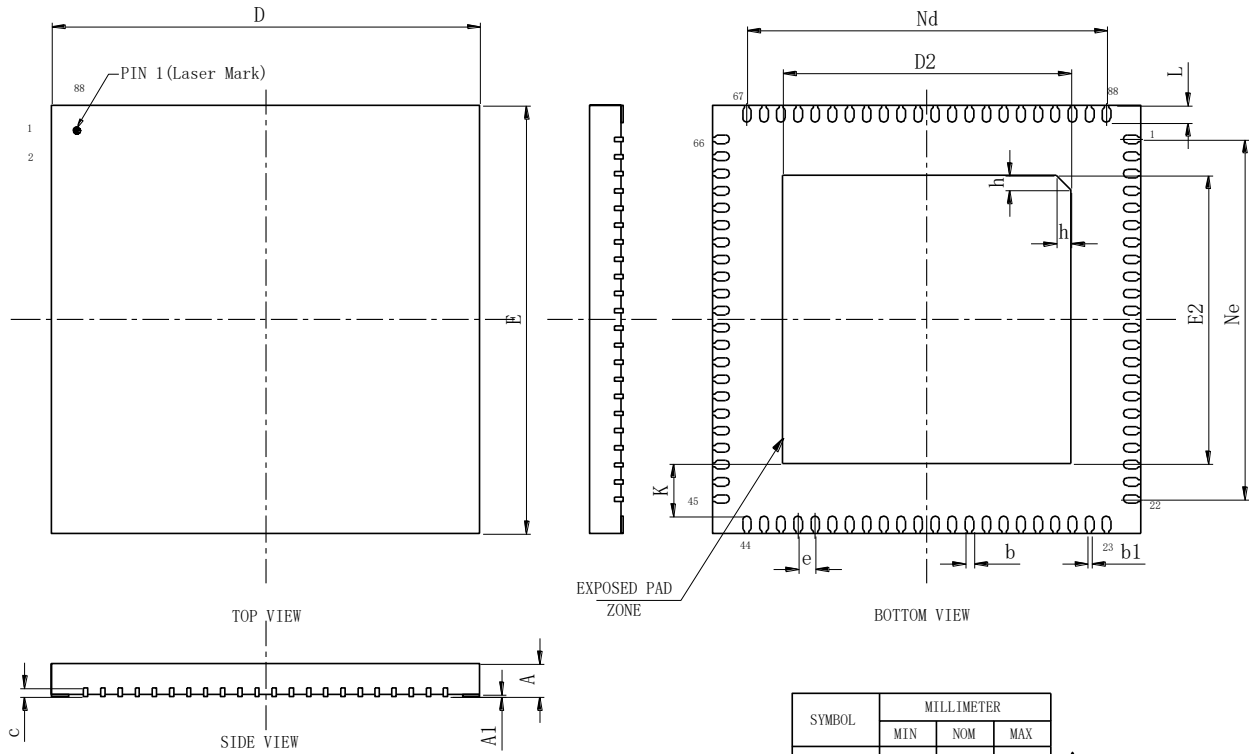
VCC	AA13, AA22, AB13, AB14, AB15, AB16, AB17, AB18, AB19, AB20, AB21, AB22, N13, N14, N15, N16, N17, N18, N19, N20, N21, N22, P13, P22, R13, R22, U13, U22, V13, V22, Y13, Y22
VCCO0	A2, B10, B6, C14, E8, F12, F16, H9, L13, L17, M13, M17
VCCO1	B26, B31, C18, C22, E28, F20, F24, L18, L22, M18, M22
VCCO2	B34, F33, H30, J27, K33, M29, N23, N24, P32, T29, U23, U24
VCCO3	AB23, AB24, AB32, AD29, AG33, AJ30, AL33, V23, V24, V32, Y29
VCCO4	AC18, AC22, AD18, AD22, AG26, AJ19, AJ23, AK27, AM21, AN25, AN29, AP33
VCCO5	AC13, AC17, AD13, AD17, AJ11, AJ15, AK6, AM13, AM17, AN4, AN9

VCCO6	AB11, AB12, AB6, AE2, AF5, AF8, AJ2, AN1, V11, V12, V6, Y3
VCCO7	D2, F5, H2, K6, M3, N11, N12, P6, T3, U11, U12
VCCX	AA12, AA23, AC14, AC15, AC20, AC21, M14, M15, M20, M21, P12, P23, R12, R23, Y12, Y23
VCCPLLL	T13, W13
VCCPLLR	T22, W22
VSS	A1, A34, AA11, AA14, AA15, AA16, AA17, AA18, AA19, AA20, AA21, AA24, AA3, AA32, AC11, AC12, AC16, AC19, AC23, AC24, AC29, AC6, AD11, AD12, AD14, AD15, AD20, AD21, AD23, AD24, AE17, AE18, AF2, AF33, AG27, AG5, AG8, AH30, AJ12, AJ16, AJ20, AJ24, AK2, AK28, AK33, AK7, AM14, AM18, AM22, AN10, AN26, AN30, AN5, AP1, AP34, B25, B30, B5, B9, C13, C17, C21, E2, E27, E33, E7, F11, F15, F19, F23, G30, G5, H27, H8, J2, J33, K17, K18, L11, L12, L14, L15, L20, L21, L23, L24, L29, L6, M11, M12, M16, M19, M23, M24, N3, N32, P11, P14, P15, P16, P17, P18, P19, P20, P21, P24, R11, R14, R15, R16, R17, R18, R19, R20, R21, R24, R29, R6, T12, T14, T15, T16, T17, T18, T19, T20, T21, T23, U10, U14, U15, U16, U17, U18, U19, U20, U21, U25, U3, U32, V10, V14, V15, V16, V17, V18, V19, V20, V21, V25, W12, W14, W15, W16, W17, W18, W19, W20, W21, W24, W29, W6, Y11, Y14, Y15, Y16, Y17, Y18, Y19, Y20, Y21, Y24
EXTR	W23
MODE	W28, V34, U34
JTAGSEL_N	G26
NC	A27, A28, A29, A3, A30, A31, A32, A33, A4, A5, A6, AA27, AA8, AB27, AB3, AB8, AC27, AC33, AC7, AC8, AD10, AD25, AD26, AD27, AD6, AD8, AD9, AE10, AE11, AE24, AE25, AE26, AE27, AE5, AE8, AE9, AF10, AF23, AF24, AF25, AF26, AF27, AF7, AF9, AG10, AG25, AG28, AG30, AG6, AG7, AG9, AH27, AH28, AH33, AH6, AH7, AH8, AJ29, AJ31, AJ32, AJ33, AJ34, AJ6, AJ7, AJ8, AK29, AK30, AK31, AK32, AK34, AK5, AK8, AL1, AL2, AL29, AL3, AL30, AL31, AL32, AL34, AL4, AL5, AL6, AL7, AL8, AM1, AM2, AM29, AM3, AM30, AM31, AM32, AM33, AM34, AM4, AM5, AM6, AM7, AM8, AN2, AN3, AN31, AN32, AN33, AN34, AN6, AP2, AP29, AP3, AP30, AP31, AP32, AP4, AP5, AP6, B1, B2, B27, B28, B29, B3, B32, B33, B4, C1, C2, C27, C28, C29, C3, C30, C31, C32, C33, C34, C4, C5, C6, D1, D27, D28, D29, D3, D30, D31, D32, D33, D34, D4, D5, D6, E29, E3, E30, E31, E32, E34, E4, E5, E6, F2, F27, F28, F29, F3, F30, F31, F32, F34, F4, F6, G2, G27, G28, G29, G31, G32, G33, G6, G7, G8, H10, H13, H22, H28, H29, H31, H32, H33, H5, H7, J10, J11, J24, J28, J7, J8, J9, K10, K11, K2, K26, K27, K28, K7, K8, K9, L10, L25, L26, L3, L7, L8, L9, M10, M7, M8, M9, N8, P8, R27, R8, U28, U5, U7, V26, V28, V5, V7, Y27, Y8

4 封装尺寸

4.1 封装尺寸 QN88 (mm x mm)

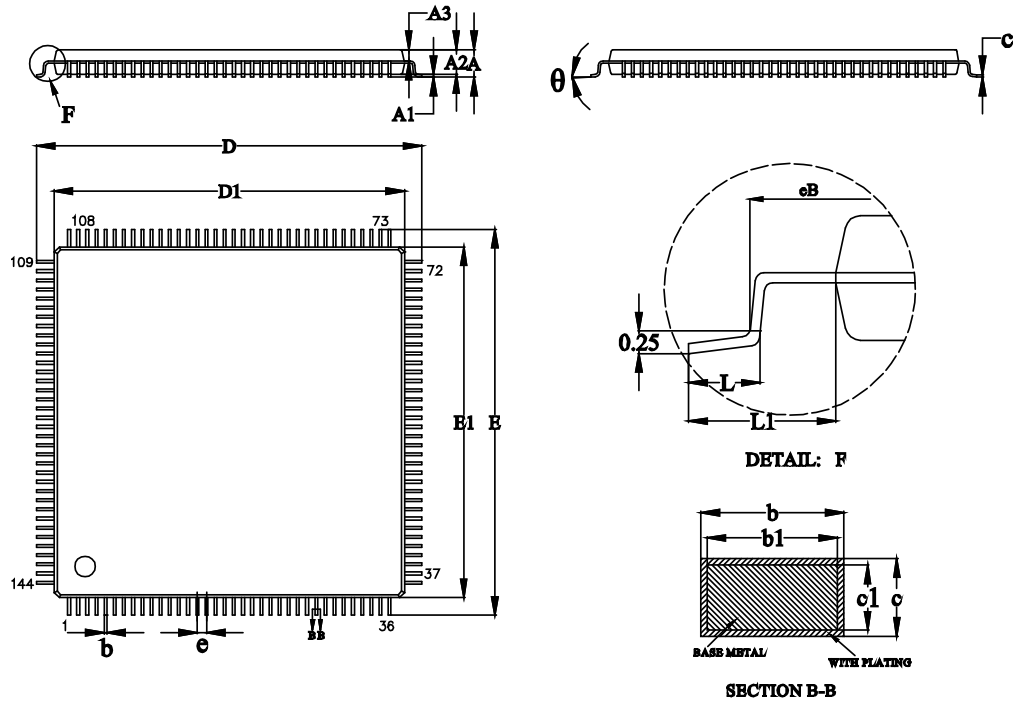
图 4-1 封装尺寸 QN88



SYMBOL	MILLIMETER			
	MIN	NOM	MAX	
A	0.70	0.75	0.80	△
	0.80	0.85	0.90	
	0.85	0.90	0.95	△
A1	0	0.02	0.05	
b	0.15	0.20	0.25	
b1	0.10REF			△
c	0.18	0.20	0.25	
D	9.90	10.00	10.10	
D2	6.64	6.74	6.84	
e	0.40BSC			
Nd	8.40REF			
E	9.90	10.00	10.10	
E2	6.64	6.74	6.84	
Ne	8.40REF			
L	0.30	0.40	0.50	
K	0.20	-	-	
h	0.30	0.35	0.40	
L/P载体尺寸 (mil)	300x300			

4.2 封装尺寸 LQ144 (20mm x 20mm)

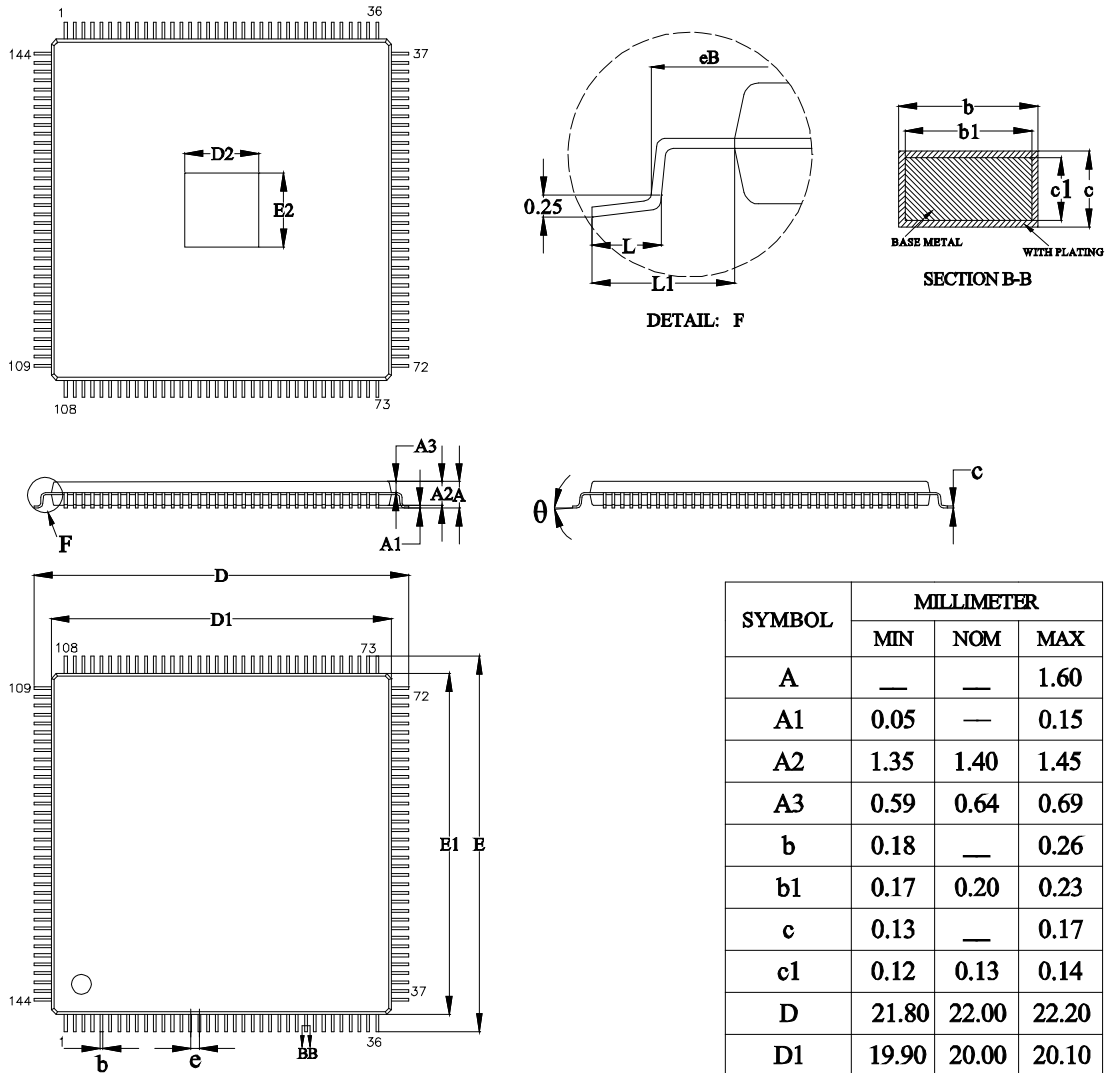
图 4-2 封装尺寸 LQ144



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	21.80	22.00	22.20
D1	19.90	20.00	20.10
E	21.80	22.00	22.20
E1	19.90	20.00	20.10
e	0.50BSC		
L	0.45	—	0.75
L1	1.00REF		
θ	0	—	7°

4.3 封装尺寸 EQ144 (20mm x 20mm)

图 4-3 封装尺寸 EQ144

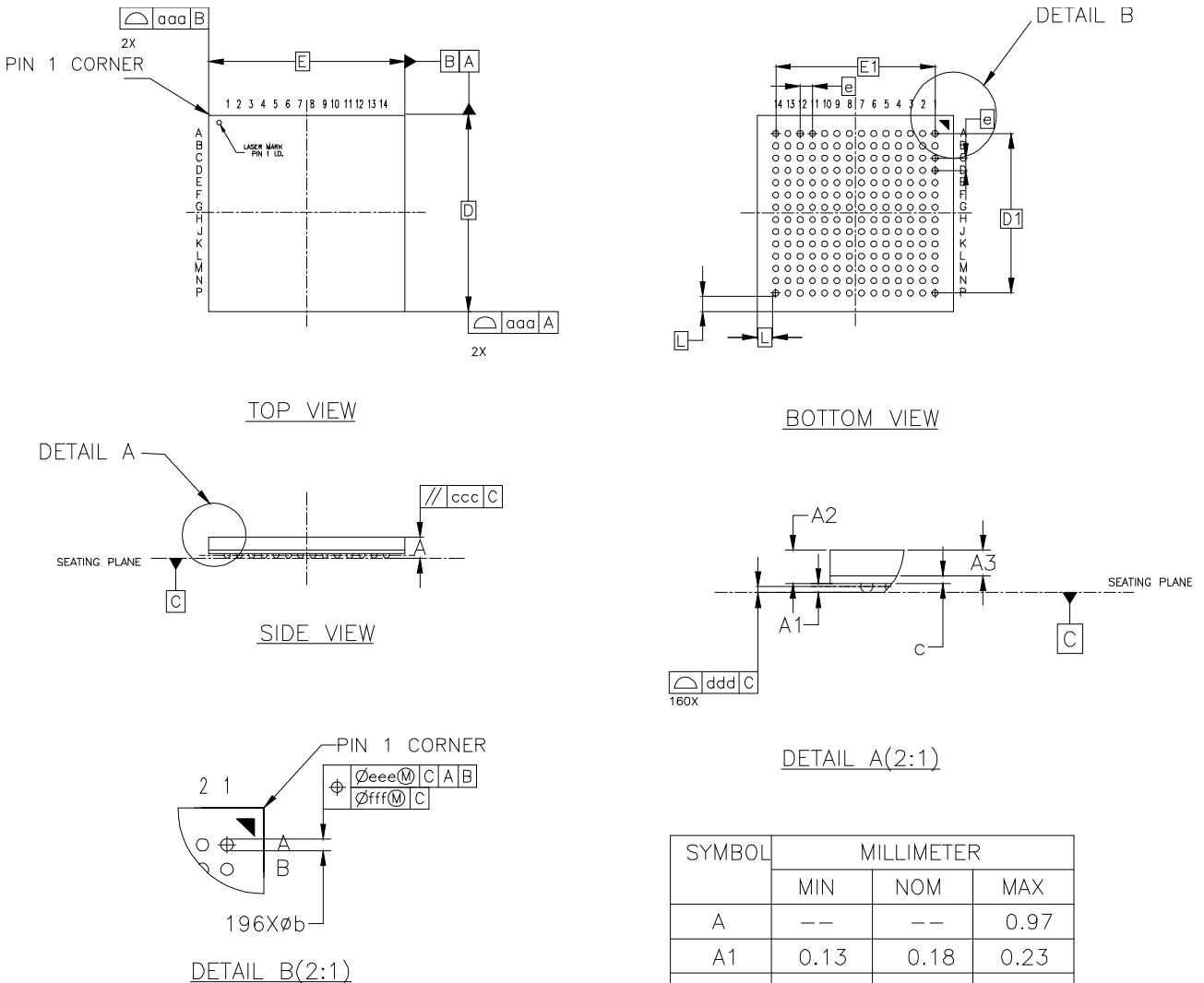


SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	21.80	22.00	22.20
D1	19.90	20.00	20.10
E	21.80	22.00	22.20
E1	19.90	20.00	20.10
e	0.50BSC		
eB	21.15	—	21.40
L	0.45	—	0.75
L1	1.00REF		
θ	0	—	7°

L/P Size (mil)	Size (mm)	D2	E2
383*383		9.74REF	9.74REF

4.4 封装尺寸 MG196 (8mm x 8mm)

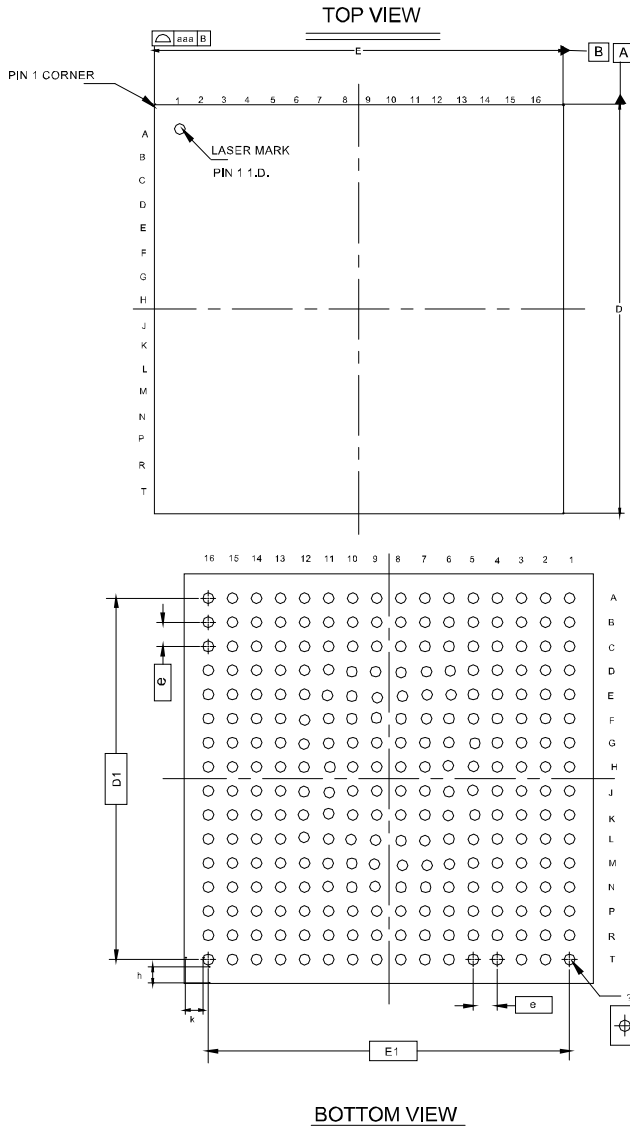
图 4-4 封装尺寸 MG196



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	---	---	0.97
A1	0.13	0.18	0.23
A2	0.64	0.69	0.74
A3	0.53 BASIC		
c	0.13	0.16	0.19
D	7.90	8.00	8.10
D1	6.50 BASIC		
E	7.90	8.00	8.10
E1	6.50 BASIC		
L	0.625 BASIC		
e	0.50 BASIC		
b	0.20	0.25	0.30
aaa	0.15		
ccc	0.15		
ddd	0.08		
eee	0.15		
fff	0.05		

4.5 封装尺寸 PG256 (17mm x 17mm)

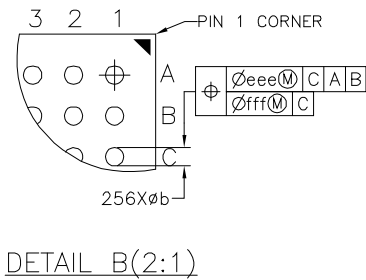
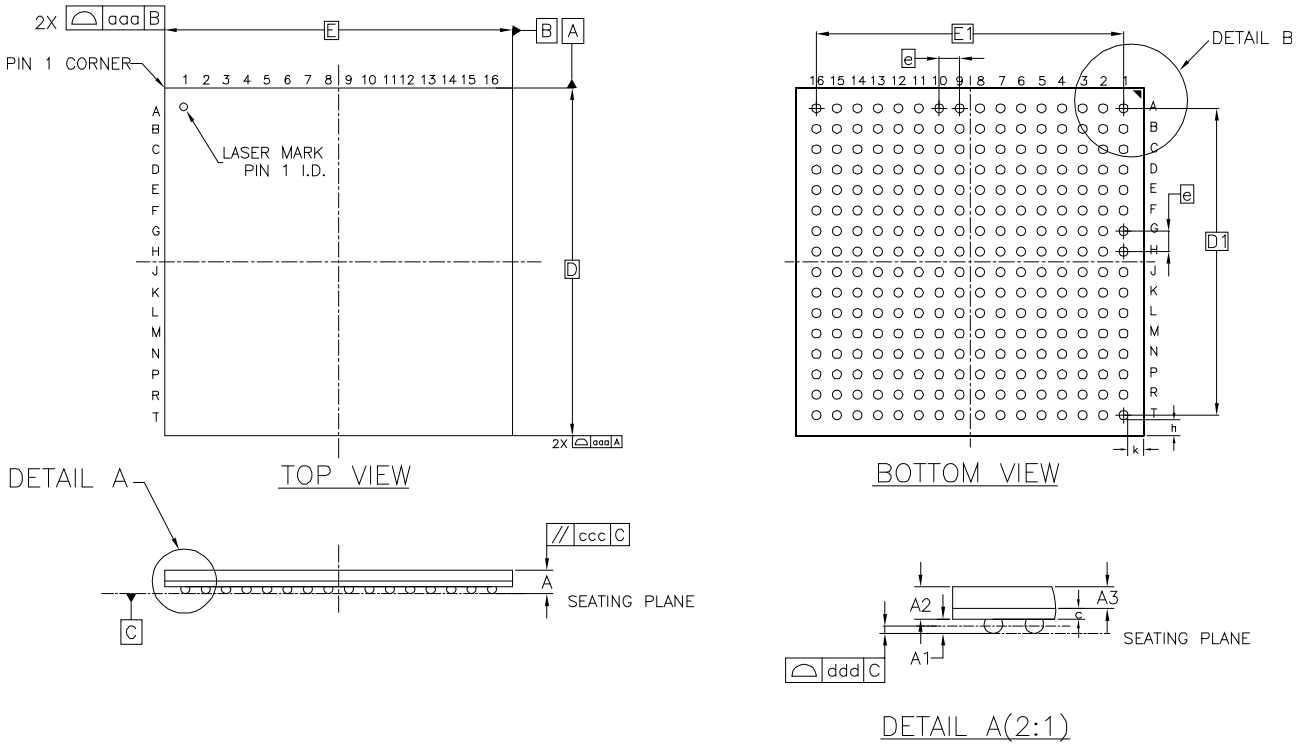
图 4-5 封装尺寸 PG256



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.22
A1	0.30	0.35	0.40
A2	0.74	0.79	0.84
c	0.22	0.26	0.30
A3	0.53 BASIC		
D	16.90	17.00	17.10
D1	15.00 BASIC		
E	1.22	1.22	1.22
E1	15.00 BASIC		
e	1.00 BASIC		
b	0.40	0.45	0.50
aaa	0.10		
ccc	0.20		
ddd	0.12		
eee	0.15		
fff	0.08		
h	0.775 REF		
k	0.775 REF		

4.6 封装尺寸 PG256C (17mm x 17mm)

图 4-6 封装尺寸 PG256C

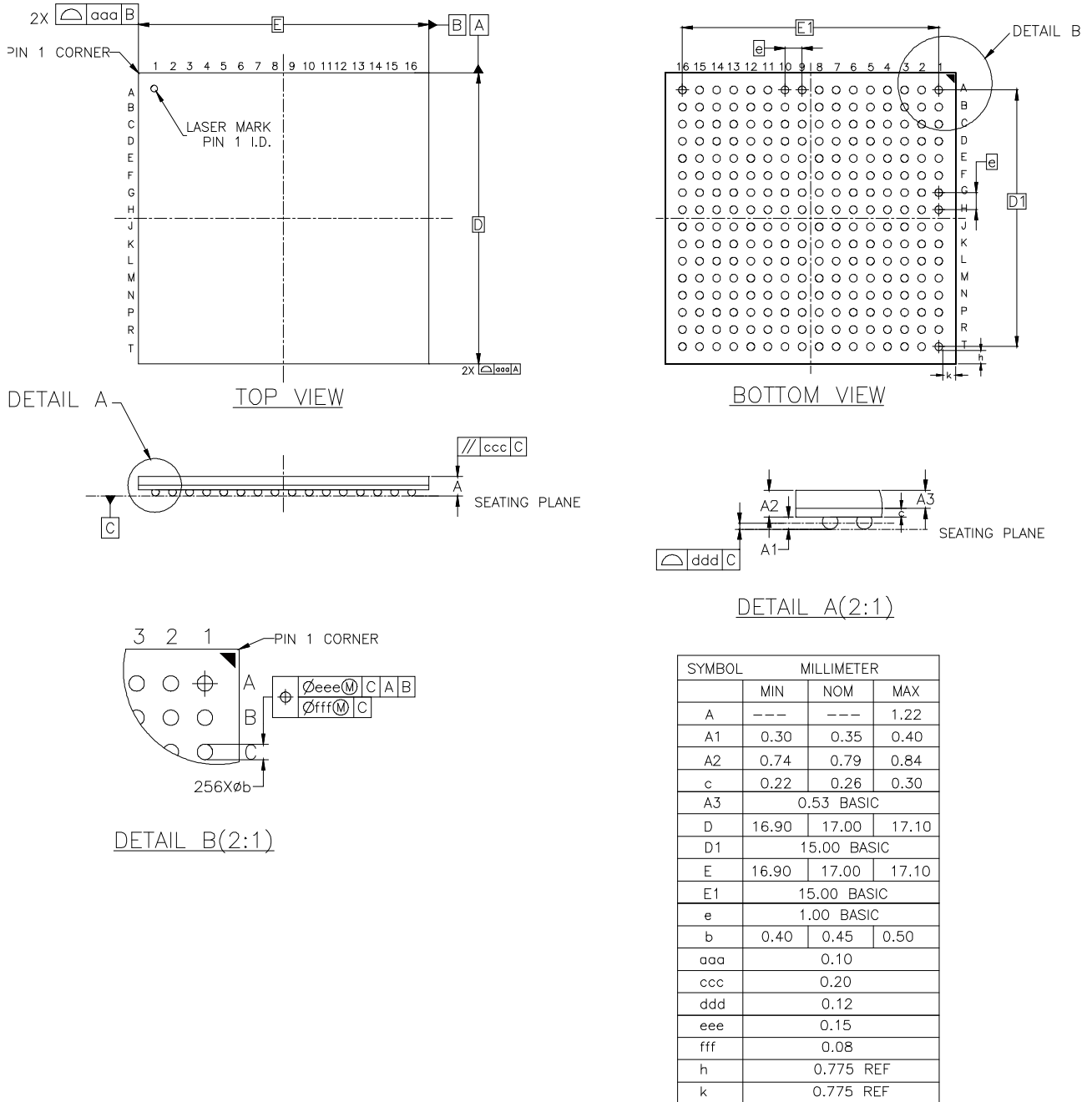


DETAIL A(2:1)

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	---	---	1.22
A1	0.30	0.35	0.40
A2	0.74	0.79	0.84
c	0.22	0.26	0.30
A3	0.53 BASIC		
D	16.90	17.00	17.10
D1	15.00 BASIC		
E	16.90	17.00	17.10
E1	15.00 BASIC		
e	1.00 BASIC		
b	0.40	0.45	0.50
aaa	0.10		
ccc	0.20		
ddd	0.12		
eee	0.15		
fff	0.08		
h	0.775 REF		
k	0.775 REF		

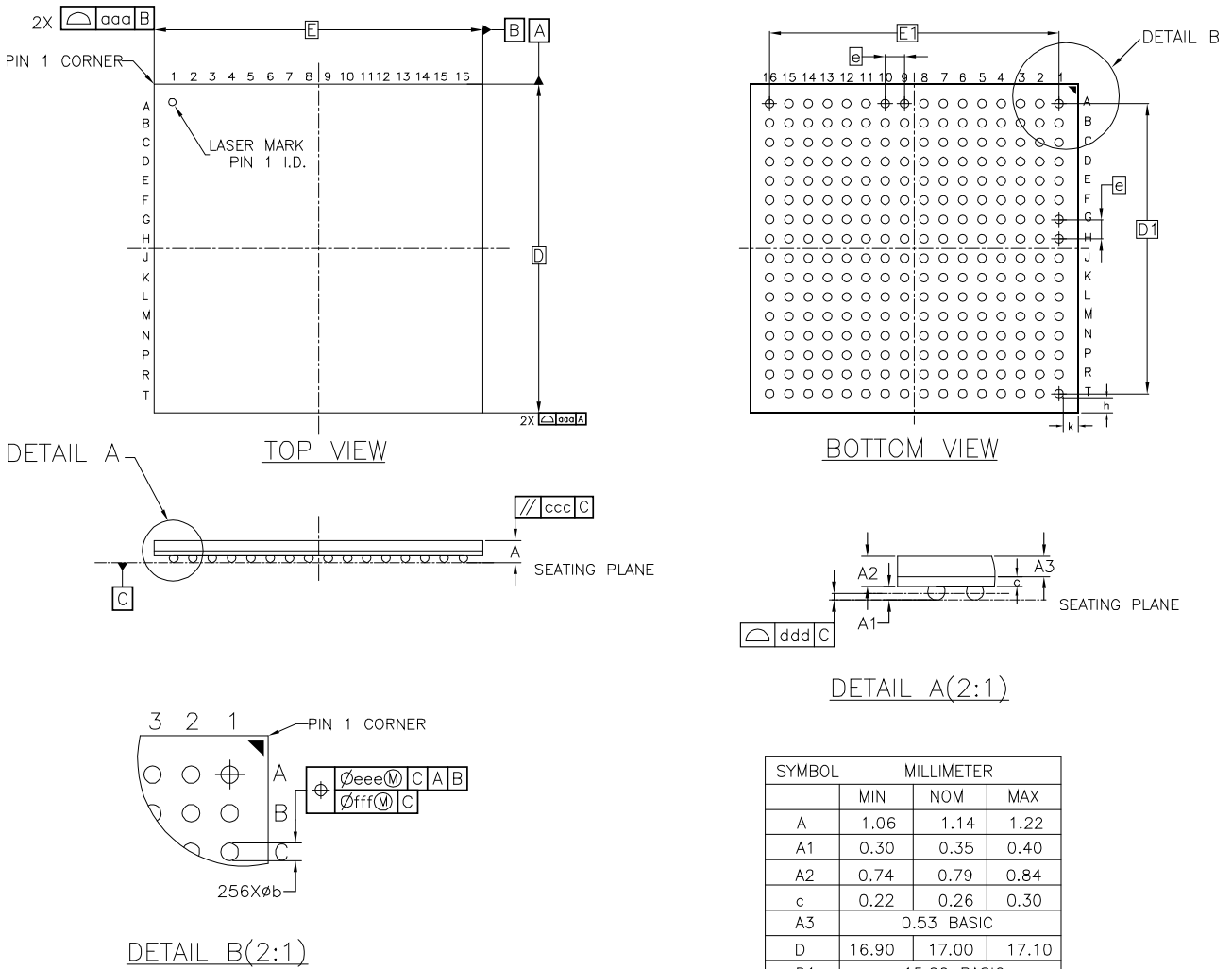
4.7 封装尺寸 PG256S (17mm x 17mm)

图 4-7 封装尺寸 PG256S



4.8 封装尺寸 PG256E (17mm x 17mm)

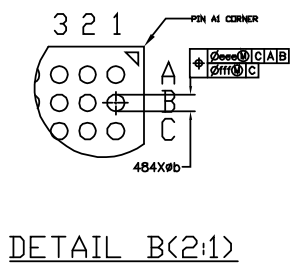
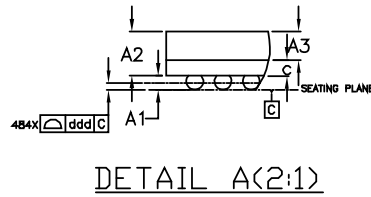
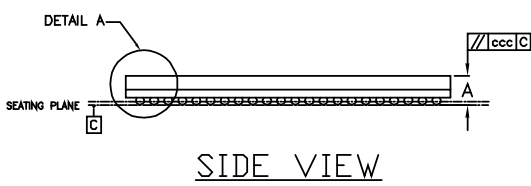
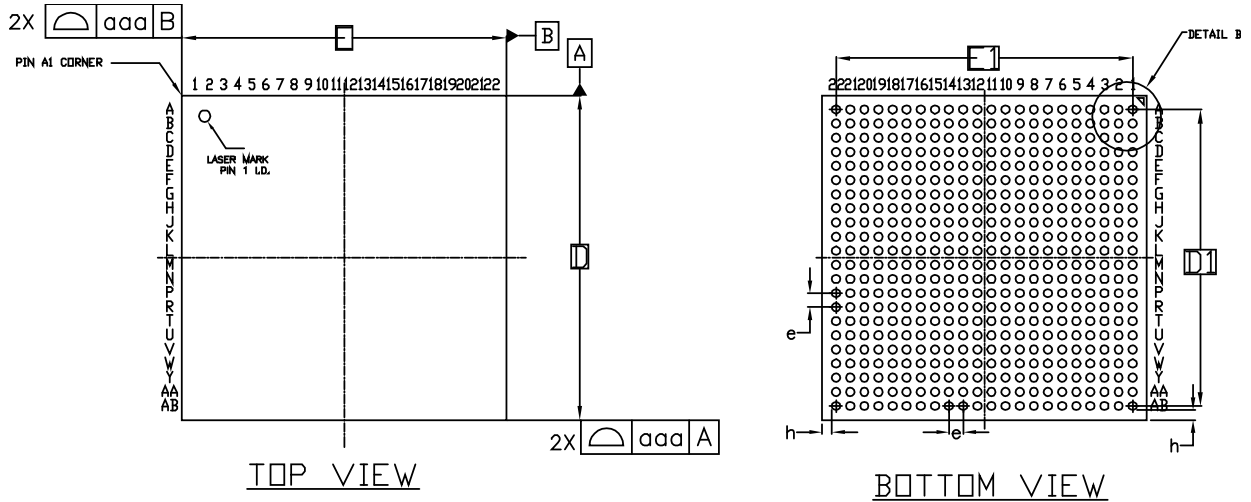
图 4-8 封装尺寸 PG256E



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	1.06	1.14	1.22
A1	0.30	0.35	0.40
A2	0.74	0.79	0.84
c	0.22	0.26	0.30
A3	0.53 BASIC		
D	16.90	17.00	17.10
D1	15.00 BASIC		
E	16.90	17.00	17.10
E1	15.00 BASIC		
e	1.00 BASIC		
b	0.40	0.45	0.50
aaa	0.10		
ccc	0.20		
ddd	0.12		
eee	0.15		
fff	0.08		
h	0.775 REF		
k	0.775 REF		

4.9 封装尺寸 PG484 (23mm x 23mm, GW2A-18)

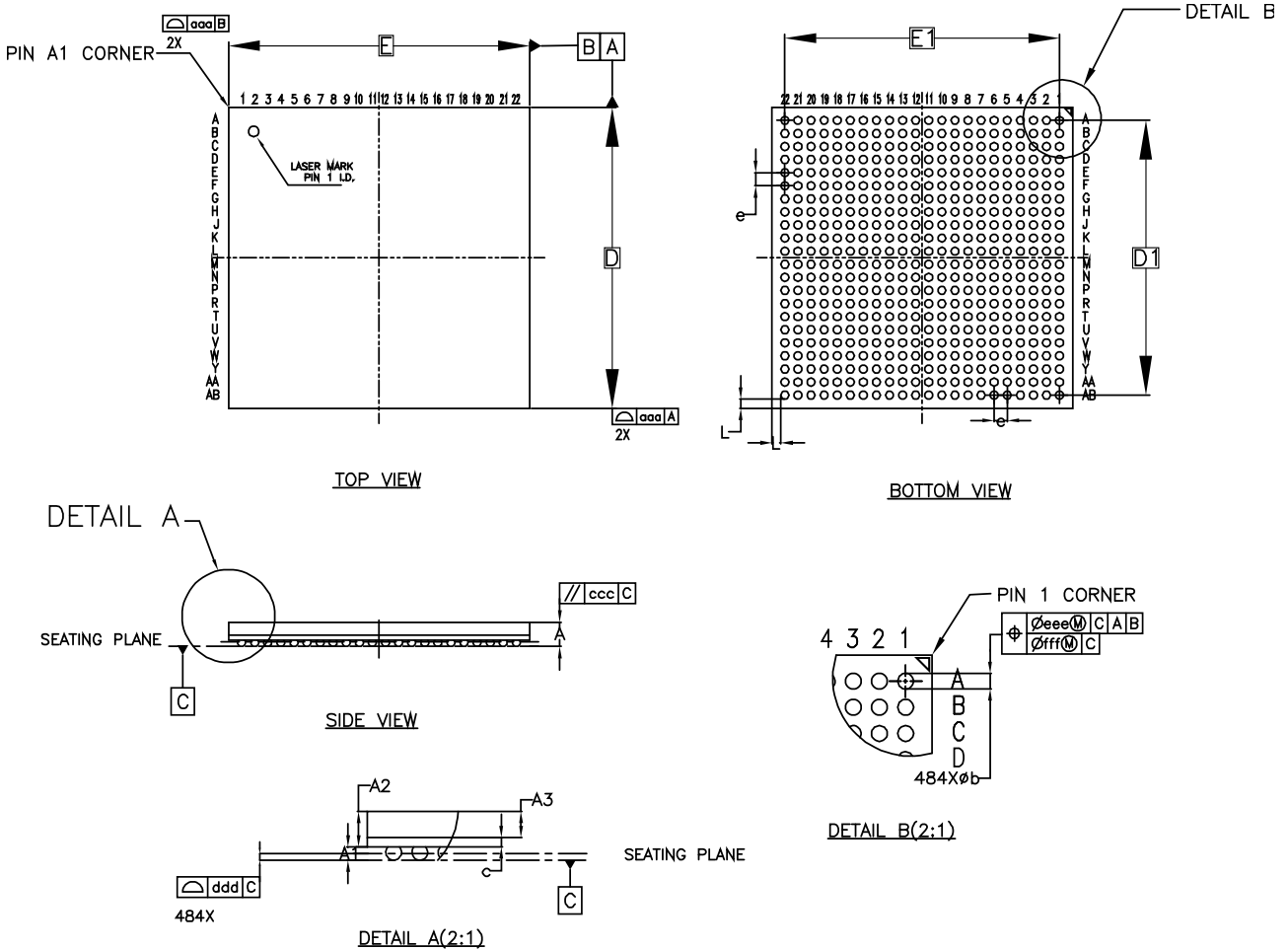
图 4-9 封装尺寸 PG484 (GW2A-18)



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	---	2.06	2.15
A1	0.45	0.50	0.55
A2	1.51	1.56	1.61
A3	1.00 BASIC		
c	0.52	0.56	0.60
D	22.90	23.00	23.10
D1	21.00 BASIC		
E	22.90	23.00	23.10
E1	21.00 BASIC		
e	1.00 BASIC		
b	0.55	0.60	0.65
h	0.70 REF		
aaa	0.20		
ccc	0.35		
ddd	0.15		
eee	0.25		
fff	0.10		

4.10 封装尺寸 PG484 (23mm x 23mm, GW2A-55)

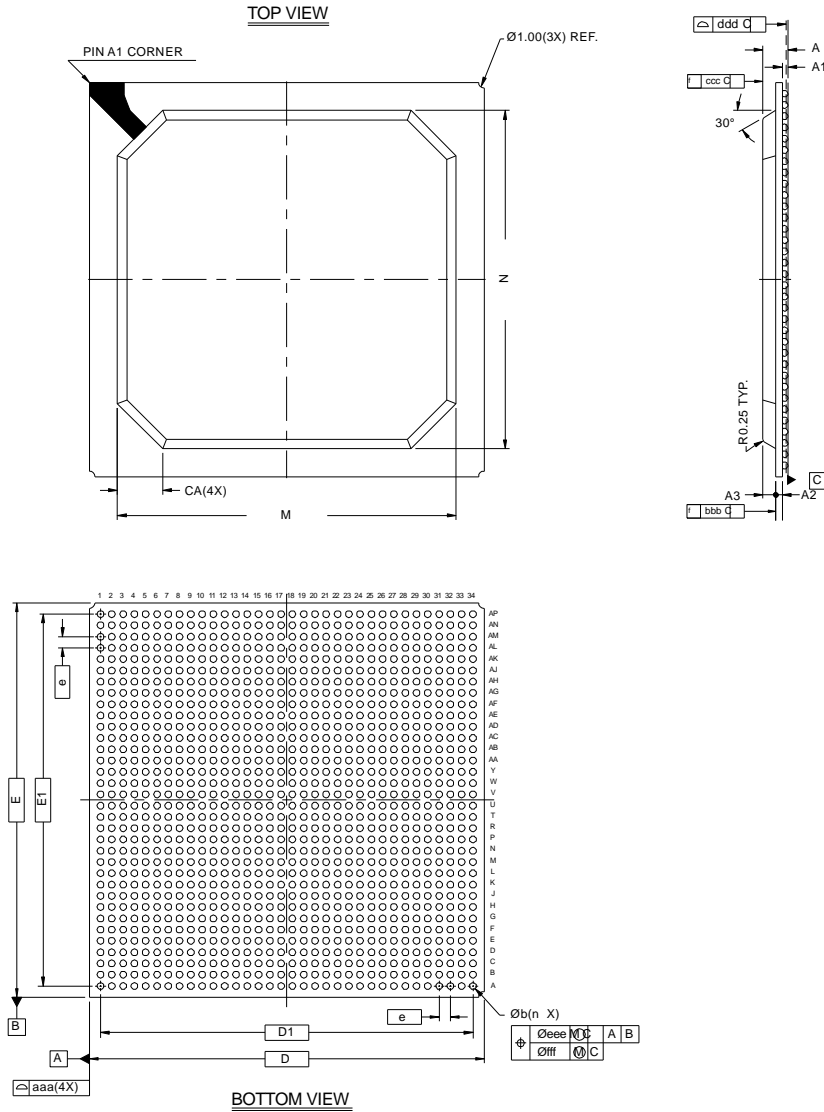
图 4-10 封装尺寸 PG484 (GW2A-55)



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	1.76	1.86	1.96
A1	0.46	0.50	0.54
A2	1.28	1.36	1.44
A3	1.00 BASIC		
c	0.32	0.36	0.40
D	22.90	23.00	23.10
D1	21.00 BASIC		
E	22.90	23.00	23.10
E1	21.00 BASIC		
e	1.00 BASIC		
L	0.70 BASIC		
b	0.55	0.60	0.65
aaa	0.20		
ccc	0.25		
ddd	0.25		
eee	0.18		
fff	0.10		

4.11 封装尺寸 PG1156 (35mm x 35mm)

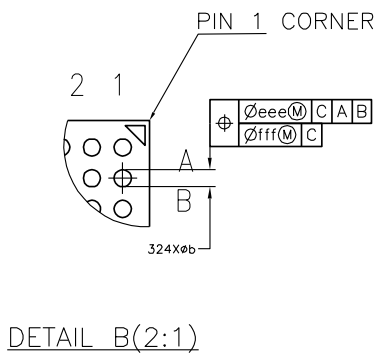
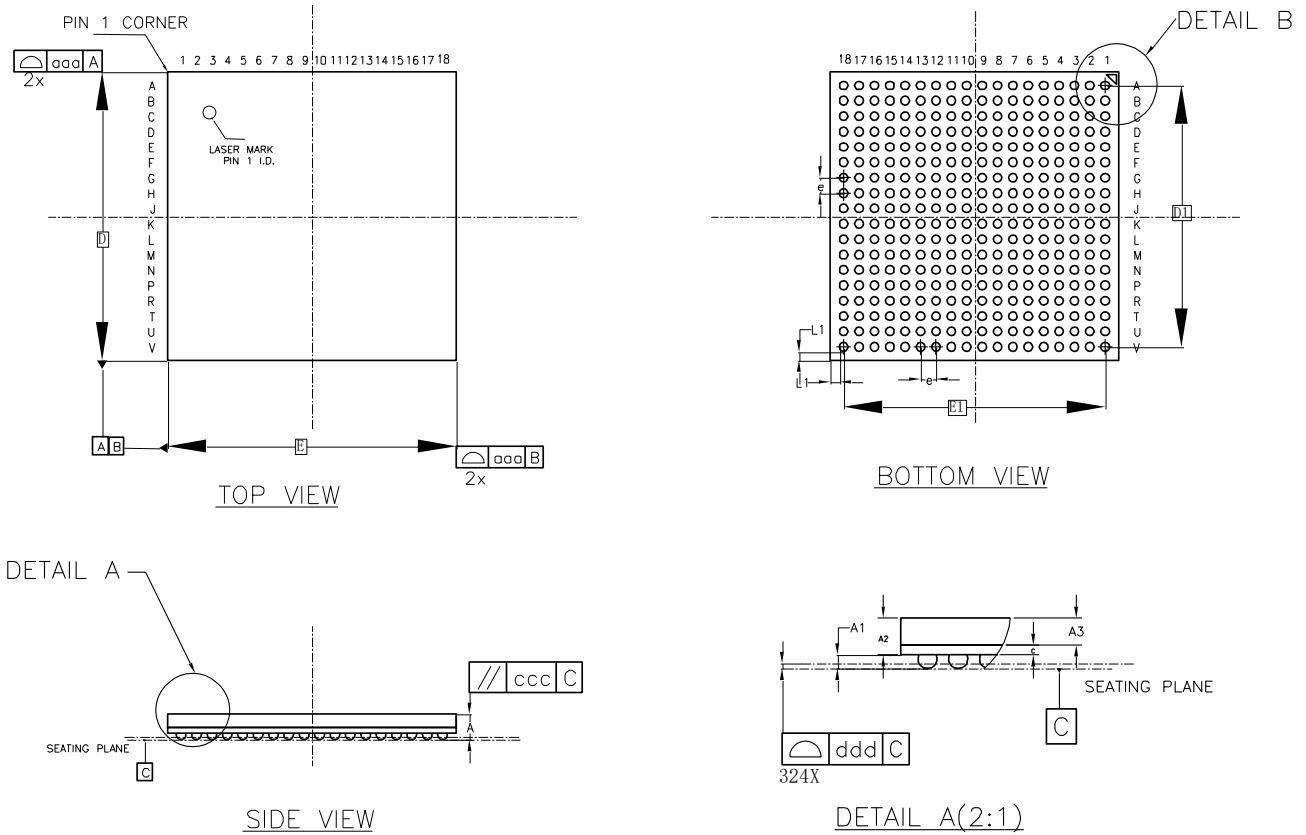
图 4-11 封装尺寸 PG1156



	Symbol	Common Dimensions		
		MIN.	NOM.	MAX.
Package :		PBGA		
Body Size :	X	D	35.000	
	Y	E	35.000	
Ball Pitch :	e	1.000		
Total Thickness :	A	2.108	2.230	2.352
Mold Thickness :	A3	1.170	Ref.	
Substrate Thickness :	A2	0.560	Ref.	
Ball Diameter :		0.600		
Stand Off :	A1	0.400	-	0.600
Ball Width :	b	0.500	-	0.700
Mold Area :	X	M	30.000	
	Y	N	30.000	
Chamfer	CA	4.000	Ref.	
Package Edge Tolerance :	aaa	0.200		
Substrate Parallelism :	bbb	0.250		
Mold Parallelism :	ccc	0.350		
Coplanarity :	ddd	0.150		
Ball Offset (Package) :	eee	0.250		
Ball Offset (Ball) :	fff	0.100		
Ball Count :	n	1156		
Edge Ball Center to Center :	X	D1	33.000	
	Y	E1	33.000	

4.12 封装尺寸 UG324/UG324D (15mm x 15mm)

图 4-12 封装尺寸 UG324/UG324D



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	1.21	1.31	1.41
A1	0.30	0.35	0.40
A2	0.88	0.96	1.04
A3	0.70 BASIC		
c	0.23	0.26	0.29
D	14.90	15.00	15.10
D1	13.60 BASIC		
E	14.90	15.00	15.10
E1	13.60 BASIC		
e	0.80 BASIC		
b	0.40	0.45	0.50
L1	0.475 REF		
aaa	0.15		
ccc	0.15		
ddd	0.15		
eee	0.15		
fff	0.08		

