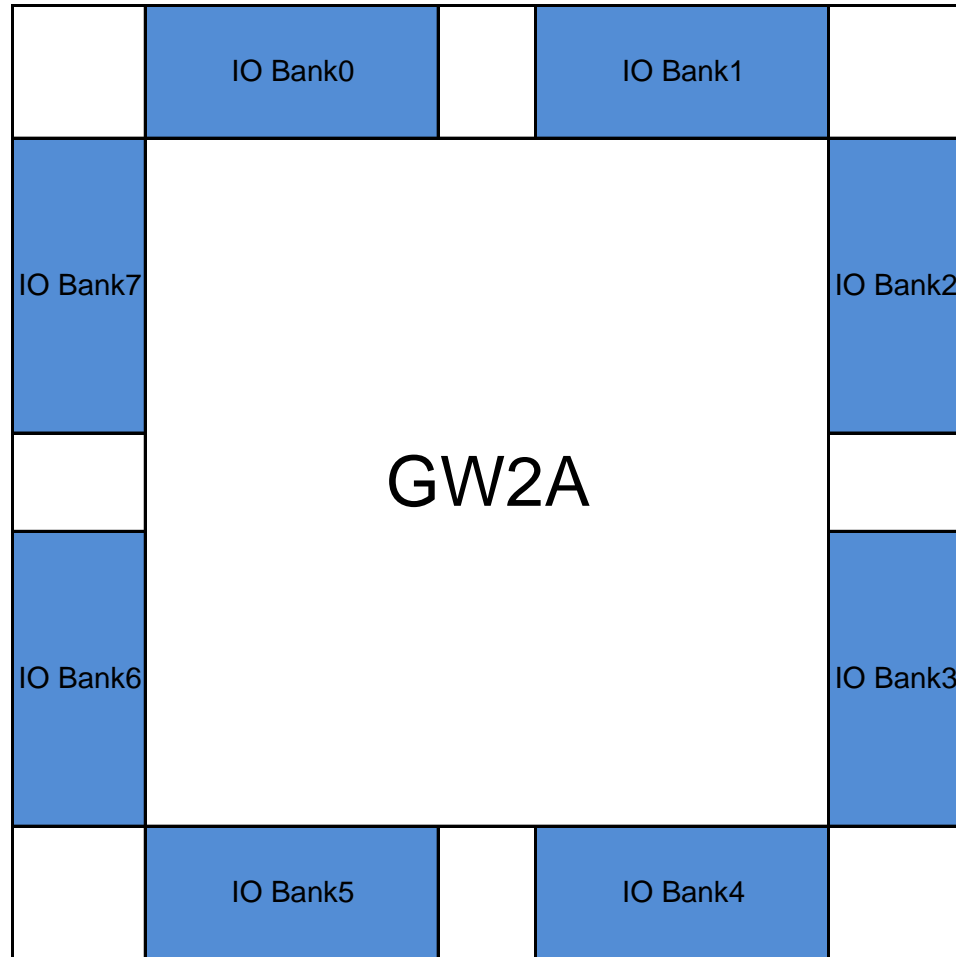


日期	版本	说明
2016/8/5	1.0	初始版本。
2020/3/9	1.1	新增GW2A-55C器件。
2020/4/2	1.2	修改UG324封装F7和E6的位置； 修改TrueLVDS工作表内容，新增Only TrueLVDS工作表。
2020/9/20	1.3	新增UG676封装。
2021/12/23	1.4	更新Pin Definitions。 新增UG324F封装。
2022/9/15	1.5	新增UG484S封装。 更新Power信息。 更新Pin Definitions的注释以及RECONFIG_N的IO状态。
2022/10/20	1.5.1	更新Power中的注释。 更新Pin Definitions中的注释。
2023/5/4	1.5.2	更新Pin List页中的注释。 更新Pin Definition页中CLKHOLD_N的管脚说明。
2023/6/30	1.5.3	优化MODE0、MODE1、MODE2的管脚信息及其管脚定义的描述。

管脚名称	方向	说明
用户I/O管脚		
IO [End][Row/Column Number][A/B]	I/O	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数
		[A/B]提供差分信号对信息
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户I/O
D0	I/O	CPU模式下的数据端口D0
D1	I/O	CPU模式下的数据端口D1
D2	I/O	CPU模式下的数据端口D2
D3	I/O	CPU模式下的数据端口D3
D4	I/O	CPU模式下的数据端口D4
D5	I/O	CPU模式下的数据端口D5
D6	I/O	CPU模式下的数据端口D6
D7	I/O	CPU模式下的数据端口D7
WE_N	I	CPU模式下选择D[7: 0]的数据输入输出方向，"0"选择写入，"1"选择读出
DOUT	O	SERIAL模式下的数据输出
DIN	I, 内部弱上拉	SERIAL模式下的数据输入
TMS	I, 内部弱上拉	JTAG模式串行模式输入
TCK	I	JTAG模式串行时钟输入
TDO	O	JTAG模式串行数据输出
TDI	I, 内部弱上拉	JTAG模式串行数据输入
JTAGSEL_N	I, 内部弱上拉	恢复JTAG下载功能信号
RECONFIG_N	I, 内部弱上拉	全局复位GowinCONFIG逻辑信号，低电平有效
FASTRD_N	I	访问SPI FLASH方式选择信号，低电平表示Fast Read模式；高电平表示Read模式
DONE ^[1]	O	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
	I	DONE信号为低电平时，延迟芯片启动，直到DONE信号为高电平

管脚名称	方向	说明
READY ^[1]	I/O	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
MI	I	MSPI模式下MI
MO	O	MSPI模式下MO
MCS_N	O	MSPI模式下的使能信号MCS_N，低电平有效
MCLK	O	MSPI模式下时钟输出MCLK，默认频率为 2.5Mhz
SCLK	I	SSPI, SERIAL, CPU模式下的时钟输入
SO	O	SSPI模式下SO
SI	I/O	SSPI模式下SI
SSPI_CS_N	I/O	SSPI模式下的使能信号SSPI_CS_N，低电平有效，内部弱上拉
CLKHOLD_N	I, 内部弱上拉	在SSPI模式下，高电平有效 在CPU模式下，低电平有效
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚，C(Comp)，[x]是全局时钟序号 ^[2]
GCLKT_[x]	I	全局时钟输入管脚，T(True)，[x]: 全局时钟序号
LPLL_C_fb/RPLL_C_fb	I	左边/右边PLL反馈输入管脚，C(Comp)
LPLL_T_fb/RPLL_T_fb	I	左边/右边PLL反馈输入管脚，T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边PLL时钟输入管脚，C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边PLL时钟输入管脚，T(True)
MODE2	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚标记为“VCCIO”，表示该管脚内接电源；若该管脚标记为“GND”，表示该管脚内部接地
MODE1	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚标记为“VCCIO”，表示该管脚内接电源；若该管脚标记为“GND”，表示该管脚内部接地
MODE0	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚标记为“VCCIO”，表示该管脚内接电源；若该管脚标记为“GND”，表示该管脚内部接地
其他管脚		
EXTR	NA	外接10K 1%电阻到地
NC	NA	预留未使用
VSS	NA	Ground管脚
VCC	NA	核电压供电管脚
VCCIO#	NA	I/O BANK#的I/O电压供电管脚

管脚名称	方向	说明
VCCX	NA	辅助电压供电管脚
VCCPLLL0/1	NA	左边PLL0/1电压供电管脚，LQFP单独封装出来
VCCPLLR0/1	NA	右边PLL0/1电压供电管脚，LQFP单独封装出来
VCCPLLL	NA	PBGA封装：左边PLL0/1电压供电管脚简称
VCCPLLR	NA	PBGA封装：右边PLL0/1电压供电管脚简称
注！ [1] READY和DONE默认状态为open-drain输出，内部弱上拉。在配置期间，DONE输出0。 [2]当输入是单端时，GCLKC_[x]所在管脚不是全局时钟管脚。		



注!

- [1]每个Bank还提供一个独立的参考电压 (VREF)。
- [2]用户可以选择使用IOB内置的VREF源 (等于 $0.5 * VCCIO$)。
- [3]用户也可选择外部的VREF输入 (使用Bank中任意一个IO管脚作为外部VREF输入)。

注！
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
EXTR	Ground		N/A			NONE			N17	W23			
IOB12A	LVDS	DQ6	5		True_of_IOB12B	TRUE				AM9			
IOB12B	LVDS	DQ6	5		Comp_of_IOB12A	TRUE				AM10			
IOB13A	I/O	DQ6	5		True_of_IOB13B	NONE				AL11	AE4		F5
IOB13B	I/O	DQ6	5		Comp_of_IOB13A	NONE				AL12	AE6		E5
IOB14A	LVDS	DQ6	5		True_of_IOB14B	TRUE				AF13			
IOB14B	LVDS	DQ6	5		Comp_of_IOB14A	TRUE				AE14			
IOB15A	I/O	DQ6	5		True_of_IOB15B	NONE				AP9	AC7		G6
IOB15B	I/O	DQ6	5		Comp_of_IOB15A	NONE				AP10	AC8		G4
IOB16A	I/O	DQ6	5		True_of_IOB16B	TRUE	D2	D2		AG13	W9	D2	G8
IOB16B	I/O	DQ6	5		Comp_of_IOB16A	TRUE	D1	D1		AG14	W10	D1	G7
IOB17A	I/O	DQ6	5		True_of_IOB17B	NONE			AB1	AP7	AA5		E4
IOB17B	I/O	DQ6	5		Comp_of_IOB17A	NONE			AB2	AP8	AA7		F3
IOB18A	I/O	DQ6	5		True_of_IOB18B	TRUE	F4	F4	Y6	AK11	AE7	F4	K8
IOB18B	I/O	DQ6	5		Comp_of_IOB18A	TRUE	F3	F3	AA6	AK12	AE8	F3	K7
IOB19A	I/O	DQ6	5		True_of_IOB19B	NONE				AN8	Y6		
IOB19B	I/O	DQ6	5		Comp_of_IOB19A	NONE				AN7	Y7		
IOB20A	I/O	DQ6	5		True_of_IOB20B	TRUE	E3	E3	W7	AM11	AC9	E3	H6
IOB20B	I/O	DQ6	5		Comp_of_IOB20A	TRUE	E1	E1	W8	AM12	AC10	E1	H5
IOB21A	I/O	DQ6	5		True_of_IOB21B	NONE			AB3	AH15	AF7		H8
IOB21B	I/O	DQ6	5		Comp_of_IOB21A	NONE			AB4	AH16	AF8		J7
IOB22A	LVDS	DQ6	5		True_of_IOB22B	TRUE				AN11			
IOB22B	LVDS	DQ6	5		Comp_of_IOB22A	TRUE				AN12			
IOB23A	I/O	DQ6	5		True_of_IOB23B	NONE				AF14	U9		H4
IOB23B	I/O	DQ6	5		Comp_of_IOB23A	NONE				AE15	U11		H3
IOB24A	I/O	DQ6	5		True_of_IOB24B	TRUE	H6	H6	Y7	AP11	AB7	H6	B2
IOB24B	I/O	DQ6	5		Comp_of_IOB24A	TRUE	H5	H5	Y8	AP12	AB9	H5	B1
IOB25A	I/O	DQ6	5		True_of_IOB25B	NONE			V10	AF15	V10		
IOB25B	I/O	DQ6	5		Comp_of_IOB25A	NONE			V11	AG15	V11		
IOB26A	I/O	DQ6	5		True_of_IOB26B	TRUE	F2	F2		AK15	AD7	F2	C3
IOB26B	I/O	DQ6	5		Comp_of_IOB26A	TRUE	F1	F1		AK16	AD9	F1	C1
IOB27A	I/O	DQS6	5		True_of_IOB27B	NONE			AB5	AH13	AA8		J6
IOB27B	I/O	DQS6	5		Comp_of_IOB27A	NONE			AB6	AH14	AA9		J4
IOB2A	I/O	DQ5	5		True_of_IOB2B	TRUE	C2	C2	U6	AH9	AC4	C2	A3

注！
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
I0B2B	I/O	DQ5	5		Comp_of_I0B2A	TRUE	C1	C1	U7	AH10	AD4	C1	A2
I0B30A	I/O	DQS7	5		True_of_I0B30B	TRUE	J7	J7	W9	AJ13	Y8	J7	K6
I0B30B	I/O	DQS7	5		Comp_of_I0B30A	TRUE	J6	J6	Y9	AJ14	Y9	J6	K5
I0B31A	I/O	DQ7	5		True_of_I0B31B	NONE				AL15	AE9		
I0B31B	I/O	DQ7	5		Comp_of_I0B31A	NONE				AL16	AE10		
I0B32A	LVDS	DQ7	5		True_of_I0B32B	TRUE				AK13			
I0B32B	LVDS	DQ7	5		Comp_of_I0B32A	TRUE				AK14			
I0B33A	I/O	DQ7	5		True_of_I0B33B	NONE				AM15	AF9		D2
I0B33B	I/O	DQ7	5		Comp_of_I0B33A	NONE				AM16	AF10		D1
I0B34A	LVDS	DQ7	5		True_of_I0B34B	TRUE				AD16			
I0B34B	LVDS	DQ7	5		Comp_of_I0B34A	TRUE				AE16			
I0B35A	I/O	DQ7	5		True_of_I0B35B	NONE				AL13	Y10		K4
I0B35B	I/O	DQ7	5		Comp_of_I0B35A	NONE				AL14	Y11		K3
I0B36A	I/O	DQ7	5		True_of_I0B36B	TRUE	G3	G3	AA7	AN15	AD10	G3	E3
I0B36B	I/O	DQ7	5		Comp_of_I0B36A	TRUE	G1	G1	AB7	AN16	AD11	G1	E1
I0B37A	I/O	DQ7	5		True_of_I0B37B	NONE			AA8	AN13	AC11		
I0B37B	I/O	DQ7	5		Comp_of_I0B37A	NONE			AB8	AN14	AC12		
I0B38A	LVDS	DQ7	5		True_of_I0B38B	TRUE				AP13			
I0B38B	LVDS	DQ7	5		Comp_of_I0B38A	TRUE				AP14			
I0B39A	I/O	DQ7	5		True_of_I0B39B	NONE				AP15	AD12		M5
I0B39B	I/O	DQ7	5		Comp_of_I0B39A	NONE				AP16	AE12		L4
I0B3A	I/O	DQ5	5		True_of_I0B3B	NONE			W5	AF11	AE2		
I0B3B	I/O	DQ5	5		Comp_of_I0B3A	NONE			W6	AF12	AE3		
I0B40A	I/O	DQ7	5		True_of_I0B40B	TRUE	L7	L7	W10	AK17	AB10	L7	M4
I0B40B	I/O	DQ7	5		Comp_of_I0B40A	TRUE	K6	K6	W11	AK18	AB12	K6	M3
I0B41A	I/O	DQ7	5		True_of_I0B41B	NONE			AA11	AF16	V12		
I0B41B	I/O	DQ7	5		Comp_of_I0B41A	NONE			AB11	AG16	V13		
I0B42A	I/O	DQ7	5		True_of_I0B42B	TRUE	H4	H4	Y10	AJ17	AA10	H4	F2
I0B42B	I/O	DQ7	5		Comp_of_I0B42A	TRUE	H3	H3	Y11	AJ18	AA12	H3	F1
I0B43A	I/O	DQ7	5		True_of_I0B43B	NONE				AG17	W12		
I0B43B	I/O	DQ7	5		Comp_of_I0B43A	NONE				AF17	W13		
I0B44A	I/O	DQ7	5		True_of_I0B44B	TRUE				AP17	AF12		M8
I0B44B	I/O	DQ7	5		Comp_of_I0B44A	TRUE				AP18	AF13		M7
I0B45A/GCLKT_5	I/O	DQ7	5	GCLKT_5	True_of_I0B45B	NONE	L5	L5	AB9	AH17	Y12	L5	G3

注！
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
IOB45B/GCLKC_5	I/O	DQ7	5	GCLKC_5	Comp_of_IOB45A	NONE	K5	K5	AB10	AH18	Y13	K5	G1
IOB48A/GCLKT_4	I/O	DQ8	4	GCLKT_4	True_of_IOB48B	TRUE	L2	L2	AB12	AL17	AA13	L2	N4
IOB48B/GCLKC_4	I/O	DQ8	4	GCLKC_4	Comp_of_IOB48A	TRUE	L1	L1	AA12	AL18	AB13	L1	P3
IOB49A	I/O	DQ8	4		True_of_IOB49B	NONE				AN17	AE13		
IOB49B	I/O	DQ8	4		Comp_of_IOB49A	NONE				AN18	AE14		
IOB4A	I/O	DQ5	5		True_of_IOB4B	TRUE	F6	F6	V6	AJ9	AD5	F6	E6
IOB4B	I/O	DQ5	5		Comp_of_IOB4A	TRUE	F5	F5	V7	AJ10	AD6	F5	D5
IOB50A	I/O	DQ8	4		True_of_IOB50B	TRUE				AG18	V14		N7
IOB50B	I/O	DQ8	4		Comp_of_IOB50A	TRUE				AF18	V15		N6
IOB51A	I/O	DQ8	4		True_of_IOB51B	NONE			Y12	AH19	AC13		
IOB51B	I/O	DQ8	4		Comp_of_IOB51A	NONE			Y13	AH20	AD14		
IOB52A	I/O	DQ8	4		True_of_IOB52B	TRUE	K4	K4	W12	AG19	Y14	K4	N3
IOB52B	I/O	DQ8	4		Comp_of_IOB52A	TRUE	K3	K3	W13	AF19	Y15	K3	N1
IOB53A	I/O	DQ8	4		True_of_IOB53B	NONE			AB13	AP21	AC14		M6
IOB53B	I/O	DQ8	4		Comp_of_IOB53A	NONE			AB14	AP22	AC15		L6
IOB54A	LVDS	DQ8	4		True_of_IOB54B	TRUE				AP19			
IOB54B	LVDS	DQ8	4		Comp_of_IOB54A	TRUE				AP20			
IOB55A	I/O	DQ8	4		True_of_IOB55B	NONE				AN21	AA14		P8
IOB55B	I/O	DQ8	4		Comp_of_IOB55A	NONE				AN22	AA15		P7
IOB56A	I/O	DQ8	4		True_of_IOB56B	TRUE	H2	H2	AB15	AL21	AB15	H2	M2
IOB56B	I/O	DQ8	4		Comp_of_IOB56A	TRUE	H1	H1	AA15	AL22	AB16	H1	M1
IOB57A	I/O	DQ8	4		True_of_IOB57B	NONE			V12	AN19	AF14		P6
IOB57B	I/O	DQ8	4		Comp_of_IOB57A	NONE			V13	AN20	AF15		P5
IOB58A	LVDS	DQ8	4		True_of_IOB58B	TRUE				AK21			
IOB58B	LVDS	DQ8	4		Comp_of_IOB58A	TRUE				AK22			
IOB59A	I/O	DQ8	4		True_of_IOB59B	NONE				AD19	U15		R9
IOB59B	I/O	DQ8	4		Comp_of_IOB59A	NONE				AE19	U16		R8
IOB5A	I/O	DQ5	5		True_of_IOB5B	NONE				AG11	AF2		
IOB5B	I/O	DQ5	5		Comp_of_IOB5A	NONE				AG12	AF3		
IOB60A	I/O	DQ8	4		True_of_IOB60B	TRUE	J3	J3		AM19	AE15	J3	K2
IOB60B	I/O	DQ8	4		Comp_of_IOB60A	TRUE	J1	J1		AM20	AE17	J1	K1
IOB61A	I/O	DQ8	4		True_of_IOB61B	NONE				AJ21	AC16		H1
IOB61B	I/O	DQ8	4		Comp_of_IOB61A	NONE				AJ22	AC17		
IOB62A	I/O	DQ8	4		True_of_IOB62B	TRUE	K2	K2		AL19	AF17	K2	J3

注！
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入, 仅在Bank0/1中支持, Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
I0B62B	I/O	DQ8	4		Comp_of_I0B62A	TRUE	K1	K1		AL20	AF18	K1	J1
I0B63A	I/O	DQS8	4		True_of_I0B63B	NONE	L4	L4	Y14	AH21	AD15	L4	L3
I0B63B	I/O	DQS8	4		Comp_of_I0B63A	NONE	L3	L3	Y15	AH22	AD16	L3	L1
I0B66A	I/O	DQS9	4		True_of_I0B66B	TRUE	P2	P2	AB16	AP23	AA17	P2	T2
I0B66B	I/O	DQS9	4		Comp_of_I0B66A	TRUE	P1	P1	AA16	AP24	AA18	P1	T1
I0B67A	I/O	DQ9	4		True_of_I0B67B	NONE				AK19	AE18		
I0B67B	I/O	DQ9	4		Comp_of_I0B67A	NONE				AK20	AE19		
I0B68A	I/O	DQ9	4		True_of_I0B68B	TRUE			V14	AG20	V16		V2
I0B68B	I/O	DQ9	4		Comp_of_I0B68A	TRUE			V15	AF20	V17		V1
I0B69A	I/O	DQ9	4		True_of_I0B69B	NONE			AB17	AN23	AB17		H2
I0B69B	I/O	DQ9	4		Comp_of_I0B69A	NONE			AB18	AN24	AB18		
I0B6A	I/O	DQ5	5		True_of_I0B6B	TRUE	E4	E4	Y4	AK9	AC5	E4	C4
I0B6B	I/O	DQ5	5		Comp_of_I0B6A	TRUE	D3	D3	Y5	AK10	AC6	D3	D3
I0B70A	I/O	DQ9	4		True_of_I0B70B	TRUE	M3	M3		AE20	W15	M3	U3
I0B70B	I/O	DQ9	4		Comp_of_I0B70A	TRUE	M1	M1		AE21	W17	M1	U1
I0B71A	I/O	DQ9	4		True_of_I0B71B	NONE				AM23	AC18		
I0B71B	I/O	DQ9	4		Comp_of_I0B71A	NONE				AM24	AC19		
I0B72A	I/O	DQ9	4		True_of_I0B72B	TRUE	N2	N2	AA17	AH23	AF19	N2	R3
I0B72B	I/O	DQ9	4		Comp_of_I0B72A	TRUE	N1	N1	Y17	AH24	AF20	N1	R1
I0B73A	I/O	DQ9	4		True_of_I0B73B	NONE			W14	AL23	AD17		P4
I0B73B	I/O	DQ9	4		Comp_of_I0B73A	NONE			W15	AL24	AD19		R4
I0B74A	I/O	DQ9	4		True_of_I0B74B	TRUE				AK23	Y20		P2
I0B74B	I/O	DQ9	4		Comp_of_I0B74A	TRUE				AK24	Y21		P1
I0B75A	I/O	DQ9	4		True_of_I0B75B	NONE			AB19	AG23	AE20		T4
I0B75B	I/O	DQ9	4		Comp_of_I0B75A	NONE			AB20	AG24	AE21		T3
I0B76A	I/O	DQ9	4		True_of_I0B76B	TRUE	T2	T2	Y16	AJ28	AA19	T2	U6
I0B76B	I/O	DQ9	4		Comp_of_I0B76A	TRUE	T1	T1	W16	AJ27	AA20	T1	V5
I0B77A	I/O	DQ9	4		True_of_I0B77B	NONE				AG21	Y16		U4
I0B77B	I/O	DQ9	4		Comp_of_I0B77A	NONE				AF21	Y17		V3
I0B78A	LVDS	DQ9	4		True_of_I0B78B	TRUE				AL28			
I0B78B	LVDS	DQ9	4		Comp_of_I0B78A	TRUE				AL27			
I0B79A	I/O	DQ9	4		True_of_I0B79B	NONE				AE23	Y18		AA4
I0B79B	I/O	DQ9	4		Comp_of_I0B79A	NONE				AE22	Y19		AB4
I0B7A	I/O	DQ5	5		True_of_I0B7B	NONE			V8	AE12	W7		

注！
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
I0B7B	I/O	DQ5	5		Comp_of_I0B7A	NONE			V9	AE13	V8		
I0B80A	LVDS	DQ9	4		True_of_I0B80B	TRUE				AP25			
I0B80B	LVDS	DQ9	4		Comp_of_I0B80A	TRUE				AP26			
I0B81A	I/O	DQ9	4		True_of_I0B81B	NONE				AM28	AB20		T6
I0B81B	I/O	DQ9	4		Comp_of_I0B81A	NONE				AM27	AB21		T5
I0B84A	I/O	DQS10	4		True_of_I0B84B	TRUE	U2	U2	Y19	AN28	AC20	U2	U8
I0B84B	I/O	DQS10	4		Comp_of_I0B84A	TRUE	U1	U1	Y18	AN27	AC21	U1	T7
I0B85A	I/O	DQ10	4		True_of_I0B85B	NONE				AM25	AF22		T8
I0B85B	I/O	DQ10	4		Comp_of_I0B85A	NONE				AM26	AF23		R7
I0B86A	I/O	DQ10	4		True_of_I0B86B	TRUE	L6	L6	V16	AG22	W18	L6	W3
I0B86B	I/O	DQ10	4		Comp_of_I0B86A	TRUE	M5	M5	U16	AF22	W20	M5	W1
I0B87A	I/O	DQ10	4		True_of_I0B87B	NONE			W17	AP28	AD20		Y3
I0B87B	I/O	DQ10	4		Comp_of_I0B87A	NONE			W18	AP27	AD21		AB3
I0B88A	I/O	DQ10	4		True_of_I0B88B	TRUE	P4	P4		AL25	AE23	P4	W4
I0B88B	I/O	DQ10	4		Comp_of_I0B88A	TRUE	P3	P3		AL26	AE24	P3	Y4
I0B89A	I/O	DQ10	4		True_of_I0B89B	NONE			AA20	AJ25	AC22		
I0B89B	I/O	DQ10	4		Comp_of_I0B89A	NONE			Y20	AJ26	AC23		
I0B8A	I/O	DQ5	5		True_of_I0B8B	TRUE	H7	H7		AH11	AF4	H7	F8
I0B8B	I/O	DQ5	5		Comp_of_I0B8A	TRUE	G6	G6		AH12	AF5	G6	F7
I0B90A	I/O	DQ10	4		True_of_I0B90B	TRUE	N4	N4	V17	AK25	AF24	N4	Y2
I0B90B	I/O	DQ10	4		Comp_of_I0B90A	TRUE	N3	N3	V18	AK26	AF25	N3	Y1
I0B91A	I/O	DQ10	4		True_of_I0B91B	NONE			W19	AH25	AD22		AA2
I0B91B	I/O	DQ10	4		Comp_of_I0B91A	NONE			V19	AH26	AD23		AB2
I0B9A	I/O	DQS5	5		True_of_I0B9B	NONE			Y3	AL9	AB4		
I0B9B	I/O	DQS5	5		Comp_of_I0B9A	NONE			AA3	AL10	AB6		
I0L11A/LPLL1_T_fb	I/O	DQ1	7	LPLL1_T_fb	True_of_I0L11B	TRUE	F13	F13	F3	J4	G6	F13	C17
I0L11B/LPLL1_C_fb	I/O	DQ1	7	LPLL1_C_fb	Comp_of_I0L11A	TRUE	E13		G3	K4	F5	E13	A17
I0L12A	I/O	DQ1	7		True_of_I0L12B	NONE		E13		L4	D1		
I0L12B	I/O	DQ1	7		Comp_of_I0L12A	NONE				M4	E1		
I0L13A	LVDS	DQ1	7		True_of_I0L13B	TRUE				J3	G3		
I0L13B	LVDS	DQ1	7		Comp_of_I0L13A	TRUE				K3	F2		
I0L14A	I/O	DQ1	7		True_of_I0L14B	NONE			H5	R10	L10		
I0L14B	I/O	DQ1	7		Comp_of_I0L14A	NONE			J5	R9	M10		
I0L15A	I/O	DQ1	7		True_of_I0L15B	TRUE	B14	B14	C2	J1	F4	B14	B16

注！
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
IOL15B	I/O	DQ1	7		Comp_of_IOL15A	TRUE	A14		C1	K1	G5	A14	A16
IOL16A	I/O	DQ1	7		True_of_IOL16B	NONE		A14	D1	M6	G4		
IOL16B	I/O	DQ1	7		Comp_of_IOL16A	NONE			E1	N6	H4		
IOL17A	LVDS	DQ1	7		True_of_IOL17B	TRUE				L2			
IOL17B	LVDS	DQ1	7		Comp_of_IOL17A	TRUE				M2			
IOL18A	I/O	DQS1	7		True_of_IOL18B	NONE	F12	F12	F2	L5	G2	F12	C15
IOL18B	I/O	DQS1	7		Comp_of_IOL18A	NONE	E12	E12	G2	M5	H2	E12	A15
IOL20A	I/O	DQ1	7		True_of_IOL20B	TRUE	C13	C13	F1	L1	H7	C13	
IOL20B	I/O	DQ1	7		Comp_of_IOL20A	TRUE	A13		G1	M1	J7	A13	
IOL21A	I/O	DQ1	7		True_of_IOL21B	NONE		A13	H4	N1	G1		
IOL21B	I/O	DQ1	7		Comp_of_IOL21A	NONE			J4	P1	H1		
IOL22A	LVDS	DQ1	7		True_of_IOL22B	TRUE				N7			
IOL22B	LVDS	DQ1	7		Comp_of_IOL22A	TRUE				P7			
IOL23A	I/O	DQ1	7		True_of_IOL23B	NONE		D12		T11	K8		H11
IOL23B	I/O	DQ1	7		Comp_of_IOL23A	NONE				T10	M8		G11
IOL24A	LVDS	DQ1	7		True_of_IOL24B	TRUE				N5	H6		
IOL24B	LVDS	DQ1	7		Comp_of_IOL24A	TRUE				P5	J6		
IOL25A	I/O	DQ1	7		True_of_IOL25B	NONE	D12	C12		T9	M9	D12	B14
IOL25B	I/O	DQ1	7		Comp_of_IOL25A	NONE	C12			T8	N9	C12	A14
IOL26A	LVDS	DQ1	7		True_of_IOL26B	TRUE				P3			
IOL26B	LVDS	DQ1	7		Comp_of_IOL26A	TRUE				R3			
IOL27A	I/O	DQ1	7		True_of_IOL27B	NONE		B12		N4	J5		
IOL27B	I/O	DQ1	7		Comp_of_IOL27A	NONE				P4	K5		
IOL28A	I/O	DQ2	7		True_of_IOL28B	TRUE	B12		H3	N2	J4	B12	F12
IOL28B	I/O	DQ2	7		Comp_of_IOL28A	TRUE	A12		J3	P2	K4	A12	E12
IOL29A	I/O	DQ2	7		True_of_IOL29B	NONE		A12	H2	R7	J2		
IOL29B	I/O	DQ2	7		Comp_of_IOL29A	NONE			H1	T7	K2		
IOL2A	I/O	DQ0	7		True_of_IOL2B	TRUE	B16	B16	E5	H3	C2	B16	B18
IOL2B	I/O	DQ0	7		Comp_of_IOL2A	TRUE	A16		F5	G3	D2	A16	A18
IOL30A	LVDS	DQ2	7		True_of_IOL30B	TRUE				U9			
IOL30B	LVDS	DQ2	7		Comp_of_IOL30A	TRUE				U8			
IOL31A	I/O	DQ2	7		True_of_IOL31B	NONE				T6	J3		
IOL31B	I/O	DQ2	7		Comp_of_IOL31A	NONE				U6	K3		
IOL32A	I/O	DQ2	7		True_of_IOL32B	TRUE	B11	A11	J1	V8	M7	B11	C13

注！
[1] UG324封装IOR47A, IOR47B共用T15管脚。
[2] UG324D封装IOR47A, IOR47B共用T15管脚。
[3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
[4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
IOL32B	I/O	DQ2	7		Comp_of_IOL32A	TRUE	A11		K1	V9	N7	A11	A13
IOL33A	I/O	DQ2	7		True_of_IOL33B	NONE		B11	K5	R5	K6		
IOL33B	I/O	DQ2	7		Comp_of_IOL33A	NONE			L5	T5	M6		
IOL34A	I/O	DQS2	7		True_of_IOL34B	TRUE	G9	G9	L2	U1	J1	G9	D13
IOL34B	I/O	DQS2	7		Comp_of_IOL34A	TRUE	F9	F9	L1	V1	K1	F9	D12
IOL35A/LPLL2_T_in	I/O	DQ2	7	LPLL2_T_in	True_of_IOL35B	NONE	G11	G11	K3	R4	L4	G11	B12
IOL35B/LPLL2_C_in	I/O	DQ2	7	LPLL2_C_in	Comp_of_IOL35A	NONE	F10	F10	L3	T4	M4	F10	A12
IOL37A/LPLL2_T_fb	I/O	DQ2	7	LPLL2_T_fb	True_of_IOL37B	TRUE	C10	C10	K4	R2	L3	C10	D11
IOL37B/LPLL2_C_fb	I/O	DQ2	7	LPLL2_C_fb	Comp_of_IOL37A	TRUE	A10		L4	T2	M3	A10	C12
IOL38A	I/O	DQ2	7		True_of_IOL38B	NONE		A10		U2	M2		
IOL38B	I/O	DQ2	7		Comp_of_IOL38A	NONE				V2	N2		
IOL39A	LVDS	DQ2	7		True_of_IOL39B	TRUE				R1			
IOL39B	LVDS	DQ2	7		Comp_of_IOL39A	TRUE				T1			
IOL3A	I/O	DQ0	7		True_of_IOL3B	NONE		A16	B3	G1	B1		
IOL3B	I/O	DQ0	7		Comp_of_IOL3A	NONE			B2	H1	C1		
IOL40A	I/O	DQ2	7		True_of_IOL40B	NONE	F11	F11		W11	P7	F11	D15
IOL40B	I/O	DQ2	7		Comp_of_IOL40A	NONE	E11	E11		W10	P8	E11	C14
IOL41A	LVDS	DQ2	7		True_of_IOL41B	TRUE				V3	N6		
IOL41B	LVDS	DQ2	7		Comp_of_IOL41A	TRUE				W3	P6		
IOL42A	I/O	DQ2	7		True_of_IOL42B	NONE		C11	M2	W1	M5		
IOL42B	I/O	DQ2	7		Comp_of_IOL42A	NONE			M1	Y1	N5		
IOL43A	I/O	DQ2	7		True_of_IOL43B	TRUE	D11	D11	P1	V4	N1	D11	F10
IOL43B	I/O	DQ2	7		Comp_of_IOL43A	TRUE	C11		N1	U4	M1	C11	E10
IOL44A/GCLKT_7	I/O	DQ2	7	GCLKT_7	True_of_IOL44B	NONE	B9	B9	R1	W2	N4	B9	B10
IOL44B/GCLKC_7	I/O	DQ2	7	GCLKC_7	Comp_of_IOL44A	NONE	A9	A9	T1	Y2	P4	A9	A10
IOL46A/GCLKT_6	I/O	DQ3	6	GCLKT_6	True_of_IOL46B	TRUE	D9	D9	M4	W4	P3	D9	C11
IOL46B/GCLKC_6	I/O	DQ3	6	GCLKC_6	Comp_of_IOL46A	TRUE	C9		M3	Y4	R3	C9	A11
IOL47A	I/O	DQ3	6		True_of_IOL47B	NONE		C9	U1	W7	P2		
IOL47B	I/O	DQ3	6		Comp_of_IOL47A	NONE			U2	Y7	R2		
IOL48A	I/O	DQ3	6		True_of_IOL48B	TRUE	B8	B8	N4	W5	R5	B8	D10
IOL48B	I/O	DQ3	6		Comp_of_IOL48A	TRUE	A8		N3	Y5	R6	A8	C10
IOL49A	I/O	DQ3	6		True_of_IOL49B	NONE		A8	M5	W9	P9		
IOL49B	I/O	DQ3	6		Comp_of_IOL49A	NONE			N5	W8	P10		
IOL4A	LVDS	DQ0	7		True_of_IOL4B	TRUE				H4			

注！
[1] UG324封装IOR47A, IOR47B共用T15管脚。
[2] UG324D封装IOR47A, IOR47B共用T15管脚。
[3] 差分电阻设置用于LVDS输入, 仅在Bank0/1中支持, Bank0/1支持100欧姆差分匹配电阻。
[4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
IOL4B	LVDS	DQ0	7		Comp_of_IOL4A	TRUE				G4			
IOL50A	I/O	DQ3	6		True_of_IOL50B	TRUE	D8	D8	T2	AA1	R7	D8	D9
IOL50B	I/O	DQ3	6		Comp_of_IOL50A	TRUE	C8		R2	AB1	T7	C8	D8
IOL51A	I/O	DQ3	6		True_of_IOL51B	NONE		C8	V1	AA2	R4		
IOL51B	I/O	DQ3	6		Comp_of_IOL51A	NONE			W1	AB2	T5		
IOL52A	I/O	DQ3	6		True_of_IOL52B	TRUE	B6	B6	P3	Y6	P1	B6	H10
IOL52B	I/O	DQ3	6		Comp_of_IOL52A	TRUE	A6		R3	AA6	R1	A6	G9
IOL53A	I/O	DQS3	6		True_of_IOL53B	NONE	E8	E8	P4	AA4	T4	E8	
IOL53B	I/O	DQS3	6		Comp_of_IOL53A	NONE	E7	E7	R4	AB4	U4	E7	
IOL55A	I/O	DQ3	6		True_of_IOL55B	TRUE	C7	C7	Y1	AA5	R8	C7	F9
IOL55B	I/O	DQ3	6		Comp_of_IOL55A	TRUE	A7		Y2	AB5	U8	A7	E8
IOL56A	I/O	DQ3	6		True_of_IOL56B	NONE		A6	T3	AC1	U1		
IOL56B	I/O	DQ3	6		Comp_of_IOL56A	NONE			U3	AD1	V1		
IOL57A	LVDS	DQ3	6		True_of_IOL57B	TRUE				AA7	T3		
IOL57B	LVDS	DQ3	6		Comp_of_IOL57A	TRUE				AB7	U2		
IOL58A	I/O	DQ3	6		True_of_IOL58B	NONE	G8	G8		Y9	R9	G8	C9
IOL58B	I/O	DQ3	6		Comp_of_IOL58A	NONE	F8	F8		Y10	R10	F8	A9
IOL59A	LVDS	DQ3	6		True_of_IOL59B	TRUE				AC3	U5		
IOL59B	LVDS	DQ3	6		Comp_of_IOL59A	TRUE				AD3	V5		
IOL5A	I/O	DQ0	7		True_of_IOL5B	NONE		D14	G6	N10	K9		
IOL5B	I/O	DQ0	7		Comp_of_IOL5A	NONE			G5	N9	L9		
IOL60A	I/O	DQ3	6		True_of_IOL60B	NONE				AC4	U7		D7
IOL60B	I/O	DQ3	6		Comp_of_IOL60A	NONE				AD4	V7		C8
IOL61A	LVDS	DQ3	6		True_of_IOL61B	TRUE				AC2			
IOL61B	LVDS	DQ3	6		Comp_of_IOL61A	TRUE				AD2			
IOL62A	I/O	DQ3	6		True_of_IOL62B	NONE		A7		AE3	U6		B8
IOL62B	I/O	DQ3	6		Comp_of_IOL62A	NONE				AF3	V6		A8
IOL67A	LVDS	DQ4	6		True_of_IOL67B	TRUE				AE4	V4		
IOL67B	LVDS	DQ4	6		Comp_of_IOL67A	TRUE				AF4	W4		
IOL68A	I/O	DQ4	6		True_of_IOL68B	NONE		F7		AC5	W1		C7
IOL68B	I/O	DQ4	6		Comp_of_IOL68A	NONE				AD5	Y1		A7
IOL69A	LVDS	DQ4	6		True_of_IOL69B	TRUE				AE6			
IOL69B	LVDS	DQ4	6		Comp_of_IOL69A	TRUE				AF6			
IOL6A	LVDS	DQ0	7		True_of_IOL6B	TRUE				F1			

注！
[1] UG324封装IOR47A, IOR47B共用T15管脚。
[2] UG324D封装IOR47A, IOR47B共用T15管脚。
[3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
[4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
IOL6B	LVDS	DQ0	7		Comp_of_IOL6A	TRUE				E1			
IOL70A	I/O	DQ4	6		True_of_IOL70B	NONE	F7	E6		AA9	T9	F7	B6
IOL70B	I/O	DQ4	6		Comp_of_IOL70A	NONE	E6			AA10	T10	E6	A6
IOL71A	LVDS	DQ4	6		True_of_IOL71B	TRUE				AD7	U3		
IOL71B	LVDS	DQ4	6		Comp_of_IOL71A	TRUE				AE7	W3		
IOL72A	I/O	DQ4	6		True_of_IOL72B	NONE		B4		AG1	V2		
IOL72B	I/O	DQ4	6		Comp_of_IOL72A	NONE				AH1	W2		
IOL73A	I/O	DQS4	6		True_of_IOL73B	TRUE	C5	C5	V3	AE1	AB1	C5	D6
IOL73B	I/O	DQS4	6		Comp_of_IOL73A	TRUE	A5	A5	W3	AF1	AC1	A5	C6
IOL74A/LPLL3_T_in	I/O	DQ4	6	LPLL3_T_in	True_of_IOL74B	NONE	B4	A4	AA1	AG2	W6	B4	C5
IOL74B/LPLL3_C_in	I/O	DQ4	6	LPLL3_C_in	Comp_of_IOL74A	NONE	A4		AA2	AH2	Y5	A4	A5
IOL76A/LPLL3_T_fb	I/O	DQ4	6	LPLL3_T_fb	True_of_IOL76B	TRUE	B3	B3	P5	AG3	Y4	B3	
IOL76B/LPLL3_C_fb	I/O	DQ4	6	LPLL3_C_fb	Comp_of_IOL76A	TRUE	A3		R5	AH3	AA4	A3	
IOL77A	I/O	DQ4	6		True_of_IOL77B	NONE		A3	T4	AG4	Y3		
IOL77B	I/O	DQ4	6		Comp_of_IOL77A	NONE			U4	AH4	AA3		
IOL78A	LVDS	DQ4	6		True_of_IOL78B	TRUE				AB9			
IOL78B	LVDS	DQ4	6		Comp_of_IOL78A	TRUE				AB10			
IOL79A	I/O	DQ4	6		True_of_IOL79B	NONE	D6	D6	V4	AJ3	Y2	D6	
IOL79B	I/O	DQ4	6		Comp_of_IOL79A	NONE	C6		W4	AK3	AA2	C6	
IOL7A	I/O	DQ0	7		True_of_IOL7B	NONE		C15	D3	P10	K7		
IOL7B	I/O	DQ0	7		Comp_of_IOL7A	NONE			C3	P9	L7		
IOL80A	LVDS	DQ4	6		True_of_IOL80B	TRUE				AC9			
IOL80B	LVDS	DQ4	6		Comp_of_IOL80A	TRUE				AC10			
IOL81A	I/O	DQ4	6		True_of_IOL81B	NONE		C6		AJ4	AB3		
IOL81B	I/O	DQ4	6		Comp_of_IOL81A	NONE				AK4	AC3		
IOL82A	I/O	DQ4	6		True_of_IOL82B	TRUE	B2	B2	V5	AJ1	AD1	B2	B3
IOL82B	I/O	DQ4	6		Comp_of_IOL82A	TRUE	A2	A2	U5	AK1	AE1	A2	A4
IOL83A	I/O	DQ4	6		True_of_IOL83B	NONE	D4	D4	T5	AH5	AC2	D4	
IOL83B	I/O	DQ4	6		Comp_of_IOL83A	NONE	C4	C4	T6	AJ5	AD2	C4	
IOL8A	I/O	DQS0	7		True_of_IOL8B	TRUE	D14	C14	E4	H6	D3	D14	D17
IOL8B	I/O	DQS0	7		Comp_of_IOL8A	TRUE	C14		E3	J6	E4	C14	C16
IOL9A/LPLL1_T_in	I/O	DQ0	7	LPLL1_T_in	True_of_IOL9B	NONE	C15	A15	F4	J5	E3	C15	
IOL9B/LPLL1_C_in	I/O	DQ0	7	LPLL1_C_in	Comp_of_IOL9A	NONE	A15		G4	K5	F3	A15	
IOR11A/RPLL1_T_fb	I/O	DQ14	2	RPLL1_T_fb	True_of_IOR11B	TRUE	U13	U13	B21	L30	F22	U13	W15

注！
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
IOR11B/RPLL1_C_fb	I/O	DQ14	2	RPLL1_C_fb	Comp_of_IOR11A	TRUE	V13	V13	C21	M30	G22	V13	Y16
IOR12A	I/O	DQ14	2		True_of_IOR12B	NONE				L33	D26		
IOR12B	I/O	DQ14	2		Comp_of_IOR12A	NONE				M33	E26		
IOR13A	LVDS	DQ14	2		True_of_IOR13B	TRUE				L31	G25		
IOR13B	LVDS	DQ14	2		Comp_of_IOR13A	TRUE				M31	H25		
IOR14A	I/O	DQ14	2		True_of_IOR14B	NONE			J18	P25	K18		AA14
IOR14B	I/O	DQ14	2		Comp_of_IOR14A	NONE			K18	P26	L18		AB14
IOR15A	I/O	DQ14	2		True_of_IOR15B	TRUE	U11	U11	G19	L32	H24	U11	W14
IOR15B	I/O	DQ14	2		Comp_of_IOR15A	TRUE	V11	V11	G20	M32	J23	V11	Y14
IOR16A	I/O	DQ14	2		True_of_IOR16B	NONE			F20	K30	H23		
IOR16B	I/O	DQ14	2		Comp_of_IOR16A	NONE			F21	J30	J22		
IOR17A	LVDS	DQ14	2		True_of_IOR17B	TRUE				L34			
IOR17B	LVDS	DQ14	2		Comp_of_IOR17A	TRUE				M34			
IOR18A	I/O	DQS14	2		True_of_IOR18B	NONE			C22	K29	H21		T14
IOR18B	I/O	DQS14	2		Comp_of_IOR18A	NONE			D22	J29	J21		U14
IOR20A	I/O	DQ14	2		True_of_IOR20B	TRUE	R11	R11	H20	N31	K24	R11	W11
IOR20B	I/O	DQ14	2		Comp_of_IOR20A	TRUE	T11	T11	H21	P31	L24	T11	Y10
IOR21A	I/O	DQ14	2		True_of_IOR21B	NONE			J19	N27	G26		
IOR21B	I/O	DQ14	2		Comp_of_IOR21A	NONE			J20	P27	H26		
IOR22A	LVDS	DQ14	2		True_of_IOR22B	TRUE				N33	K23		
IOR22B	LVDS	DQ14	2		Comp_of_IOR22A	TRUE				P33	L23		
IOR23A	I/O	DQ14	2		True_of_IOR23B	NONE				R25	L20		
IOR23B	I/O	DQ14	2		Comp_of_IOR23A	NONE				R26	M20		
IOR24A	LVDS	DQ14	2		True_of_IOR24B	TRUE				N34			
IOR24B	LVDS	DQ14	2		Comp_of_IOR24A	TRUE				P34			
IOR25A	I/O	DQ14	2		True_of_IOR25B	NONE				T25	L17		AA12
IOR25B	I/O	DQ14	2		Comp_of_IOR25A	NONE				T24	N17		AB12
IOR26A	LVDS	DQ14	2		True_of_IOR26B	TRUE				N28			
IOR26B	LVDS	DQ14	2		Comp_of_IOR26A	TRUE				P28			
IOR27A	I/O	DQ14	2		True_of_IOR27B	NONE				R28	K22		
IOR27B	I/O	DQ14	2		Comp_of_IOR27A	NONE				T28	L22		
IOR28A	I/O	DQ13	2		True_of_IOR28B	TRUE	T12	T12	F22	R30	K21	T12	R13
IOR28B	I/O	DQ13	2		Comp_of_IOR28A	TRUE	V12	V12	E22	T30	M21	V12	U13
IOR29A	I/O	DQ13	2		True_of_IOR29B	NONE			G21	N29	J26		

注！
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
IOR29B	I/O	DQ13	2		Comp_of_IOR29A	NONE			G22	P29	K26		
IOR2A	I/O	DQ15	2		True_of_IOR2B	TRUE	U16	U16	F18	K31	C25	U16	Y18
IOR2B	I/O	DQ15	2		Comp_of_IOR2A	TRUE	V16	V16	F19	J31	D25	V16	T15
IOR30A	LVDS	DQ13	2		True_of_IOR30B	TRUE				T27			
IOR30B	LVDS	DQ13	2		Comp_of_IOR30A	TRUE				T26			
IOR31A	I/O	DQ13	2		True_of_IOR31B	NONE				R31	M24		T12
IOR31B	I/O	DQ13	2		Comp_of_IOR31A	NONE				T31	N24		U12
IOR32A	I/O	DQ13	2		True_of_IOR32B	TRUE	N10	N10	H22	U27	M19	N10	Y13
IOR32B	I/O	DQ13	2		Comp_of_IOR32A	TRUE	P11	P11	J22	U26	N19	P11	AB13
IOR33A	I/O	DQ13	2		True_of_IOR33B	NONE			K22	R32	M23		
IOR33B	I/O	DQ13	2		Comp_of_IOR33A	NONE			L22	T32	N23		
IOR34A	I/O	DQS13	2		True_of_IOR34B	TRUE	M10	M10	K19	N30	J25	M10	
IOR34B	I/O	DQS13	2		Comp_of_IOR34A	TRUE	N9	N9	L19	P30	K25	N9	
IOR35A/RPLL2_T_in	I/O	DQ13	2	RPLL2_T_in	True_of_IOR35B	NONE	M11	M11	K20	R33	M22	M11	W12
IOR35B/RPLL2_C_in	I/O	DQ13	2	RPLL2_C_in	Comp_of_IOR35A	NONE	N11	N11	L20	T33	N21	N11	Y12
IOR37A/RPLL2_T_fb	I/O	DQ13	2	RPLL2_T_fb	True_of_IOR37B	TRUE	R10	R10	L21	R34	N20	R10	R11
IOR37B/RPLL2_C_fb	I/O	DQ13	2	RPLL2_C_fb	Comp_of_IOR37A	TRUE	T10	T10	M21	T34	P18	T10	T11
IOR38A	I/O	DQ13	2		True_of_IOR38B	NONE				U31	M26		
IOR38B	I/O	DQ13	2		Comp_of_IOR38A	NONE				V31	N26		
IOR39A	LVDS	DQ13	2		True_of_IOR39B	TRUE				U29			
IOR39B	LVDS	DQ13	2		Comp_of_IOR39A	TRUE				V29			
IOR3A	I/O	DQ15	2		True_of_IOR3B	NONE			E19	J34	B26		AA18
IOR3B	I/O	DQ15	2		Comp_of_IOR3A	NONE			E20	K34	C26		AB18
IOR40A	I/O	DQ13	2		True_of_IOR40B	NONE				V27	M18		V11
IOR40B	I/O	DQ13	2		Comp_of_IOR40A	NONE				W27	N18		W10
IOR41A	LVDS	DQ13	2		True_of_IOR41B	TRUE				U30			
IOR41B	LVDS	DQ13	2		Comp_of_IOR41A	TRUE				V30			
IOR42A/TDO	I/O	DQ13	2	TDO	True_of_IOR42B	NONE	D16	D16	M22	W32	P22	D16	E14
IOR42B/TMS	I/O	DQ13	2	TMS	Comp_of_IOR42A	NONE	B18	B18	N22	Y32	P23	B18	E16
IOR43A/TCK	I/O	DQ13	2	TCK	True_of_IOR43B	TRUE	A17	A17	N20	U33	N25	A17	D14
IOR43B/TDI	I/O	DQ13	2	TDI	Comp_of_IOR43A	TRUE	D15	D15	M20	V33	M25	D15	E18
IOR44A/GCLKT_2	I/O	DQ13	2	GCLKT_2	True_of_IOR44B	NONE	U10	U10	M19	W31	P20	U10	Y11
IOR44B/GCLKC_2	I/O	DQ13	2	GCLKC_2	Comp_of_IOR44A	NONE	V10	V10	N19	Y31	P21	V10	AB11
IOR46A/GCLKT_3	I/O	DQ12	3	GCLKT_3	True_of_IOR46B	TRUE	R8	R8	P22	W30	R24	R8	AA10

注！
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
IOR46B/GCLKC_3	I/O	DQ12	3	GCLKC_3	Comp_of_IOR46A	TRUE	T8	T8	R22	Y30	T24	T8	AB10
IOR47A/MODE0	I/O	DQ12	3	MODE0	True_of_IOR47B	NONE	T15 ^[1]	T15 ^[2]	T22	U34	P26	T15	GND ^[4]
IOR47B/MODE1	I/O	DQ12	3	MODE1	Comp_of_IOR47A	NONE	T15 ^[1]	T15 ^[2]	U22	V34	R26	GND ^[4]	GND ^[4]
IOR48A/MODE2	I/O	DQ12	3	MODE2	True_of_IOR48B	TRUE	N12	N12	U21	W28	R23	N12	GND ^[4]
IOR48B/RECONFIG_N	I/O	DQ12	3	RECONFIG_N	Comp_of_IOR48A	TRUE	V2	V2	T21	Y28	T23	V2	AA1
IOR49A/READY	I/O	DQ12	3	READY	True_of_IOR49B	NONE	U3	U3	L18	W26	R17	U3	Y5
IOR49B/DONE	I/O	DQ12	3	DONE	Comp_of_IOR49A	NONE	V17	V17	M18	W25	T17	V17	U16
IOR4A	LVDS	DQ15	2		True_of_IOR4B	TRUE				J32	E24		
IOR4B	LVDS	DQ15	2		Comp_of_IOR4A	TRUE				K32	F25		
IOR50A/MI/D7	I/O	DQ12	3	MI/D7	True_of_IOR50B	TRUE	R13	R13	P19	W33	R22	R13	Y17
IOR50B/MO/D6	I/O	DQ12	3	MO/D6	Comp_of_IOR50A	TRUE	T13	T13	P20	Y33	R21	T13	AB17
IOR51A/MCS_N/D5	I/O	DQ12	3	MCS_N/D5	True_of_IOR51B	NONE	V3	V3	N18	AA34	R20	V3	AB5
IOR51B/MCLK/D4	I/O	DQ12	3	MCLK/D4	Comp_of_IOR51A	NONE	R15	R15	P18	AB34	T20	R15	W17
IOR52A/FASTRD_N/D3	I/O	DQ12	3	FASTRD_N/D3	True_of_IOR52B	TRUE	T9	T9	R20	W34	P25	T9	
IOR52B/SI/D2	I/O	DQ12	3	SI/D2	Comp_of_IOR52A	TRUE	V9	V9	R21	Y34	R25	V9	
IOR53A/SO/D1	I/O	DQS12	3	SO/D1	True_of_IOR53B	NONE	M8	M8	V22	AA33	R19	M8	
IOR53B/SSPI_CS_N/D0	I/O	DQS12	3	SSPI_CS_N/D0	Comp_of_IOR53A	NONE	N8	N8	W22	AB33	U19	N8	
IOR55A/DIN/CLKHOLD_N	I/O	DQ12	3	DIN/CLKHOLD_N	True_of_IOR55B	TRUE	U8	U8	T20	AA31	U25	U8	T10
IOR55B/DOOUT/WE_N	I/O	DQ12	3	DOOUT/WE_N	Comp_of_IOR55A	TRUE	V8	V8	U20	AB31	V25	V8	U10
IOR56A/SCLK	I/O	DQ12	3	SCLK	True_of_IOR56B	NONE	P12	P12	T19	AA30	U26	P12	U9
IOR56B	I/O	DQ12	3		Comp_of_IOR56A	NONE	P13	P13	R19	AB30	V26	P13	V9
IOR57A	LVDS	DQ12	3		True_of_IOR57B	TRUE				AD33	U24		
IOR57B	LVDS	DQ12	3		Comp_of_IOR57A	TRUE				AE33	V24		
IOR58A	I/O	DQ12	3		True_of_IOR58B	NONE	U7	U7		Y26	R18	U7	
IOR58B	I/O	DQ12	3		Comp_of_IOR58A	NONE	V7	V7		Y25	T18	V7	
IOR59A	LVDS	DQ12	3		True_of_IOR59B	TRUE				AC32	U23		
IOR59B	LVDS	DQ12	3		Comp_of_IOR59A	TRUE				AD32	V23		
IOR5A	I/O	DQ15	2		True_of_IOR5B	NONE			G17	M25	J20		AA16
IOR5B	I/O	DQ15	2		Comp_of_IOR5A	NONE			G18	M26	K20		AB16
IOR60A	I/O	DQ12	3		True_of_IOR60B	NONE	N7	N7		AC31	U22	N7	W9
IOR60B	I/O	DQ12	3		Comp_of_IOR60A	NONE	P8	P8		AD31	V22	P8	Y8
IOR61A	LVDS	DQ12	3		True_of_IOR61B	TRUE				AA29			
IOR61B	LVDS	DQ12	3		Comp_of_IOR61A	TRUE				AB29			

注！
[1] UG324封装IOR47A, IOR47B共用T15管脚。
[2] UG324D封装IOR47A, IOR47B共用T15管脚。
[3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
[4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
IOR62A	I/O	DQ12	3		True_of_IOR62B	NONE	T6	T6		AC30	U21	T6	
IOR62B	I/O	DQ12	3		Comp_of_IOR62A	NONE	V6	V6		AD30	V21	V6	
IOR67A	LVDS	DQ11	3		True_of_IOR67B	TRUE				AH29	U20		
IOR67B	LVDS	DQ11	3		Comp_of_IOR67A	TRUE				AG29	V20		
IOR68A	I/O	DQ11	3		True_of_IOR68B	NONE				AA28	W26		Y9
IOR68B	I/O	DQ11	3		Comp_of_IOR68A	NONE				AB28	Y26		AB9
IOR69A	LVDS	DQ11	3		True_of_IOR69B	TRUE				AH31	V19		
IOR69B	LVDS	DQ11	3		Comp_of_IOR69A	TRUE				AG31	W21		
IOR6A	LVDS	DQ15	2		True_of_IOR6B	TRUE				G34			
IOR6B	LVDS	DQ15	2		Comp_of_IOR6A	TRUE				H34			
IOR70A	I/O	DQ11	3		True_of_IOR70B	NONE				AA26	U18		
IOR70B	I/O	DQ11	3		Comp_of_IOR70A	NONE				AA25	V18		
IOR71A	I/O	DQ11	3		True_of_IOR71B	TRUE	R7	R7		AH32	W25	R7	AA8
IOR71B	I/O	DQ11	3		Comp_of_IOR71A	TRUE	T7	T7		AG32	Y25	T7	AB8
IOR72A	I/O	DQ11	3		True_of_IOR72B	NONE	N6	N6		AG34	W23	N6	
IOR72B	I/O	DQ11	3		Comp_of_IOR72A	NONE	P7	P7		AH34	Y23	P7	
IOR73A	I/O	DQS11	3		True_of_IOR73B	TRUE	R5	R5	Y22	AC34	AB26	R5	V7
IOR73B	I/O	DQS11	3		Comp_of_IOR73A	TRUE	T5	T5	AA22	AD34	AC26	T5	W8
IOR74A/RPLL3_T_in	I/O	DQ11	3	RPLL3_T_in	True_of_IOR74B	NONE	U5	U5	R18	AE34	Y24	U5	
IOR74B/RPLL3_C_in	I/O	DQ11	3	RPLL3_C_in	Comp_of_IOR74A	NONE	V5	V5	T18	AF34	AA24	V5	
IOR76A/RPLL3_T_fb	I/O	DQ11	3	RPLL3_T_fb	True_of_IOR76B	TRUE	R3	R3	Y21	AE32	Y22	R3	W6
IOR76B/RPLL3_C_fb	I/O	DQ11	3	RPLL3_C_fb	Comp_of_IOR76A	TRUE	T3	T3	AA21	AF32	AA22	T3	Y6
IOR77A	I/O	DQ11	3		True_of_IOR77B	NONE			W20	AE31	AA25		
IOR77B	I/O	DQ11	3		Comp_of_IOR77A	NONE			V20	AF31	AC25		
IOR78A	LVDS	DQ11	3		True_of_IOR78B	TRUE				AB25			
IOR78B	LVDS	DQ11	3		Comp_of_IOR78A	TRUE				AB26			
IOR79A	I/O	DQ11	3		True_of_IOR79B	NONE	N5	N5	AB22	AE30	AA23	N5	Y7
IOR79B	I/O	DQ11	3		Comp_of_IOR79A	NONE	P6	P6	AB21	AF30	AB23	P6	AB7
IOR7A	I/O	DQ15	2		True_of_IOR7B	NONE			H19	N25	J19		Y15
IOR7B	I/O	DQ15	2		Comp_of_IOR7A	NONE			H18	N26	K19		AB15
IOR80A	LVDS	DQ11	3		True_of_IOR80B	TRUE				AC25			
IOR80B	LVDS	DQ11	3		Comp_of_IOR80A	TRUE				AC26			
IOR81A	I/O	DQ11	3		True_of_IOR81B	NONE				AE29	AB24		
IOR81B	I/O	DQ11	3		Comp_of_IOR81A	NONE				AF29	AC24		

注！
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
IOR82A	I/O	DQ11	3		True_of_IOR82B	TRUE	T4	T4	T17	AC28	AD26	T4	AA6
IOR82B	I/O	DQ11	3		Comp_of_IOR82A	TRUE	V4	V4	U17	AD28	AE26	V4	AB6
IOR83A	I/O	DQ11	3		True_of_IOR83B	NONE			U19	AE28	AD25		
IOR83B	I/O	DQ11	3		Comp_of_IOR83A	NONE			U18	AF28	AE25		
IOR8A	I/O	DQS15	2		True_of_IOR8B	TRUE	U15	U15	D19	L27	F24	U15	V13
IOR8B	I/O	DQS15	2		Comp_of_IOR8A	TRUE	V15	V15	D20	M27	G24	V15	W13
IOR9A/RPLL1_T_in	I/O	DQ15	2	RPLL1_T_in	True_of_IOR9B	NONE	T14	T14	B20	L28	F23	T14	U15
IOR9B/RPLL1_C_in	I/O	DQ15	2	RPLL1_C_in	Comp_of_IOR9A	NONE	V14	V14	C20	M28	G23	V14	V15
IOT12A	LVDS	DQ20	0		True_of_IOT12B	TRUE				E9			
IOT12B	LVDS	DQ20	0		Comp_of_IOT12A	TRUE				E10			
IOT13A	I/O	DQ20	0		True_of_IOT13B	NONE				H11	B4		B20
IOT13B	I/O	DQ20	0		Comp_of_IOT13A	NONE				H12	B6		A21
IOT14A	LVDS	DQ20	0		True_of_IOT14B	TRUE				K12			
IOT14B	LVDS	DQ20	0		Comp_of_IOT14A	TRUE				J12			
IOT15A	I/O	DQ20	0		True_of_IOT15B	NONE				C8	D7		F17
IOT15B	I/O	DQ20	0		Comp_of_IOT15A	NONE				C7	D8		F18
IOT16A	I/O	DQ20	0		True_of_IOT16B	TRUE				J14	H9		A19
IOT16B	I/O	DQ20	0		Comp_of_IOT16A	TRUE				H14	H10		A20
IOT17A	I/O	DQ20	0		True_of_IOT17B	NONE	D17	D17	D7	D8	F7	D17	
IOT17B	I/O	DQ20	0		Comp_of_IOT17A	NONE	D18	D18	D8	D7	F8	D18	
IOT18A	I/O	DQ20	0		True_of_IOT18B	TRUE	H12	H12	A2	G11	A7	H12	L20
IOT18B	I/O	DQ20	0		Comp_of_IOT18A	TRUE	G13	G13	A3	G12	A8	G13	L22
IOT19A	I/O	DQ20	0		True_of_IOT19B	NONE				F8	G7		F19
IOT19B	I/O	DQ20	0		Comp_of_IOT19A	NONE				F7	G8		F20
IOT20A	I/O	DQ20	0		True_of_IOT20B	TRUE	E16	E16	C7	C11	D9	E16	K21
IOT20B	I/O	DQ20	0		Comp_of_IOT20A	TRUE	E18	E18	C8	C12	D10	E18	K22
IOT21A	I/O	DQ20	0		True_of_IOT21B	NONE			A4	E11	B7		K20
IOT21B	I/O	DQ20	0		Comp_of_IOT21A	NONE			A5	E12	B8		
IOT22A	LVDS	DQ20	0		True_of_IOT22B	TRUE				B11			
IOT22B	LVDS	DQ20	0		Comp_of_IOT22A	TRUE				B12			
IOT23A	I/O	DQ20	0		True_of_IOT23B	NONE	K12	K12		K14	J10	K12	J16
IOT23B	I/O	DQ20	0		Comp_of_IOT23A	NONE	K13	K13		K15	J11	K13	H16
IOT24A	I/O	DQ20	0		True_of_IOT24B	TRUE	F17	F17	B6	A11	E9	F17	N19
IOT24B	I/O	DQ20	0		Comp_of_IOT24A	TRUE	F18	F18	A6	A12	E10	F18	M20

注!
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入, 仅在Bank0/1中支持, Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
IOT25A	I/O	DQ20	0		True_of_IOT25B	NONE			E8	J15	K11		L15
IOT25B	I/O	DQ20	0		Comp_of_IOT25A	NONE			E9	H15	K12		K16
IOT26A	I/O	DQ20	0		True_of_IOT26B	TRUE				D11	C7		N20
IOT26B	I/O	DQ20	0		Comp_of_IOT26A	TRUE				D12	C8		N22
IOT27A	I/O	DQS20	0		True_of_IOT27B	NONE	H13	H13	B7	G13	F9	H13	M21
IOT27B	I/O	DQS20	0		Comp_of_IOT27A	NONE	H14	H14	A7	G14	F10	H14	M22
IOT2A	I/O	DQ21	0		True_of_IOT2B	TRUE			D5	B7	C4		F15
IOT2B	I/O	DQ21	0		Comp_of_IOT2A	TRUE			D6	B8	C5		F16
IOT30A	I/O	DQS19	0		True_of_IOT30B	TRUE	H15	H15	D9	F13	G9	H15	T21
IOT30B	I/O	DQS19	0		Comp_of_IOT30A	TRUE	H16	H16	D10	F14	G10	H16	T22
IOT31A	I/O	DQ19	0		True_of_IOT31B	NONE				C15	A9		E20
IOT31B	I/O	DQ19	0		Comp_of_IOT31A	NONE				C16	A10		E22
IOT32A	LVDS	DQ19	0		True_of_IOT32B	TRUE				E13			
IOT32B	LVDS	DQ19	0		Comp_of_IOT32A	TRUE				E14			
IOT33A	I/O	DQ19	0		True_of_IOT33B	NONE				B15	B9		G20
IOT33B	I/O	DQ19	0		Comp_of_IOT33A	NONE				B16	B10		G22
IOT34A	LVDS	DQ19	0		True_of_IOT34B	TRUE				L16			
IOT34B	LVDS	DQ19	0		Comp_of_IOT34A	TRUE				K16			
IOT35A	I/O	DQ19	0		True_of_IOT35B	NONE				D13	D11		D21
IOT35B	I/O	DQ19	0		Comp_of_IOT35A	NONE				D14	D12		D22
IOT36A	I/O	DQ19	0		True_of_IOT36B	TRUE	G16	G16	C9	A15	C10	G16	P21
IOT36B	I/O	DQ19	0		Comp_of_IOT36A	TRUE	G18	G18	C10	A16	C11	G18	P22
IOT37A	I/O	DQ19	0		True_of_IOT37B	NONE			B8	B13	E11		C20
IOT37B	I/O	DQ19	0		Comp_of_IOT37A	NONE			A8	B14	E12		C22
IOT38A	LVDS	DQ19	0		True_of_IOT38B	TRUE				A13			
IOT38B	LVDS	DQ19	0		Comp_of_IOT38A	TRUE				A14			
IOT39A	I/O	DQ19	0		True_of_IOT39B	NONE				A17	A12		K18
IOT39B	I/O	DQ19	0		Comp_of_IOT39A	NONE				A18	A13		K19
IOT3A	I/O	DQ21	0		True_of_IOT3B	NONE			E6	D9	A2		
IOT3B	I/O	DQ21	0		Comp_of_IOT3A	NONE			E7	D10	A3		
IOT40A	I/O	DQ19	0		True_of_IOT40B	TRUE	J13	J13	A9	G15	G11	J13	R20
IOT40B	I/O	DQ19	0		Comp_of_IOT40A	TRUE	K14	K14	A10	G16	G12	K14	R22
IOT41A	I/O	DQ19	0		True_of_IOT41B	NONE			E10	J16	J12		J17
IOT41B	I/O	DQ19	0		Comp_of_IOT41A	NONE			E11	H16	J13		J19

注！
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
IOT42A	I/O	DQ19	0		True_of_IOT42B	TRUE	L12	L12	A11	E15	F12	L12	U20
IOT42B	I/O	DQ19	0		Comp_of_IOT42A	TRUE	L13	L13	A12	E16	G13	L13	U22
IOT43A	I/O	DQ19	0		True_of_IOT43B	NONE				J17	H12		L19
IOT43B	I/O	DQ19	0		Comp_of_IOT43A	NONE				H17	H13		
IOT44A	I/O	DQ19	0		True_of_IOT44B	TRUE				B17	B12		V21
IOT44B	I/O	DQ19	0		Comp_of_IOT44A	TRUE				B18	B13		V22
IOT45A/GCLKT_0	I/O	DQ19	0	GCLKT_0	True_of_IOT45B	NONE	K15	K15	B11	D15	F13	K15	M18
IOT45B/GCLKC_0	I/O	DQ19	0	GCLKC_0	Comp_of_IOT45A	NONE	K16	K16	B12	D16	D13	K16	M19
IOT48A/GCLKT_1	I/O	DQ18	1	GCLKT_1	True_of_IOT48B	TRUE	L15	L15	D11	F17	C12	L15	H17
IOT48B/GCLKC_1	I/O	DQ18	1	GCLKC_1	Comp_of_IOT48A	TRUE	L16	L16	D12	F18	C13	L16	H18
IOT49A	I/O	DQ18	1		True_of_IOT49B	NONE				A19	A14		
IOT49B	I/O	DQ18	1		Comp_of_IOT49A	NONE				A20	A15		
IOT4A	I/O	DQ21	0		True_of_IOT4B	TRUE	F15	F15	D4	A7	D4	F15	F13
IOT4B	I/O	DQ21	0		Comp_of_IOT4A	TRUE	F16	F16	C4	A8	D5	F16	F14
IOT50A	I/O	DQ18	1		True_of_IOT50B	TRUE	H17	H17		H18	K14	H17	B21
IOT50B	I/O	DQ18	1		Comp_of_IOT50A	TRUE	H18	H18		J18	K16	H18	B22
IOT51A	I/O	DQ18	1		True_of_IOT51B	NONE			C11	G17	G14		F21
IOT51B	I/O	DQ18	1		Comp_of_IOT51A	NONE			C12	G18	G15		F22
IOT52A	I/O	DQ18	1		True_of_IOT52B	TRUE			E12	H19	J14		H13
IOT52B	I/O	DQ18	1		Comp_of_IOT52A	TRUE			E13	J19	J15		H14
IOT53A	I/O	DQ18	1		True_of_IOT53B	NONE			A13	E17	B14		H12
IOT53B	I/O	DQ18	1		Comp_of_IOT53A	NONE			A14	E18	B15		G13
IOT54A	LVDS	DQ18	1		True_of_IOT54B	TRUE				B19			
IOT54B	LVDS	DQ18	1		Comp_of_IOT54A	TRUE				B20			
IOT55A	I/O	DQ18	1		True_of_IOT55B	NONE				D17	C15		L17
IOT55B	I/O	DQ18	1		Comp_of_IOT55A	NONE				D18	C16		K17
IOT56A	I/O	DQ18	1		True_of_IOT56B	TRUE	J16	J16	A15	G19	D14	J16	H21
IOT56B	I/O	DQ18	1		Comp_of_IOT56A	TRUE	J18	J18	B15	G20	D15	J18	H22
IOT57A	I/O	DQ18	1		True_of_IOT57B	NONE			C13	C19	A17		H19
IOT57B	I/O	DQ18	1		Comp_of_IOT57A	NONE			D13	C20	A18		H20
IOT58A	I/O	DQ18	1		True_of_IOT58B	TRUE	L17	L17		A21	E14	L17	J21
IOT58B	I/O	DQ18	1		Comp_of_IOT58A	TRUE	L18	L18		A22	E15	L18	J22
IOT59A	I/O	DQ18	1		True_of_IOT59B	NONE				K19	H15		
IOT59B	I/O	DQ18	1		Comp_of_IOT59A	NONE				L19	H17		

注！
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入, 仅在Bank0/1中支持, Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
IOT5A	I/O	DQ21	0		True_of_IOT5B	NONE				C9	B2		
IOT5B	I/O	DQ21	0		Comp_of_IOT5A	NONE				C10	B3		
IOT60A	LVDS	DQ18	1		True_of_IOT60B	TRUE				D19			
IOT60B	LVDS	DQ18	1		Comp_of_IOT60A	TRUE				D20			
IOT61A	I/O	DQ18	1		True_of_IOT61B	NONE				B21	F14		W20
IOT61B	I/O	DQ18	1		Comp_of_IOT61A	NONE				B22	F15		W22
IOT62A	I/O	DQ18	1		True_of_IOT62B	TRUE				E19	B17		M16
IOT62B	I/O	DQ18	1		Comp_of_IOT62A	TRUE				E20	B18		M17
IOT63A	I/O	DQS18	1		True_of_IOT63B	NONE	K17	K17	A16	D21	D16	K17	
IOT63B	I/O	DQS18	1		Comp_of_IOT63A	NONE	K18	K18	B16	D22	D17	K18	
IOT66A	I/O	DQS17	1		True_of_IOT66B	TRUE	N15	N15	C14	E21	C17	N15	Y21
IOT66B	I/O	DQS17	1		Comp_of_IOT66A	TRUE	N16	N16	C15	E22	C18	N16	Y22
IOT67A	I/O	DQ17	1		True_of_IOT67B	NONE				C23	A19		N15
IOT67B	I/O	DQ17	1		Comp_of_IOT67A	NONE				C24	A20		N16
IOT68A	I/O	DQ17	1		True_of_IOT68B	TRUE	M16	M16	A17	J20	G16	M16	AA20
IOT68B	I/O	DQ17	1		Comp_of_IOT68A	TRUE	M18	M18	B17	H20	G17	M18	AB21
IOT69A	I/O	DQ17	1		True_of_IOT69B	NONE			D14	F21	D18		
IOT69B	I/O	DQ17	1		Comp_of_IOT69A	NONE			D15	F22	D19		
IOT6A	I/O	DQ21	0		True_of_IOT6B	TRUE	C17	C17	F6	G9	C6	C17	G15
IOT6B	I/O	DQ21	0		Comp_of_IOT6A	TRUE	C18	C18	F7	G10	D6	C18	G16
IOT70A	I/O	DQ17	1		True_of_IOT70B	TRUE	N17	N17		K20	J16	N17	P15
IOT70B	I/O	DQ17	1		Comp_of_IOT70A	TRUE	N18	N18		K21	J17	N18	P16
IOT71A	I/O	DQ17	1		True_of_IOT71B	NONE				G21	E17		AA21
IOT71B	I/O	DQ17	1		Comp_of_IOT71A	NONE				G22	E18		AA22
IOT72A	I/O	DQ17	1		True_of_IOT72B	TRUE	P17	P17	A18	D23	B19	P17	P19
IOT72B	I/O	DQ17	1		Comp_of_IOT72A	TRUE	P18	P18	A19	D24	B20	P18	P20
IOT73A	I/O	DQ17	1		True_of_IOT73B	NONE			C16	A23	F17		
IOT73B	I/O	DQ17	1		Comp_of_IOT73A	NONE			C17	A24	F18		
IOT74A	I/O	DQ17	1		True_of_IOT74B	TRUE	U17	U17		B23	F19	U17	AB19
IOT74B	I/O	DQ17	1		Comp_of_IOT74A	TRUE	U18	U18		B24	F20	U18	AB20
IOT75A	I/O	DQ17	1		True_of_IOT75B	NONE			A20	E23	A22		
IOT75B	I/O	DQ17	1		Comp_of_IOT75A	NONE			A21	E24	A23		
IOT76A	I/O	DQ17	1		True_of_IOT76B	TRUE	T17	T17	C18	K25	C20	T17	P17
IOT76B	I/O	DQ17	1		Comp_of_IOT76A	TRUE	T18	T18	C19	K24	C21	T18	P18

注！
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
IOT77A	I/O	DQ17	1		True_of_IOT77B	NONE				H21	H18		Y19
IOT77B	I/O	DQ17	1		Comp_of_IOT77A	NONE				J21	H20		Y20
IOT78A	LVDS	DQ17	1		True_of_IOT78B	TRUE				J26			
IOT78B	LVDS	DQ17	1		Comp_of_IOT78A	TRUE				J25			
IOT79A	I/O	DQ17	1		True_of_IOT79B	NONE				J22	G18		R15
IOT79B	I/O	DQ17	1		Comp_of_IOT79A	NONE				K22	G19		R16
IOT7A	I/O	DQ21	0		True_of_IOT7B	NONE			C5	K13	J8		D19
IOT7B	I/O	DQ21	0		Comp_of_IOT7A	NONE			C6	J13	J9		D20
IOT80A	LVDS	DQ17	1		True_of_IOT80B	TRUE				G23			
IOT80B	LVDS	DQ17	1		Comp_of_IOT80A	TRUE				G24			
IOT81A	I/O	DQ17	1		True_of_IOT81B	NONE				H26	D20		R17
IOT81B	I/O	DQ17	1		Comp_of_IOT81A	NONE				H25	D21		R19
IOT84A	I/O	DQS16	1		True_of_IOT84B	TRUE	M14	M14	D16	D25	E20	M14	
IOT84B	I/O	DQS16	1		Comp_of_IOT84A	TRUE	N14	N14	E16	D26	E21	N14	
IOT85A	I/O	DQ16	1		True_of_IOT85B	NONE				H23	B21		
IOT85B	I/O	DQ16	1		Comp_of_IOT85A	NONE				H24	B23		
IOT86A	I/O	DQ16	1		True_of_IOT86B	TRUE			E14	K23	G20		V19
IOT86B	I/O	DQ16	1		Comp_of_IOT86A	TRUE			E15	J23	G21		V20
IOT87A	I/O	DQ16	1		True_of_IOT87B	NONE				D17	E25	C22	
IOT87B	I/O	DQ16	1		Comp_of_IOT87A	NONE				D18	E26	C23	
IOT88A	I/O	DQ16	1		True_of_IOT88B	TRUE	L14	L14		A25	A24	L14	T17
IOT88B	I/O	DQ16	1		Comp_of_IOT88A	TRUE	M13	M13		A26	A25	M13	T18
IOT89A	I/O	DQ16	1		True_of_IOT89B	NONE				F16	F25	D22	
IOT89B	I/O	DQ16	1		Comp_of_IOT89A	NONE				F17	F26	D23	
IOT8A	I/O	DQ21	0		True_of_IOT8B	TRUE	F14	F14		A9	A4	F14	C18
IOT8B	I/O	DQ21	0		Comp_of_IOT8A	TRUE	G14	G14		A10	A5	G14	C19
IOT90A	I/O	DQ16	1		True_of_IOT90B	TRUE	P15	P15	A22	C25	B24	P15	V17
IOT90B	I/O	DQ16	1		Comp_of_IOT90A	TRUE	P16	P16	B22	C26	B25	P16	V18
IOT91A	I/O	DQ16	1		True_of_IOT91B	NONE				E17	G25	E23	T19
IOT91B/JTAGSEL_N	I/O	DQ16	1	JTAGSEL_N	Comp_of_IOT91A	NONE	R16	R16	E18	G26	D24	R16	T20
IOT9A	I/O	DQS21	0		True_of_IOT9B	NONE				B1	F9	E6	G17
IOT9B	I/O	DQS21	0		Comp_of_IOT9A	NONE				A1	F10	E7	G19
NC	N/A		N/A							K28			T16
NC	N/A		N/A							A27			U17

注！
[1] UG324封装IOR47A, IOR47B共用T15管脚。
[2] UG324D封装IOR47A, IOR47B共用T15管脚。
[3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
[4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
NC	N/A		N/A							A28			W18
NC	N/A		N/A							A29			U19
NC	N/A		N/A							A3			
NC	N/A		N/A							A30			
NC	N/A		N/A							A31			
NC	N/A		N/A							A32			
NC	N/A		N/A							A33			
NC	N/A		N/A							A4			
NC	N/A		N/A							A5			
NC	N/A		N/A							A6			
NC	N/A		N/A							AA27			
NC	N/A		N/A							AA8			
NC	N/A		N/A							AB27			
NC	N/A		N/A							AB3			
NC	N/A		N/A							AB8			
NC	N/A		N/A							AC27			
NC	N/A		N/A							AC33			
NC	N/A		N/A							AC7			
NC	N/A		N/A							AC8			
NC	N/A		N/A							AD10			
NC	N/A		N/A							AD25			
NC	N/A		N/A							AD26			
NC	N/A		N/A							AD27			
NC	N/A		N/A							AD6			
NC	N/A		N/A							AD8			
NC	N/A		N/A							AD9			
NC	N/A		N/A							AE10			
NC	N/A		N/A							AE11			
NC	N/A		N/A							AE24			
NC	N/A		N/A							AE25			
NC	N/A		N/A							AE26			
NC	N/A		N/A							AE27			
NC	N/A		N/A							AE5			
NC	N/A		N/A							AE8			

注！
[1] UG324封装IOR47A, IOR47B共用T15管脚。
[2] UG324D封装IOR47A, IOR47B共用T15管脚。
[3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
[4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
NC	N/A		N/A							AE9			
NC	N/A		N/A							AF10			
NC	N/A		N/A							AF23			
NC	N/A		N/A							AF24			
NC	N/A		N/A							AF25			
NC	N/A		N/A							AF26			
NC	N/A		N/A							AF27			
NC	N/A		N/A							AF7			
NC	N/A		N/A							AF9			
NC	N/A		N/A							AG10			
NC	N/A		N/A							AG25			
NC	N/A		N/A							AG28			
NC	N/A		N/A							AG30			
NC	N/A		N/A							AG6			
NC	N/A		N/A							AG7			
NC	N/A		N/A							AG9			
NC	N/A		N/A							AH27			
NC	N/A		N/A							AH28			
NC	N/A		N/A							AH33			
NC	N/A		N/A							AH6			
NC	N/A		N/A							AH7			
NC	N/A		N/A							AH8			
NC	N/A		N/A							AJ29			
NC	N/A		N/A							AJ31			
NC	N/A		N/A							AJ32			
NC	N/A		N/A							AJ33			
NC	N/A		N/A							AJ34			
NC	N/A		N/A							AJ6			
NC	N/A		N/A							AJ7			
NC	N/A		N/A							AJ8			
NC	N/A		N/A							AK29			
NC	N/A		N/A							AK30			
NC	N/A		N/A							AK31			
NC	N/A		N/A							AK32			

注！
[1] UG324封装IOR47A, IOR47B共用T15管脚。
[2] UG324D封装IOR47A, IOR47B共用T15管脚。
[3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
[4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
NC	N/A		N/A							AK34			
NC	N/A		N/A							AK5			
NC	N/A		N/A							AK8			
NC	N/A		N/A							AL1			
NC	N/A		N/A							AL2			
NC	N/A		N/A							AL29			
NC	N/A		N/A							AL3			
NC	N/A		N/A							AL30			
NC	N/A		N/A							AL31			
NC	N/A		N/A							AL32			
NC	N/A		N/A							AL34			
NC	N/A		N/A							AL4			
NC	N/A		N/A							AL5			
NC	N/A		N/A							AL6			
NC	N/A		N/A							AL7			
NC	N/A		N/A							AL8			
NC	N/A		N/A							AM1			
NC	N/A		N/A							AM2			
NC	N/A		N/A							AM29			
NC	N/A		N/A							AM3			
NC	N/A		N/A							AM30			
NC	N/A		N/A							AM31			
NC	N/A		N/A							AM32			
NC	N/A		N/A							AM33			
NC	N/A		N/A							AM34			
NC	N/A		N/A							AM4			
NC	N/A		N/A							AM5			
NC	N/A		N/A							AM6			
NC	N/A		N/A							AM7			
NC	N/A		N/A							AM8			
NC	N/A		N/A							AN2			
NC	N/A		N/A							AN3			
NC	N/A		N/A							AN31			
NC	N/A		N/A							AN32			

注！
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
NC	N/A		N/A							AN33			
NC	N/A		N/A							AN34			
NC	N/A		N/A							AN6			
NC	N/A		N/A							AP2			
NC	N/A		N/A							AP29			
NC	N/A		N/A							AP3			
NC	N/A		N/A							AP30			
NC	N/A		N/A							AP31			
NC	N/A		N/A							AP32			
NC	N/A		N/A							AP4			
NC	N/A		N/A							AP5			
NC	N/A		N/A							AP6			
NC	N/A		N/A							B1			
NC	N/A		N/A							B2			
NC	N/A		N/A							B27			
NC	N/A		N/A							B28			
NC	N/A		N/A							B29			
NC	N/A		N/A							B3			
NC	N/A		N/A							B32			
NC	N/A		N/A							B33			
NC	N/A		N/A							B4			
NC	N/A		N/A							C1			
NC	N/A		N/A							C2			
NC	N/A		N/A							C27			
NC	N/A		N/A							C28			
NC	N/A		N/A							C29			
NC	N/A		N/A							C3			
NC	N/A		N/A							C30			
NC	N/A		N/A							C31			
NC	N/A		N/A							C32			
NC	N/A		N/A							C33			
NC	N/A		N/A							C34			
NC	N/A		N/A							C4			
NC	N/A		N/A							C5			

注！
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
NC	N/A		N/A							C6			
NC	N/A		N/A							D1			
NC	N/A		N/A							D27			
NC	N/A		N/A							D28			
NC	N/A		N/A							D29			
NC	N/A		N/A							D3			
NC	N/A		N/A							D30			
NC	N/A		N/A							D31			
NC	N/A		N/A							D32			
NC	N/A		N/A							D33			
NC	N/A		N/A							D34			
NC	N/A		N/A							D4			
NC	N/A		N/A							D5			
NC	N/A		N/A							D6			
NC	N/A		N/A							E29			
NC	N/A		N/A							E3			
NC	N/A		N/A							E30			
NC	N/A		N/A							E31			
NC	N/A		N/A							E32			
NC	N/A		N/A							E34			
NC	N/A		N/A							E4			
NC	N/A		N/A							E5			
NC	N/A		N/A							E6			
NC	N/A		N/A							F2			
NC	N/A		N/A							F27			
NC	N/A		N/A							F28			
NC	N/A		N/A							F29			
NC	N/A		N/A							F3			
NC	N/A		N/A							F30			
NC	N/A		N/A							F31			
NC	N/A		N/A							F32			
NC	N/A		N/A							F34			
NC	N/A		N/A							F4			
NC	N/A		N/A							F6			

注！
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
NC	N/A		N/A							G2			
NC	N/A		N/A							G27			
NC	N/A		N/A							G28			
NC	N/A		N/A							G29			
NC	N/A		N/A							G31			
NC	N/A		N/A							G32			
NC	N/A		N/A							G33			
NC	N/A		N/A							G6			
NC	N/A		N/A							G7			
NC	N/A		N/A							G8			
NC	N/A		N/A							H10			
NC	N/A		N/A							H13			
NC	N/A		N/A							H22			
NC	N/A		N/A							H28			
NC	N/A		N/A							H29			
NC	N/A		N/A							H31			
NC	N/A		N/A							H32			
NC	N/A		N/A							H33			
NC	N/A		N/A							H5			
NC	N/A		N/A							H7			
NC	N/A		N/A							J10			
NC	N/A		N/A							J11			
NC	N/A		N/A							J24			
NC	N/A		N/A							J28			
NC	N/A		N/A							J7			
NC	N/A		N/A							J8			
NC	N/A		N/A							J9			
NC	N/A		N/A							K10			
NC	N/A		N/A							K11			
NC	N/A		N/A							K2			
NC	N/A		N/A							K26			
NC	N/A		N/A							K27			
NC	N/A		N/A							K7			
NC	N/A		N/A							K8			

注！
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
NC	N/A		N/A							K9			
NC	N/A		N/A							L10			
NC	N/A		N/A							L25			
NC	N/A		N/A							L26			
NC	N/A		N/A							L3			
NC	N/A		N/A							L7			
NC	N/A		N/A							L8			
NC	N/A		N/A							L9			
NC	N/A		N/A							M10			
NC	N/A		N/A							M7			
NC	N/A		N/A							M8			
NC	N/A		N/A							M9			
NC	N/A		N/A							N8			
NC	N/A		N/A							P8			
NC	N/A		N/A							R27			
NC	N/A		N/A							R8			
NC	N/A		N/A							U28			
NC	N/A		N/A							U5			
NC	N/A		N/A							U7			
NC	N/A		N/A							V26			
NC	N/A		N/A							V28			
NC	N/A		N/A							V5			
NC	N/A		N/A							V7			
NC	N/A		N/A							Y27			
NC	N/A		N/A							Y8			
VCC	Power		N/A						J7	AA13	K15		
VCC	Power		N/A						M16	AA22	L12		
VCC	Power		N/A						T7	AB13	L14		
VCC	Power		N/A						L7	AB14	L16		
VCC	Power		N/A						L16	AB15	T13		
VCC	Power		N/A						H7	AB16	M13		
VCC	Power		N/A						G9	AB17	U12		
VCC	Power		N/A						T13	AB18	M17		
VCC	Power		N/A						T14	AB19	N12		

注！
[1] UG324封装IOR47A, IOR47B共用T15管脚。
[2] UG324D封装IOR47A, IOR47B共用T15管脚。
[3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
[4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
VCC	Power		N/A						G10	AB20	N13		
VCC	Power		N/A						M7	AB21	N14		
VCC	Power		N/A						G11	AB22	N16		
VCC	Power		N/A						G12	N13	P11		
VCC	Power		N/A						G14	N14	P13		
VCC	Power		N/A						G13	N15	P14		
VCC	Power		N/A						G15	N16	P15		
VCC	Power		N/A						P16	N17	R12		
VCC	Power		N/A						P7	N18	R14		
VCC	Power		N/A						H16	N19	R16		
VCC	Power		N/A						G7	N20			
VCC	Power		N/A						G16	N21			
VCC	Power		N/A						G8	N22			
VCC	Power		N/A						R16	P13			
VCC	Power		N/A						J16	P22			
VCC	Power		N/A						T12	R13			
VCC	Power		N/A						T11	R22			
VCC	Power		N/A						R7	U13			
VCC	Power		N/A						T15	U22			
VCC	Power		N/A						T9	V13			
VCC	Power		N/A						T8	V22			
VCC	Power		N/A						T10	Y13			
VCC	Power		N/A						T16	Y22			
VCC/VCCPLL/VCCPLL	Power		N/A				G7	G7				G7	N12
VCC/VCCPLL/VCCPLL	Power		N/A				H11	H11				H11	L12
VCC/VCCPLL/VCCPLL	Power		N/A				H9	H9				H9	K9
VCC/VCCPLL/VCCPLL	Power		N/A				J10	J10				J10	K11
VCC/VCCPLL/VCCPLL	Power		N/A				J8	J8				J8	J12
VCC/VCCPLL/VCCPLL	Power		N/A				K11	K11				K11	M11
VCC/VCCPLL/VCCPLL	Power		N/A				K9	K9				K9	K13
VCC/VCCPLL/VCCPLL	Power		N/A				L10	L10				L10	L14
VCC/VCCPLL/VCCPLL	Power		N/A				L8	L8				L8	M13
VCC/VCCPLL/VCCPLL	Power		N/A				M12	M12				M12	J8
VCC/VCCPLL/VCCPLL	Power		N/A				M7	M7				M7	P13

注！
[1] UG324封装IOR47A，IOR47B共用T15管脚。
[2] UG324D封装IOR47A，IOR47B共用T15管脚。
[3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
[4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
VCC/VCCPLL/VCCPLL	Power		N/A										M9
VCC/VCCPLL/VCCPLL	Power		N/A										L10
VCC/VCCPLL/VCCPLL	Power		N/A										R14
VCC/VCCPLL/VCCPLL	Power		N/A										N10
VCC/VCCPLL/VCCPLL	Power		N/A										N14
VCC/VCCPLL/VCCPLL	Power		N/A										P9
VCC/VCCPLL/VCCPLL	Power		N/A										J14
VCC/VCCPLL/VCCPLL	Power		N/A										J10
VCC/VCCPLL/VCCPLL	Power		N/A										P11
VCCIO0	Power		N/A							A2	B5		G14
VCCIO0	Power		N/A				E17	J14		B6	B11	E17	C21
VCCIO0	Power		N/A				G15	E17		B10	E8	G15	B19
VCCIO0	Power		N/A				J14	G15		C14	E13	J14	E19
VCCIO0	Power		N/A							E8	H11		L16
VCCIO0	Power		N/A							F12			J18
VCCIO0	Power		N/A							F16			G21
VCCIO0	Power		N/A							H9			
VCCIO0	Power		N/A							L13			
VCCIO0	Power		N/A						B10	L17			
VCCIO0	Power		N/A						F11	M13			
VCCIO0	Power		N/A						B5	M17			
VCCIO1	Power		N/A				J17	R17		B26	B16	J17	AA19
VCCIO1	Power		N/A				M15	J17		B31	B22	M15	W21
VCCIO1	Power		N/A				R17	M15		C18	E19	R17	U18
VCCIO1	Power		N/A							C22	H16		R21
VCCIO1	Power		N/A						B19	E28			N18
VCCIO1	Power		N/A							F20			L21
VCCIO1	Power		N/A							F24			
VCCIO1	Power		N/A							L18			
VCCIO1	Power		N/A							L22			
VCCIO1	Power		N/A						F12	M18			
VCCIO1	Power		N/A						B14	M22			
VCCIO2	Power		N/A				P9	P9	K21	B34	E25	P9	V16
VCCIO2	Power		N/A				R12	R12	E21	F33	H22	R12	AA11

注！
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
VCCIO2	Power		N/A				U14	U14		H30	L25	U14	T13
VCCIO2	Power		N/A							J27	L19		AA15
VCCIO2	Power		N/A							K33	N22		
VCCIO2	Power		N/A							M29			
VCCIO2	Power		N/A							N23			
VCCIO2	Power		N/A							N24			
VCCIO2	Power		N/A							P32			
VCCIO2	Power		N/A							T29			
VCCIO2	Power		N/A							U23			
VCCIO2	Power		N/A						L17	U24			
VCCIO3	Power		N/A				R6	R6	M17	AB23	T25	R6	AA7
VCCIO3	Power		N/A				U4	U4		AB24	T19	U4	T9
VCCIO3	Power		N/A				U9	U9		AB32	W22	U9	V12
VCCIO3	Power		N/A							AD29	AB25		V8
VCCIO3	Power		N/A							AG33			
VCCIO3	Power		N/A							AJ30			
VCCIO3	Power		N/A							AL33			
VCCIO3	Power		N/A							V23			
VCCIO3	Power		N/A							V24			
VCCIO3	Power		N/A						W21	V32			
VCCIO3	Power		N/A						P21	Y29			
VCCIO4	Power		N/A				J5	J5	AA18	AC18	AE22	J5	W5
VCCIO4	Power		N/A				M4	M4		AC22	AB19	M4	L7
VCCIO4	Power		N/A				R2	R2	AA13	AD18	W16	R2	W2
VCCIO4	Power		N/A							AD22	AE16		AA3
VCCIO4	Power		N/A							AG26	AB14		U5
VCCIO4	Power		N/A							AJ19			N5
VCCIO4	Power		N/A							AJ23			R2
VCCIO4	Power		N/A							AK27			
VCCIO4	Power		N/A							AM21			
VCCIO4	Power		N/A							AN25			
VCCIO4	Power		N/A							AN29			
VCCIO4	Power		N/A						U12	AP33			
VCCIO5	Power		N/A				E2	E2	AA9	AC13	AE11	E2	F4

注！
[1] UG324封装IOR47A, IOR47B共用T15管脚。
[2] UG324D封装IOR47A, IOR47B共用T15管脚。
[3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
[4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
VCCIO5	Power		N/A				G4	G4	AA4	AC17	W11	G4	F6
VCCIO5	Power		N/A				J2	J2		AD13	AB8	J2	J5
VCCIO5	Power		N/A							AD17	AE5		G2
VCCIO5	Power		N/A							AJ11			C2
VCCIO5	Power		N/A							AJ15			L2
VCCIO5	Power		N/A							AK6			
VCCIO5	Power		N/A							AM13			
VCCIO5	Power		N/A							AM17			
VCCIO5	Power		N/A							AN4			
VCCIO5	Power		N/A						U11	AN9			
VCCIO6	Power		N/A				B10	B5	V2	AB6	AB2	B10	B4
VCCIO6	Power		N/A				B5	D7		AB11	T2	B5	B7
VCCIO6	Power		N/A				D7	B10		AB12	W5	D7	G10
VCCIO6	Power		N/A							AE2	P5		E9
VCCIO6	Power		N/A							AF5	T8		
VCCIO6	Power		N/A							AF8			
VCCIO6	Power		N/A							AJ2			
VCCIO6	Power		N/A							AN1			
VCCIO6	Power		N/A							V6			
VCCIO6	Power		N/A						N2	V11			
VCCIO6	Power		N/A						M6	V12			
VCCIO6	Power		N/A							Y3			
VCCIO7	Power		N/A				B15	B15	L6	D2	L2	B15	B15
VCCIO7	Power		N/A				D13	D13	D2	F5	L8	D13	B11
VCCIO7	Power		N/A				E10	E10		H2	E2	E10	E17
VCCIO7	Power		N/A							K6	H5		E13
VCCIO7	Power		N/A							M3			
VCCIO7	Power		N/A							N11			
VCCIO7	Power		N/A							N12			
VCCIO7	Power		N/A							P6			
VCCIO7	Power		N/A							T3			
VCCIO7	Power		N/A							U11			
VCCIO7	Power		N/A						J2	U12			
VCCPLLL	Power		N/A						K7	T13	M15		

注！
[1] UG324封装IOR47A, IOR47B共用T15管脚。
[2] UG324D封装IOR47A, IOR47B共用T15管脚。
[3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
[4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
VCCPLLL	Power		N/A						N7	W13	M11		
VCCPLLR	Power		N/A						K16	T22	T15		
VCCPLLR	Power		N/A						N16	W22	T11		
VCCX	Power		N/A				B1	B1	U14	AA12	AB5	B1	K15
VCCX	Power		N/A				B17	B17	U9	AA23	AB11	B17	R6
VCCX	Power		N/A				E14	E14	F14	AC14	AB22	E14	V6
VCCX	Power		N/A				E5	E5	J6	AC15	E5	E5	N8
VCCX	Power		N/A				E9	E9		AC20	E16	E9	F11
VCCX	Power		N/A				G10	G10	F9	AC21	E22	G10	D16
VCCX	Power		N/A				J12	J12		M14	J18	J12	R12
VCCX	Power		N/A				K7	K7		M15	K13	K7	H15
VCCX	Power		N/A				M9	M9		M20	L5	M9	M15
VCCX	Power		N/A				P10	P10		M21	N10	P10	H9
VCCX	Power		N/A				P14	P14		P12	P17	P14	G12
VCCX	Power		N/A				P5	P5		P23	T22	P5	L8
VCCX	Power		N/A							R12	U14		R10
VCCX	Power		N/A						P17	R23	V9		U11
VCCX	Power		N/A						P6	Y23			
VCCX	Power		N/A						J17	Y12			
VSS	Ground		N/A				A1	A1	J9	A1	A1	A1	A1
VSS	Ground		N/A				A18	A18	U15	A34	A6	A18	A22
VSS	Ground		N/A				B13	B13	K12	AA3	A11	B13	B5
VSS	Ground		N/A				B7	B7	K14	AA11	A16	B7	B9
VSS	Ground		N/A				C16	C16	K11	AA14	A21	C16	B13
VSS	Ground		N/A				C3	C3	J8	AA15	A26	C3	B17
VSS	Ground		N/A				D10	D10	M11	AA16	AA1	D10	D4
VSS	Ground		N/A				D5	D5	K13	AA17	AA6	D5	D18
VSS	Ground		N/A				E15	E15	K15	AA18	AA11	E15	E2
VSS	Ground		N/A				G12	G12	M10	AA19	AA16	G12	E7
VSS	Ground		N/A				G17	G17	U13	AA20	AA21	G17	E11
VSS	Ground		N/A				G2	G2	L12	AA21	AA26	G2	E15
VSS	Ground		N/A				G5	G5	K17	AA24	AD3	G5	E21
VSS	Ground		N/A				H10	H10	K8	AA32	AD8	H10	G5
VSS	Ground		N/A				H8	H8	U10	AC6	AD13	H8	G18

注！
[1] UG324封装IOR47A, IOR47B共用T15管脚。
[2] UG324D封装IOR47A, IOR47B共用T15管脚。
[3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
[4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
VSS	Ground		N/A				J11	J11	K6	AC11	AD18	J11	H7
VSS	Ground		N/A				J15	J15	L13	AC12	AD24	J15	J2
VSS	Ground		N/A				J4	J4	K9	AC16	AF1	J4	J9
VSS	Ground		N/A				J9	J9	L10	AC19	AF6	J9	J11
VSS	Ground		N/A				K10	K10	L14	AC23	AF11	K10	J13
VSS	Ground		N/A				K8	K8	AA10	AC24	AF16	K8	J15
VSS	Ground		N/A				L11	L11	AA14	AC29	AF21	L11	J20
VSS	Ground		N/A				L9	L9	V21	AD11	AF26	L9	K10
VSS	Ground		N/A				M17	M17	L11	AD12	C3	M17	K12
VSS	Ground		N/A				M2	M2	L15	AD14	C9	M2	K14
VSS	Ground		N/A				M6	M6	B18	AD15	C14	M6	L5
VSS	Ground		N/A				N13	N13	L9	AD20	C19	N13	L9
VSS	Ground		N/A				R1	R1	AA19	AD21	C24	R1	L11
VSS	Ground		N/A				R14	R14	F13	AD23	F1	R14	L13
VSS	Ground		N/A				R18	R18	L8	AD24	F6	R18	L18
VSS	Ground		N/A				R4	R4	U8	AE17	F11	R4	M10
VSS	Ground		N/A				R9	R9	M12	AE18	F16	R9	M12
VSS	Ground		N/A				T16	T16	AA5	AF2	F21	T16	M14
VSS	Ground		N/A				U12	U12	D21	AF33	F26	U12	N2
VSS	Ground		N/A				U6	U6	F10	AG5	H3	U6	N9
VSS	Ground		N/A				V1	V1	M13	AG8	H8	V1	N11
VSS	Ground		N/A				V18	V18	F15	AG27	H14	V18	N13
VSS	Ground		N/A						B13	AH30	H19		N17
VSS	Ground		N/A						B9	AJ12	J24		N21
VSS	Ground		N/A						E2	AJ16	K10		P10
VSS	Ground		N/A						B4	AJ20	K17		P12
VSS	Ground		N/A						H8	AJ24	L1		P14
VSS	Ground		N/A						W2	AK2	L6		R5
VSS	Ground		N/A						P2	AK7	L11		R18
VSS	Ground		N/A						N10	AK28	L13		U2
VSS	Ground		N/A						N14	AK33	L15		U7
VSS	Ground		N/A						M9	AM14	L21		U21
VSS	Ground		N/A						F8	AM18	L26		V4
VSS	Ground		N/A						M8	AM22	M12		V10

注！
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
VSS	Ground		N/A						N11	AN5	M14		V14
VSS	Ground		N/A						N15	AN10	M16		W7
VSS	Ground		N/A						P12	AN26	N3		W16
VSS	Ground		N/A						P9	AN30	N8		W19
VSS	Ground		N/A						N21	AP1	N11		AA5
VSS	Ground		N/A							AP34	N15		AA9
VSS	Ground		N/A						N9	B5	P12		AA13
VSS	Ground		N/A						M14	B9	P16		AA17
VSS	Ground		N/A							B25	P19		AB1
VSS	Ground		N/A							B30	P24		AB22
VSS	Ground		N/A							C13	R11		
VSS	Ground		N/A							C17	R13		
VSS	Ground		N/A							C21	R15		
VSS	Ground		N/A							E2	T1		
VSS	Ground		N/A							E7	T6		
VSS	Ground		N/A							E27	T12		
VSS	Ground		N/A							E33	T14		
VSS	Ground		N/A							F11	T16		
VSS	Ground		N/A						N12	F15	T21		
VSS	Ground		N/A						N13	F19	T26		
VSS	Ground		N/A						P13	F23	U10		
VSS	Ground		N/A						N6	G5	U13		
VSS	Ground		N/A						M15	G30	U17		
VSS	Ground		N/A							H8	V3		
VSS	Ground		N/A							H27	W8		
VSS	Ground		N/A							J2	W14		
VSS	Ground		N/A							J33	W19		
VSS	Ground		N/A							K17	W24		
VSS	Ground		N/A							K18			
VSS	Ground		N/A							L6			
VSS	Ground		N/A							L11			
VSS	Ground		N/A							L12			
VSS	Ground		N/A							L14			
VSS	Ground		N/A						N8	L15			

注！
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
VSS	Ground		N/A						P14	L20			
VSS	Ground		N/A							L21			
VSS	Ground		N/A						R10	L23			
VSS	Ground		N/A						R12	L24			
VSS	Ground		N/A							L29			
VSS	Ground		N/A						H6	M11			
VSS	Ground		N/A							M12			
VSS	Ground		N/A							M16			
VSS	Ground		N/A							M19			
VSS	Ground		N/A							M23			
VSS	Ground		N/A							M24			
VSS	Ground		N/A							N3			
VSS	Ground		N/A							N32			
VSS	Ground		N/A							P11			
VSS	Ground		N/A							P14			
VSS	Ground		N/A							P15			
VSS	Ground		N/A						P11	P16			
VSS	Ground		N/A						P10	P17			
VSS	Ground		N/A						P15	P18			
VSS	Ground		N/A						P8	P19			
VSS	Ground		N/A						R11	P20			
VSS	Ground		N/A						R13	P21			
VSS	Ground		N/A						H17	P24			
VSS	Ground		N/A						H12	R6			
VSS	Ground		N/A							R11			
VSS	Ground		N/A							R14			
VSS	Ground		N/A							R15			
VSS	Ground		N/A							R16			
VSS	Ground		N/A							R17			
VSS	Ground		N/A							R18			
VSS	Ground		N/A							R19			
VSS	Ground		N/A							R20			
VSS	Ground		N/A							R21			
VSS	Ground		N/A							R24			

注！
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
VSS	Ground		N/A							R29			
VSS	Ground		N/A						R14	T12			
VSS	Ground		N/A							T14			
VSS	Ground		N/A						J15	T15			
VSS	Ground		N/A						H13	T16			
VSS	Ground		N/A						H11	T17			
VSS	Ground		N/A						H10	T18			
VSS	Ground		N/A							T19			
VSS	Ground		N/A							T20			
VSS	Ground		N/A							T21			
VSS	Ground		N/A							T23			
VSS	Ground		N/A							U3			
VSS	Ground		N/A							U10			
VSS	Ground		N/A							U14			
VSS	Ground		N/A							U15			
VSS	Ground		N/A							U16			
VSS	Ground		N/A							U17			
VSS	Ground		N/A						R17	U18			
VSS	Ground		N/A						J10	U19			
VSS	Ground		N/A						R15	U20			
VSS	Ground		N/A						R6	U21			
VSS	Ground		N/A						J14	U25			
VSS	Ground		N/A						H14	U32			
VSS	Ground		N/A						H15	V10			
VSS	Ground		N/A						J12	V14			
VSS	Ground		N/A						H9	V15			
VSS	Ground		N/A							V16			
VSS	Ground		N/A							V17			
VSS	Ground		N/A							V18			
VSS	Ground		N/A							V19			
VSS	Ground		N/A							V20			
VSS	Ground		N/A							V21			
VSS	Ground		N/A							V25			
VSS	Ground		N/A							W6			

注！
 [1] UG324封装IOR47A, IOR47B共用T15管脚。
 [2] UG324D封装IOR47A, IOR47B共用T15管脚。
 [3] 差分电阻设置用于LVDS输入，仅在Bank0/1中支持，Bank0/1支持100欧姆差分匹配电阻。
 [4] 该管脚内部接地。

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS ^[3]	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
VSS	Ground		N/A							W12			
VSS	Ground		N/A							W14			
VSS	Ground		N/A							W15			
VSS	Ground		N/A						J11	W16			
VSS	Ground		N/A						R9	W17			
VSS	Ground		N/A						J21	W18			
VSS	Ground		N/A							W19			
VSS	Ground		N/A						J13	W20			
VSS	Ground		N/A							W21			
VSS	Ground		N/A							W24			
VSS	Ground		N/A							W29			
VSS	Ground		N/A							Y11			
VSS	Ground		N/A							Y14			
VSS	Ground		N/A							Y15			
VSS	Ground		N/A							Y16			
VSS	Ground		N/A							Y17			
VSS	Ground		N/A							Y18			
VSS	Ground		N/A							Y19			
VSS	Ground		N/A						R8	Y20			
VSS	Ground		N/A						K10	Y21			
VSS	Ground		N/A						K2	Y24			

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
BANK7 True LVDS Pair													
IOL11A/LPLL1_T_fb	I/O	DQ1	7	LPLL1_T_fb	True_of_IOL11B	TRUE	F13	F13	F3	J4	G6	F13	C17
IOL11B/LPLL1_C_fb	I/O	DQ1	7	LPLL1_C_fb	Comp_of_IOL11A	TRUE	E13		G3	K4	F5	E13	A17
IOL13A	LVDS	DQ1	7		True_of_IOL13B	TRUE				J3	G3		
IOL13B	LVDS	DQ1	7		Comp_of_IOL13A	TRUE				K3	F2		
IOL15A	I/O	DQ1	7		True_of_IOL15B	TRUE	B14	B14	C2	J1	F4	B14	B16
IOL15B	I/O	DQ1	7		Comp_of_IOL15A	TRUE	A14		C1	K1	G5	A14	A16
IOL17A	LVDS	DQ1	7		True_of_IOL17B	TRUE				L2			
IOL17B	LVDS	DQ1	7		Comp_of_IOL17A	TRUE				M2			
IOL20A	I/O	DQ1	7		True_of_IOL20B	TRUE	C13	C13	F1	L1	H7	C13	
IOL20B	I/O	DQ1	7		Comp_of_IOL20A	TRUE	A13		G1	M1	J7	A13	
IOL22A	LVDS	DQ1	7		True_of_IOL22B	TRUE				N7			
IOL22B	LVDS	DQ1	7		Comp_of_IOL22A	TRUE				P7			
IOL24A	LVDS	DQ1	7		True_of_IOL24B	TRUE				N5	H6		
IOL24B	LVDS	DQ1	7		Comp_of_IOL24A	TRUE				P5	J6		
IOL26A	LVDS	DQ1	7		True_of_IOL26B	TRUE				P3			
IOL26B	LVDS	DQ1	7		Comp_of_IOL26A	TRUE				R3			
IOL28A	I/O	DQ2	7		True_of_IOL28B	TRUE	B12		H3	N2	J4	B12	F12
IOL28B	I/O	DQ2	7		Comp_of_IOL28A	TRUE	A12		J3	P2	K4	A12	E12
IOL2A	I/O	DQ0	7		True_of_IOL2B	TRUE	B16	B16	E5	H3	C2	B16	B18
IOL2B	I/O	DQ0	7		Comp_of_IOL2A	TRUE	A16		F5	G3	D2	A16	A18
IOL30A	LVDS	DQ2	7		True_of_IOL30B	TRUE				U9			
IOL30B	LVDS	DQ2	7		Comp_of_IOL30A	TRUE				U8			
IOL32A	I/O	DQ2	7		True_of_IOL32B	TRUE	B11	A11	J1	V8	M7	B11	C13
IOL32B	I/O	DQ2	7		Comp_of_IOL32A	TRUE	A11		K1	V9	N7	A11	A13
IOL34A	I/O	DQS2	7		True_of_IOL34B	TRUE	G9	G9	L2	U1	J1	G9	D13
IOL34B	I/O	DQS2	7		Comp_of_IOL34A	TRUE	F9	F9	L1	V1	K1	F9	D12
IOL37A/LPLL2_T_fb	I/O	DQ2	7	LPLL2_T_fb	True_of_IOL37B	TRUE	C10	C10	K4	R2	L3	C10	D11
IOL37B/LPLL2_C_fb	I/O	DQ2	7	LPLL2_C_fb	Comp_of_IOL37A	TRUE	A10		L4	T2	M3	A10	C12
IOL39A	LVDS	DQ2	7		True_of_IOL39B	TRUE				R1			
IOL39B	LVDS	DQ2	7		Comp_of_IOL39A	TRUE				T1			
IOL41A	LVDS	DQ2	7		True_of_IOL41B	TRUE				V3	N6		
IOL41B	LVDS	DQ2	7		Comp_of_IOL41A	TRUE				W3	P6		
IOL43A	I/O	DQ2	7		True_of_IOL43B	TRUE	D11	D11	P1	V4	N1	D11	F10
IOL43B	I/O	DQ2	7		Comp_of_IOL43A	TRUE	C11		N1	U4	M1	C11	E10
IOL4A	LVDS	DQ0	7		True_of_IOL4B	TRUE				H4			

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
IOL4B	LVDS	DQ0	7		Comp_of_IOL4A	TRUE				G4			
IOL6A	LVDS	DQ0	7		True_of_IOL6B	TRUE				F1			
IOL6B	LVDS	DQ0	7		Comp_of_IOL6A	TRUE				E1			
IOL8A	I/O	DQS0	7		True_of_IOL8B	TRUE	D14	C14	E4	H6	D3	D14	D17
IOL8B	I/O	DQS0	7		Comp_of_IOL8A	TRUE	C14		E3	J6	E4	C14	C16
BANK6 True LVDS Pair													
IOL46A/GCLKT_6	I/O	DQ3	6	GCLKT_6	True_of_IOL46B	TRUE	D9	D9	M4	W4	P3	D9	C11
IOL46B/GCLKC_6	I/O	DQ3	6	GCLKC_6	Comp_of_IOL46A	TRUE	C9		M3	Y4	R3	C9	A11
IOL48A	I/O	DQ3	6		True_of_IOL48B	TRUE	B8	B8	N4	W5	R5	B8	D10
IOL48B	I/O	DQ3	6		Comp_of_IOL48A	TRUE	A8		N3	Y5	R6	A8	C10
IOL50A	I/O	DQ3	6		True_of_IOL50B	TRUE	D8	D8	T2	AA1	R7	D8	D9
IOL50B	I/O	DQ3	6		Comp_of_IOL50A	TRUE	C8		R2	AB1	T7	C8	D8
IOL52A	I/O	DQ3	6		True_of_IOL52B	TRUE	B6	B6	P3	Y6	P1	B6	H10
IOL52B	I/O	DQ3	6		Comp_of_IOL52A	TRUE	A6		R3	AA6	R1	A6	G9
IOL55A	I/O	DQ3	6		True_of_IOL55B	TRUE	C7	C7	Y1	AA5	R8	C7	F9
IOL55B	I/O	DQ3	6		Comp_of_IOL55A	TRUE	A7		Y2	AB5	U8	A7	E8
IOL57A	LVDS	DQ3	6		True_of_IOL57B	TRUE				AA7	T3		
IOL57B	LVDS	DQ3	6		Comp_of_IOL57A	TRUE				AB7	U2		
IOL59A	LVDS	DQ3	6		True_of_IOL59B	TRUE				AC3	U5		
IOL59B	LVDS	DQ3	6		Comp_of_IOL59A	TRUE				AD3	V5		
IOL61A	LVDS	DQ3	6		True_of_IOL61B	TRUE				AC2			
IOL61B	LVDS	DQ3	6		Comp_of_IOL61A	TRUE				AD2			
IOL67A	LVDS	DQ4	6		True_of_IOL67B	TRUE				AE4	V4		
IOL67B	LVDS	DQ4	6		Comp_of_IOL67A	TRUE				AF4	W4		
IOL69A	LVDS	DQ4	6		True_of_IOL69B	TRUE				AE6			
IOL69B	LVDS	DQ4	6		Comp_of_IOL69A	TRUE				AF6			
IOL71A	LVDS	DQ4	6		True_of_IOL71B	TRUE				AD7	U3		
IOL71B	LVDS	DQ4	6		Comp_of_IOL71A	TRUE				AE7	W3		
IOL73A	I/O	DQS4	6		True_of_IOL73B	TRUE	C5	C5	V3	AE1	AB1	C5	D6
IOL73B	I/O	DQS4	6		Comp_of_IOL73A	TRUE	A5	A5	W3	AF1	AC1	A5	C6
IOL76A/LPLL3_T_fb	I/O	DQ4	6	LPLL3_T_fb	True_of_IOL76B	TRUE	B3	B3	P5	AG3	Y4	B3	
IOL76B/LPLL3_C_fb	I/O	DQ4	6	LPLL3_C_fb	Comp_of_IOL76A	TRUE	A3		R5	AH3	AA4	A3	
IOL78A	LVDS	DQ4	6		True_of_IOL78B	TRUE				AB9			
IOL78B	LVDS	DQ4	6		Comp_of_IOL78A	TRUE				AB10			
IOL80A	LVDS	DQ4	6		True_of_IOL80B	TRUE				AC9			
IOL80B	LVDS	DQ4	6		Comp_of_IOL80A	TRUE				AC10			
IOL82A	I/O	DQ4	6		True_of_IOL82B	TRUE	B2	B2	V5	AJ1	AD1	B2	B3

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
IOL82B	I/O	DQ4	6		Comp_of_IOL82A	TRUE	A2	A2	U5	AK1	AE1	A2	A4
BANK5 True LVDS Pair													
IOB12A	LVDS	DQ6	5		True_of_IOB12B	TRUE				AM9			
IOB12B	LVDS	DQ6	5		Comp_of_IOB12A	TRUE				AM10			
IOB14A	LVDS	DQ6	5		True_of_IOB14B	TRUE				AF13			
IOB14B	LVDS	DQ6	5		Comp_of_IOB14A	TRUE				AE14			
IOB16A	I/O	DQ6	5		True_of_IOB16B	TRUE	D2	D2		AG13	W9	D2	G8
IOB16B	I/O	DQ6	5		Comp_of_IOB16A	TRUE	D1	D1		AG14	W10	D1	G7
IOB18A	I/O	DQ6	5		True_of_IOB18B	TRUE	F4	F4	Y6	AK11	AE7	F4	K8
IOB18B	I/O	DQ6	5		Comp_of_IOB18A	TRUE	F3	F3	AA6	AK12	AE8	F3	K7
IOB20A	I/O	DQ6	5		True_of_IOB20B	TRUE	E3	E3	W7	AM11	AC9	E3	H6
IOB20B	I/O	DQ6	5		Comp_of_IOB20A	TRUE	E1	E1	W8	AM12	AC10	E1	H5
IOB22A	LVDS	DQ6	5		True_of_IOB22B	TRUE				AN11			
IOB22B	LVDS	DQ6	5		Comp_of_IOB22A	TRUE				AN12			
IOB24A	I/O	DQ6	5		True_of_IOB24B	TRUE	H6	H6	Y7	AP11	AB7	H6	B2
IOB24B	I/O	DQ6	5		Comp_of_IOB24A	TRUE	H5	H5	Y8	AP12	AB9	H5	B1
IOB26A	I/O	DQ6	5		True_of_IOB26B	TRUE	F2	F2		AK15	AD7	F2	C3
IOB26B	I/O	DQ6	5		Comp_of_IOB26A	TRUE	F1	F1		AK16	AD9	F1	C1
IOB2A	I/O	DQ5	5		True_of_IOB2B	TRUE	C2	C2	U6	AH9	AC4	C2	A3
IOB2B	I/O	DQ5	5		Comp_of_IOB2A	TRUE	C1	C1	U7	AH10	AD4	C1	A2
IOB30A	I/O	DQS7	5		True_of_IOB30B	TRUE	J7	J7	W9	AJ13	Y8	J7	K6
IOB30B	I/O	DQS7	5		Comp_of_IOB30A	TRUE	J6	J6	Y9	AJ14	Y9	J6	K5
IOB32A	LVDS	DQ7	5		True_of_IOB32B	TRUE				AK13			
IOB32B	LVDS	DQ7	5		Comp_of_IOB32A	TRUE				AK14			
IOB34A	LVDS	DQ7	5		True_of_IOB34B	TRUE				AD16			
IOB34B	LVDS	DQ7	5		Comp_of_IOB34A	TRUE				AE16			
IOB36A	I/O	DQ7	5		True_of_IOB36B	TRUE	G3	G3	AA7	AN15	AD10	G3	E3
IOB36B	I/O	DQ7	5		Comp_of_IOB36A	TRUE	G1	G1	AB7	AN16	AD11	G1	E1
IOB38A	LVDS	DQ7	5		True_of_IOB38B	TRUE				AP13			
IOB38B	LVDS	DQ7	5		Comp_of_IOB38A	TRUE				AP14			
IOB40A	I/O	DQ7	5		True_of_IOB40B	TRUE	L7	L7	W10	AK17	AB10	L7	M4
IOB40B	I/O	DQ7	5		Comp_of_IOB40A	TRUE	K6	K6	W11	AK18	AB12	K6	M3
IOB42A	I/O	DQ7	5		True_of_IOB42B	TRUE	H4	H4	Y10	AJ17	AA10	H4	F2
IOB42B	I/O	DQ7	5		Comp_of_IOB42A	TRUE	H3	H3	Y11	AJ18	AA12	H3	F1
IOB44A	I/O	DQ7	5		True_of_IOB44B	TRUE				AP17	AF12		M8
IOB44B	I/O	DQ7	5		Comp_of_IOB44A	TRUE				AP18	AF13		M7
IOB4A	I/O	DQ5	5		True_of_IOB4B	TRUE	F6	F6	V6	AJ9	AD5	F6	E6

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
IOB4B	I/O	DQ5	5		Comp_of_IOB4A	TRUE	F5	F5	V7	AJ10	AD6	F5	D5
IOB6A	I/O	DQ5	5		True_of_IOB6B	TRUE	E4	E4	Y4	AK9	AC5	E4	C4
IOB6B	I/O	DQ5	5		Comp_of_IOB6A	TRUE	D3	D3	Y5	AK10	AC6	D3	D3
IOB8A	I/O	DQ5	5		True_of_IOB8B	TRUE	H7	H7		AH11	AF4	H7	F8
IOB8B	I/O	DQ5	5		Comp_of_IOB8A	TRUE	G6	G6		AH12	AF5	G6	F7
BANK4 True LVDS Pair													
IOB48A/GCLKT_4	I/O	DQ8	4	GCLKT_4	True_of_IOB48B	TRUE	L2	L2	AB12	AL17	AA13	L2	N4
IOB48B/GCLKC_4	I/O	DQ8	4	GCLKC_4	Comp_of_IOB48A	TRUE	L1	L1	AA12	AL18	AB13	L1	P3
IOB50A	I/O	DQ8	4		True_of_IOB50B	TRUE				AG18	V14		N7
IOB50B	I/O	DQ8	4		Comp_of_IOB50A	TRUE				AF18	V15		N6
IOB52A	I/O	DQ8	4		True_of_IOB52B	TRUE	K4	K4	W12	AG19	Y14	K4	N3
IOB52B	I/O	DQ8	4		Comp_of_IOB52A	TRUE	K3	K3	W13	AF19	Y15	K3	N1
IOB54A	LVDS	DQ8	4		True_of_IOB54B	TRUE				AP19			
IOB54B	LVDS	DQ8	4		Comp_of_IOB54A	TRUE				AP20			
IOB56A	I/O	DQ8	4		True_of_IOB56B	TRUE	H2	H2	AB15	AL21	AB15	H2	M2
IOB56B	I/O	DQ8	4		Comp_of_IOB56A	TRUE	H1	H1	AA15	AL22	AB16	H1	M1
IOB58A	LVDS	DQ8	4		True_of_IOB58B	TRUE				AK21			
IOB58B	LVDS	DQ8	4		Comp_of_IOB58A	TRUE				AK22			
IOB60A	I/O	DQ8	4		True_of_IOB60B	TRUE	J3	J3		AM19	AE15	J3	K2
IOB60B	I/O	DQ8	4		Comp_of_IOB60A	TRUE	J1	J1		AM20	AE17	J1	K1
IOB62A	I/O	DQ8	4		True_of_IOB62B	TRUE	K2	K2		AL19	AF17	K2	J3
IOB62B	I/O	DQ8	4		Comp_of_IOB62A	TRUE	K1	K1		AL20	AF18	K1	J1
IOB66A	I/O	DQS9	4		True_of_IOB66B	TRUE	P2	P2	AB16	AP23	AA17	P2	T2
IOB66B	I/O	DQS9	4		Comp_of_IOB66A	TRUE	P1	P1	AA16	AP24	AA18	P1	T1
IOB68A	I/O	DQ9	4		True_of_IOB68B	TRUE			V14	AG20	V16		V2
IOB68B	I/O	DQ9	4		Comp_of_IOB68A	TRUE			V15	AF20	V17		V1
IOB70A	I/O	DQ9	4		True_of_IOB70B	TRUE	M3	M3		AE20	W15	M3	U3
IOB70B	I/O	DQ9	4		Comp_of_IOB70A	TRUE	M1	M1		AE21	W17	M1	U1
IOB72A	I/O	DQ9	4		True_of_IOB72B	TRUE	N2	N2	AA17	AH23	AF19	N2	R3
IOB72B	I/O	DQ9	4		Comp_of_IOB72A	TRUE	N1	N1	Y17	AH24	AF20	N1	R1
IOB74A	I/O	DQ9	4		True_of_IOB74B	TRUE				AK23	Y20		P2
IOB74B	I/O	DQ9	4		Comp_of_IOB74A	TRUE				AK24	Y21		P1
IOB76A	I/O	DQ9	4		True_of_IOB76B	TRUE	T2	T2	Y16	AJ28	AA19	T2	U6
IOB76B	I/O	DQ9	4		Comp_of_IOB76A	TRUE	T1	T1	W16	AJ27	AA20	T1	V5
IOB78A	LVDS	DQ9	4		True_of_IOB78B	TRUE				AL28			
IOB78B	LVDS	DQ9	4		Comp_of_IOB78A	TRUE				AL27			
IOB80A	LVDS	DQ9	4		True_of_IOB80B	TRUE				AP25			

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
IOB80B	LVDS	DQ9	4		Comp_of_IOB80A	TRUE				AP26			
IOB84A	I/O	DQS10	4		True_of_IOB84B	TRUE	U2	U2	Y19	AN28	AC20	U2	U8
IOB84B	I/O	DQS10	4		Comp_of_IOB84A	TRUE	U1	U1	Y18	AN27	AC21	U1	T7
IOB86A	I/O	DQ10	4		True_of_IOB86B	TRUE	L6	L6	V16	AG22	W18	L6	W3
IOB86B	I/O	DQ10	4		Comp_of_IOB86A	TRUE	M5	M5	U16	AF22	W20	M5	W1
IOB88A	I/O	DQ10	4		True_of_IOB88B	TRUE	P4	P4		AL25	AE23	P4	W4
IOB88B	I/O	DQ10	4		Comp_of_IOB88A	TRUE	P3	P3		AL26	AE24	P3	Y4
IOB90A	I/O	DQ10	4		True_of_IOB90B	TRUE	N4	N4	V17	AK25	AF24	N4	Y2
IOB90B	I/O	DQ10	4		Comp_of_IOB90A	TRUE	N3	N3	V18	AK26	AF25	N3	Y1
BANK3 True LVDS Pair													
IOR46A/GCLKT_3	I/O	DQ12	3	GCLKT_3	True_of_IOR46B	TRUE	R8	R8	P22	W30	R24	R8	AA10
IOR46B/GCLKC_3	I/O	DQ12	3	GCLKC_3	Comp_of_IOR46A	TRUE	T8	T8	R22	Y30	T24	T8	AB10
IOR48A/MODE2	I/O	DQ12	3	MODE2	True_of_IOR48B	TRUE	N12	N12	U21	W28	R23	N12	
IOR48B/RECONFIG_N	I/O	DQ12	3	RECONFIG_N	Comp_of_IOR48A	TRUE	V2	V2	T21	Y28	T23	V2	AA1
IOR50A/MI/D7	I/O	DQ12	3	MI/D7	True_of_IOR50B	TRUE	R13	R13	P19	W33	R22	R13	Y17
IOR50B/MO/D6	I/O	DQ12	3	MO/D6	Comp_of_IOR50A	TRUE	T13	T13	P20	Y33	R21	T13	AB17
IOR52A/FASTRD_N/D3	I/O	DQ12	3	FASTRD_N/D3	True_of_IOR52B	TRUE	T9	T9	R20	W34	P25	T9	
IOR52B/SI/D2	I/O	DQ12	3	SI/D2	Comp_of_IOR52A	TRUE	V9	V9	R21	Y34	R25	V9	
IOR55A/DIN/CLKHOLD_N	I/O	DQ12	3	DIN/CLKHOLD_N	True_of_IOR55B	TRUE	U8	U8	T20	AA31	U25	U8	T10
IOR55B/DOUT/WE_N	I/O	DQ12	3	DOUT/WE_N	Comp_of_IOR55A	TRUE	V8	V8	U20	AB31	V25	V8	U10
IOR57A	LVDS	DQ12	3		True_of_IOR57B	TRUE				AD33	U24		
IOR57B	LVDS	DQ12	3		Comp_of_IOR57A	TRUE				AE33	V24		
IOR59A	LVDS	DQ12	3		True_of_IOR59B	TRUE				AC32	U23		
IOR59B	LVDS	DQ12	3		Comp_of_IOR59A	TRUE				AD32	V23		
IOR61A	LVDS	DQ12	3		True_of_IOR61B	TRUE				AA29			
IOR61B	LVDS	DQ12	3		Comp_of_IOR61A	TRUE				AB29			
IOR67A	LVDS	DQ11	3		True_of_IOR67B	TRUE				AH29	U20		
IOR67B	LVDS	DQ11	3		Comp_of_IOR67A	TRUE				AG29	V20		
IOR69A	LVDS	DQ11	3		True_of_IOR69B	TRUE				AH31	V19		
IOR69B	LVDS	DQ11	3		Comp_of_IOR69A	TRUE				AG31	W21		
IOR71A	I/O	DQ11	3		True_of_IOR71B	TRUE	R7	R7		AH32	W25	R7	AA8
IOR71B	I/O	DQ11	3		Comp_of_IOR71A	TRUE	T7	T7		AG32	Y25	T7	AB8
IOR73A	I/O	DQS11	3		True_of_IOR73B	TRUE	R5	R5	Y22	AC34	AB26	R5	V7
IOR73B	I/O	DQS11	3		Comp_of_IOR73A	TRUE	T5	T5	AA22	AD34	AC26	T5	W8
IOR76A/RPLL3_T_fb	I/O	DQ11	3	RPLL3_T_fb	True_of_IOR76B	TRUE	R3	R3	Y21	AE32	Y22	R3	W6
IOR76B/RPLL3_C_fb	I/O	DQ11	3	RPLL3_C_fb	Comp_of_IOR76A	TRUE	T3	T3	AA21	AF32	AA22	T3	Y6

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
IOR78A	LVDS	DQ11	3		True_of_IOR78B	TRUE				AB25			
IOR78B	LVDS	DQ11	3		Comp_of_IOR78A	TRUE				AB26			
IOR80A	LVDS	DQ11	3		True_of_IOR80B	TRUE				AC25			
IOR80B	LVDS	DQ11	3		Comp_of_IOR80A	TRUE				AC26			
IOR82A	I/O	DQ11	3		True_of_IOR82B	TRUE	T4	T4	T17	AC28	AD26	T4	AA6
IOR82B	I/O	DQ11	3		Comp_of_IOR82A	TRUE	V4	V4	U17	AD28	AE26	V4	AB6
BANK2 True LVDS Pair													
IOR11A/RPLL1_T_fb	I/O	DQ14	2	RPLL1_T_fb	True_of_IOR11B	TRUE	U13	U13	B21	L30	F22	U13	W15
IOR11B/RPLL1_C_fb	I/O	DQ14	2	RPLL1_C_fb	Comp_of_IOR11A	TRUE	V13	V13	C21	M30	G22	V13	Y16
IOR13A	LVDS	DQ14	2		True_of_IOR13B	TRUE				L31	G25		
IOR13B	LVDS	DQ14	2		Comp_of_IOR13A	TRUE				M31	H25		
IOR15A	I/O	DQ14	2		True_of_IOR15B	TRUE	U11	U11	G19	L32	H24	U11	W14
IOR15B	I/O	DQ14	2		Comp_of_IOR15A	TRUE	V11	V11	G20	M32	J23	V11	Y14
IOR17A	LVDS	DQ14	2		True_of_IOR17B	TRUE				L34			
IOR17B	LVDS	DQ14	2		Comp_of_IOR17A	TRUE				M34			
IOR20A	I/O	DQ14	2		True_of_IOR20B	TRUE	R11	R11	H20	N31	K24	R11	W11
IOR20B	I/O	DQ14	2		Comp_of_IOR20A	TRUE	T11	T11	H21	P31	L24	T11	Y10
IOR22A	LVDS	DQ14	2		True_of_IOR22B	TRUE				N33	K23		
IOR22B	LVDS	DQ14	2		Comp_of_IOR22A	TRUE				P33	L23		
IOR24A	LVDS	DQ14	2		True_of_IOR24B	TRUE				N34			
IOR24B	LVDS	DQ14	2		Comp_of_IOR24A	TRUE				P34			
IOR26A	LVDS	DQ14	2		True_of_IOR26B	TRUE				N28			
IOR26B	LVDS	DQ14	2		Comp_of_IOR26A	TRUE				P28			
IOR28A	I/O	DQ13	2		True_of_IOR28B	TRUE	T12	T12	F22	R30	K21	T12	R13
IOR28B	I/O	DQ13	2		Comp_of_IOR28A	TRUE	V12	V12	E22	T30	M21	V12	U13
IOR2A	I/O	DQ15	2		True_of_IOR2B	TRUE	U16	U16	F18	K31	C25	U16	Y18
IOR2B	I/O	DQ15	2		Comp_of_IOR2A	TRUE	V16	V16	F19	J31	D25	V16	T15
IOR30A	LVDS	DQ13	2		True_of_IOR30B	TRUE				T27			
IOR30B	LVDS	DQ13	2		Comp_of_IOR30A	TRUE				T26			
IOR32A	I/O	DQ13	2		True_of_IOR32B	TRUE	N10	N10	H22	U27	M19	N10	Y13
IOR32B	I/O	DQ13	2		Comp_of_IOR32A	TRUE	P11	P11	J22	U26	N19	P11	AB13
IOR34A	I/O	DQS13	2		True_of_IOR34B	TRUE	M10	M10	K19	N30	J25	M10	
IOR34B	I/O	DQS13	2		Comp_of_IOR34A	TRUE	N9	N9	L19	P30	K25	N9	
IOR37A/RPLL2_T_fb	I/O	DQ13	2	RPLL2_T_fb	True_of_IOR37B	TRUE	R10	R10	L21	R34	N20	R10	R11
IOR37B/RPLL2_C_fb	I/O	DQ13	2	RPLL2_C_fb	Comp_of_IOR37A	TRUE	T10	T10	M21	T34	P18	T10	T11
IOR39A	LVDS	DQ13	2		True_of_IOR39B	TRUE				U29			
IOR39B	LVDS	DQ13	2		Comp_of_IOR39A	TRUE				V29			

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
IOR41A	LVDS	DQ13	2		True_of_IOR41B	TRUE				U30			
IOR41B	LVDS	DQ13	2		Comp_of_IOR41A	TRUE				V30			
IOR43A/TCK	I/O	DQ13	2	TCK	True_of_IOR43B	TRUE	A17	A17	N20	U33	N25	A17	D14
IOR43B/TDI	I/O	DQ13	2	TDI	Comp_of_IOR43A	TRUE	D15	D15	M20	V33	M25	D15	E18
IOR4A	LVDS	DQ15	2		True_of_IOR4B	TRUE				J32	E24		
IOR4B	LVDS	DQ15	2		Comp_of_IOR4A	TRUE				K32	F25		
IOR6A	LVDS	DQ15	2		True_of_IOR6B	TRUE				G34			
IOR6B	LVDS	DQ15	2		Comp_of_IOR6A	TRUE				H34			
IOR8A	I/O	DQS15	2		True_of_IOR8B	TRUE	U15	U15	D19	L27	F24	U15	V13
IOR8B	I/O	DQS15	2		Comp_of_IOR8A	TRUE	V15	V15	D20	M27	G24	V15	W13
BANK1 True LVDS Pair													
IOT48A/GCLKT_1	I/O	DQ18	1	GCLKT_1	True_of_IOT48B	TRUE	L15	L15	D11	F17	C12	L15	H17
IOT48B/GCLKC_1	I/O	DQ18	1	GCLKC_1	Comp_of_IOT48A	TRUE	L16	L16	D12	F18	C13	L16	H18
IOT50A	I/O	DQ18	1		True_of_IOT50B	TRUE	H17	H17		H18	K14	H17	B21
IOT50B	I/O	DQ18	1		Comp_of_IOT50A	TRUE	H18	H18		J18	K16	H18	B22
IOT52A	I/O	DQ18	1		True_of_IOT52B	TRUE			E12	H19	J14		H13
IOT52B	I/O	DQ18	1		Comp_of_IOT52A	TRUE			E13	J19	J15		H14
IOT54A	LVDS	DQ18	1		True_of_IOT54B	TRUE				B19			
IOT54B	LVDS	DQ18	1		Comp_of_IOT54A	TRUE				B20			
IOT56A	I/O	DQ18	1		True_of_IOT56B	TRUE	J16	J16	A15	G19	D14	J16	H21
IOT56B	I/O	DQ18	1		Comp_of_IOT56A	TRUE	J18	J18	B15	G20	D15	J18	H22
IOT58A	I/O	DQ18	1		True_of_IOT58B	TRUE	L17	L17		A21	E14	L17	J21
IOT58B	I/O	DQ18	1		Comp_of_IOT58A	TRUE	L18	L18		A22	E15	L18	J22
IOT60A	LVDS	DQ18	1		True_of_IOT60B	TRUE				D19			
IOT60B	LVDS	DQ18	1		Comp_of_IOT60A	TRUE				D20			
IOT62A	I/O	DQ18	1		True_of_IOT62B	TRUE				E19	B17		M16
IOT62B	I/O	DQ18	1		Comp_of_IOT62A	TRUE				E20	B18		M17
IOT66A	I/O	DQS17	1		True_of_IOT66B	TRUE	N15	N15	C14	E21	C17	N15	Y21
IOT66B	I/O	DQS17	1		Comp_of_IOT66A	TRUE	N16	N16	C15	E22	C18	N16	Y22
IOT68A	I/O	DQ17	1		True_of_IOT68B	TRUE	M16	M16	A17	J20	G16	M16	AA20
IOT68B	I/O	DQ17	1		Comp_of_IOT68A	TRUE	M18	M18	B17	H20	G17	M18	AB21
IOT70A	I/O	DQ17	1		True_of_IOT70B	TRUE	N17	N17		K20	J16	N17	P15
IOT70B	I/O	DQ17	1		Comp_of_IOT70A	TRUE	N18	N18		K21	J17	N18	P16
IOT72A	I/O	DQ17	1		True_of_IOT72B	TRUE	P17	P17	A18	D23	B19	P17	P19
IOT72B	I/O	DQ17	1		Comp_of_IOT72A	TRUE	P18	P18	A19	D24	B20	P18	P20
IOT74A	I/O	DQ17	1		True_of_IOT74B	TRUE	U17	U17		B23	F19	U17	AB19
IOT74B	I/O	DQ17	1		Comp_of_IOT74A	TRUE	U18	U18		B24	F20	U18	AB20

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
IOT76A	I/O	DQ17	1		True_of_IOT76B	TRUE	T17	T17	C18	K25	C20	T17	P17
IOT76B	I/O	DQ17	1		Comp_of_IOT76A	TRUE	T18	T18	C19	K24	C21	T18	P18
IOT78A	LVDS	DQ17	1		True_of_IOT78B	TRUE				J26			
IOT78B	LVDS	DQ17	1		Comp_of_IOT78A	TRUE				J25			
IOT80A	LVDS	DQ17	1		True_of_IOT80B	TRUE				G23			
IOT80B	LVDS	DQ17	1		Comp_of_IOT80A	TRUE				G24			
IOT84A	I/O	DQS16	1		True_of_IOT84B	TRUE	M14	M14	D16	D25	E20	M14	
IOT84B	I/O	DQS16	1		Comp_of_IOT84A	TRUE	N14	N14	E16	D26	E21	N14	
IOT86A	I/O	DQ16	1		True_of_IOT86B	TRUE			E14	K23	G20		V19
IOT86B	I/O	DQ16	1		Comp_of_IOT86A	TRUE			E15	J23	G21		V20
IOT88A	I/O	DQ16	1		True_of_IOT88B	TRUE	L14	L14		A25	A24	L14	T17
IOT88B	I/O	DQ16	1		Comp_of_IOT88A	TRUE	M13	M13		A26	A25	M13	T18
IOT90A	I/O	DQ16	1		True_of_IOT90B	TRUE	P15	P15	A22	C25	B24	P15	V17
IOT90B	I/O	DQ16	1		Comp_of_IOT90A	TRUE	P16	P16	B22	C26	B25	P16	V18
BANK0 True LVDS Pair													
IOT12A	LVDS	DQ20	0		True_of_IOT12B	TRUE				E9			
IOT12B	LVDS	DQ20	0		Comp_of_IOT12A	TRUE				E10			
IOT14A	LVDS	DQ20	0		True_of_IOT14B	TRUE				K12			
IOT14B	LVDS	DQ20	0		Comp_of_IOT14A	TRUE				J12			
IOT16A	I/O	DQ20	0		True_of_IOT16B	TRUE				J14	H9		A19
IOT16B	I/O	DQ20	0		Comp_of_IOT16A	TRUE				H14	H10		A20
IOT18A	I/O	DQ20	0		True_of_IOT18B	TRUE	H12	H12	A2	G11	A7	H12	L20
IOT18B	I/O	DQ20	0		Comp_of_IOT18A	TRUE	G13	G13	A3	G12	A8	G13	L22
IOT20A	I/O	DQ20	0		True_of_IOT20B	TRUE	E16	E16	C7	C11	D9	E16	K21
IOT20B	I/O	DQ20	0		Comp_of_IOT20A	TRUE	E18	E18	C8	C12	D10	E18	K22
IOT22A	LVDS	DQ20	0		True_of_IOT22B	TRUE				B11			
IOT22B	LVDS	DQ20	0		Comp_of_IOT22A	TRUE				B12			
IOT24A	I/O	DQ20	0		True_of_IOT24B	TRUE	F17	F17	B6	A11	E9	F17	N19
IOT24B	I/O	DQ20	0		Comp_of_IOT24A	TRUE	F18	F18	A6	A12	E10	F18	M20
IOT26A	I/O	DQ20	0		True_of_IOT26B	TRUE				D11	C7		N20
IOT26B	I/O	DQ20	0		Comp_of_IOT26A	TRUE				D12	C8		N22
IOT2A	I/O	DQ21	0		True_of_IOT2B	TRUE			D5	B7	C4		F15
IOT2B	I/O	DQ21	0		Comp_of_IOT2A	TRUE			D6	B8	C5		F16
IOT30A	I/O	DQS19	0		True_of_IOT30B	TRUE	H15	H15	D9	F13	G9	H15	T21
IOT30B	I/O	DQS19	0		Comp_of_IOT30A	TRUE	H16	H16	D10	F14	G10	H16	T22
IOT32A	LVDS	DQ19	0		True_of_IOT32B	TRUE				E13			
IOT32B	LVDS	DQ19	0		Comp_of_IOT32A	TRUE				E14			

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS	UG324	UG324D	PG484	PG1156	UG676	UG324F	UG484S
IOT34A	LVDS	DQ19	0		True_of_IOT34B	TRUE				L16			
IOT34B	LVDS	DQ19	0		Comp_of_IOT34A	TRUE				K16			
IOT36A	I/O	DQ19	0		True_of_IOT36B	TRUE	G16	G16	C9	A15	C10	G16	P21
IOT36B	I/O	DQ19	0		Comp_of_IOT36A	TRUE	G18	G18	C10	A16	C11	G18	P22
IOT38A	LVDS	DQ19	0		True_of_IOT38B	TRUE				A13			
IOT38B	LVDS	DQ19	0		Comp_of_IOT38A	TRUE				A14			
IOT40A	I/O	DQ19	0		True_of_IOT40B	TRUE	J13	J13	A9	G15	G11	J13	R20
IOT40B	I/O	DQ19	0		Comp_of_IOT40A	TRUE	K14	K14	A10	G16	G12	K14	R22
IOT42A	I/O	DQ19	0		True_of_IOT42B	TRUE	L12	L12	A11	E15	F12	L12	U20
IOT42B	I/O	DQ19	0		Comp_of_IOT42A	TRUE	L13	L13	A12	E16	G13	L13	U22
IOT44A	I/O	DQ19	0		True_of_IOT44B	TRUE				B17	B12		V21
IOT44B	I/O	DQ19	0		Comp_of_IOT44A	TRUE				B18	B13		V22
IOT4A	I/O	DQ21	0		True_of_IOT4B	TRUE	F15	F15	D4	A7	D4	F15	F13
IOT4B	I/O	DQ21	0		Comp_of_IOT4A	TRUE	F16	F16	C4	A8	D5	F16	F14
IOT6A	I/O	DQ21	0		True_of_IOT6B	TRUE	C17	C17	F6	G9	C6	C17	G15
IOT6B	I/O	DQ21	0		Comp_of_IOT6A	TRUE	C18	C18	F7	G10	D6	C18	G16
IOT8A	I/O	DQ21	0		True_of_IOT8B	TRUE	F14	F14		A9	A4	F14	C18
IOT8B	I/O	DQ21	0		Comp_of_IOT8A	TRUE	G14	G14		A10	A5	G14	C19

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS	PG1156	UG676
BANK7 True LVDS Pair								
IOL13A	LVDS	DQ1	7		True_of_IOL13B	TRUE	J3	G3
IOL13B	LVDS	DQ1	7		Comp_of_IOL13A	TRUE	K3	F2
IOL17A	LVDS	DQ1	7		True_of_IOL17B	TRUE	L2	
IOL17B	LVDS	DQ1	7		Comp_of_IOL17A	TRUE	M2	
IOL22A	LVDS	DQ1	7		True_of_IOL22B	TRUE	N7	
IOL22B	LVDS	DQ1	7		Comp_of_IOL22A	TRUE	P7	
IOL24A	LVDS	DQ1	7		True_of_IOL24B	TRUE	N5	H6
IOL24B	LVDS	DQ1	7		Comp_of_IOL24A	TRUE	P5	J6
IOL26A	LVDS	DQ1	7		True_of_IOL26B	TRUE	P3	
IOL26B	LVDS	DQ1	7		Comp_of_IOL26A	TRUE	R3	
IOL30A	LVDS	DQ2	7		True_of_IOL30B	TRUE	U9	
IOL30B	LVDS	DQ2	7		Comp_of_IOL30A	TRUE	U8	
IOL39A	LVDS	DQ2	7		True_of_IOL39B	TRUE	R1	
IOL39B	LVDS	DQ2	7		Comp_of_IOL39A	TRUE	T1	
IOL41A	LVDS	DQ2	7		True_of_IOL41B	TRUE	V3	N6
IOL41B	LVDS	DQ2	7		Comp_of_IOL41A	TRUE	W3	P6
IOL4A	LVDS	DQ0	7		True_of_IOL4B	TRUE	H4	
IOL4B	LVDS	DQ0	7		Comp_of_IOL4A	TRUE	G4	
IOL6A	LVDS	DQ0	7		True_of_IOL6B	TRUE	F1	
IOL6B	LVDS	DQ0	7		Comp_of_IOL6A	TRUE	E1	
BANK6 True LVDS Pair								
IOL57A	LVDS	DQ3	6		True_of_IOL57B	TRUE	AA7	T3
IOL57B	LVDS	DQ3	6		Comp_of_IOL57A	TRUE	AB7	U2
IOL59A	LVDS	DQ3	6		True_of_IOL59B	TRUE	AC3	U5
IOL59B	LVDS	DQ3	6		Comp_of_IOL59A	TRUE	AD3	V5

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS	PG1156	UG676
IOL61A	LVDS	DQ3	6		True_of_IOL61B	TRUE	AC2	
IOL61B	LVDS	DQ3	6		Comp_of_IOL61A	TRUE	AD2	
IOL67A	LVDS	DQ4	6		True_of_IOL67B	TRUE	AE4	V4
IOL67B	LVDS	DQ4	6		Comp_of_IOL67A	TRUE	AF4	W4
IOL69A	LVDS	DQ4	6		True_of_IOL69B	TRUE	AE6	
IOL69B	LVDS	DQ4	6		Comp_of_IOL69A	TRUE	AF6	
IOL71A	LVDS	DQ4	6		True_of_IOL71B	TRUE	AD7	U3
IOL71B	LVDS	DQ4	6		Comp_of_IOL71A	TRUE	AE7	W3
IOL78A	LVDS	DQ4	6		True_of_IOL78B	TRUE	AB9	
IOL78B	LVDS	DQ4	6		Comp_of_IOL78A	TRUE	AB10	
IOL80A	LVDS	DQ4	6		True_of_IOL80B	TRUE	AC9	
IOL80B	LVDS	DQ4	6		Comp_of_IOL80A	TRUE	AC10	
BANK5 True LVDS Pair								
IOB12A	LVDS	DQ6	5		True_of_IOB12B	TRUE	AM9	
IOB12B	LVDS	DQ6	5		Comp_of_IOB12A	TRUE	AM10	
IOB14A	LVDS	DQ6	5		True_of_IOB14B	TRUE	AF13	
IOB14B	LVDS	DQ6	5		Comp_of_IOB14A	TRUE	AE14	
IOB22A	LVDS	DQ6	5		True_of_IOB22B	TRUE	AN11	
IOB22B	LVDS	DQ6	5		Comp_of_IOB22A	TRUE	AN12	
IOB32A	LVDS	DQ7	5		True_of_IOB32B	TRUE	AK13	
IOB32B	LVDS	DQ7	5		Comp_of_IOB32A	TRUE	AK14	
IOB34A	LVDS	DQ7	5		True_of_IOB34B	TRUE	AD16	
IOB34B	LVDS	DQ7	5		Comp_of_IOB34A	TRUE	AE16	
IOB38A	LVDS	DQ7	5		True_of_IOB38B	TRUE	AP13	
IOB38B	LVDS	DQ7	5		Comp_of_IOB38A	TRUE	AP14	

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS	PG1156	UG676
BANK4 True LVDS Pair								
IOB54A	LVDS	DQ8	4		True_of_IOB54B	TRUE	AP19	
IOB54B	LVDS	DQ8	4		Comp_of_IOB54A	TRUE	AP20	
IOB58A	LVDS	DQ8	4		True_of_IOB58B	TRUE	AK21	
IOB58B	LVDS	DQ8	4		Comp_of_IOB58A	TRUE	AK22	
IOB78A	LVDS	DQ9	4		True_of_IOB78B	TRUE	AL28	
IOB78B	LVDS	DQ9	4		Comp_of_IOB78A	TRUE	AL27	
IOB80A	LVDS	DQ9	4		True_of_IOB80B	TRUE	AP25	
IOB80B	LVDS	DQ9	4		Comp_of_IOB80A	TRUE	AP26	
BANK3 True LVDS Pair								
IOR57A	LVDS	DQ12	3		True_of_IOR57B	TRUE	AD33	U24
IOR57B	LVDS	DQ12	3		Comp_of_IOR57A	TRUE	AE33	V24
IOR59A	LVDS	DQ12	3		True_of_IOR59B	TRUE	AC32	U23
IOR59B	LVDS	DQ12	3		Comp_of_IOR59A	TRUE	AD32	V23
IOR61A	LVDS	DQ12	3		True_of_IOR61B	TRUE	AA29	
IOR61B	LVDS	DQ12	3		Comp_of_IOR61A	TRUE	AB29	
IOR67A	LVDS	DQ11	3		True_of_IOR67B	TRUE	AH29	U20
IOR67B	LVDS	DQ11	3		Comp_of_IOR67A	TRUE	AG29	V20
IOR69A	LVDS	DQ11	3		True_of_IOR69B	TRUE	AH31	V19
IOR69B	LVDS	DQ11	3		Comp_of_IOR69A	TRUE	AG31	W21
IOR78A	LVDS	DQ11	3		True_of_IOR78B	TRUE	AB25	
IOR78B	LVDS	DQ11	3		Comp_of_IOR78A	TRUE	AB26	
IOR80A	LVDS	DQ11	3		True_of_IOR80B	TRUE	AC25	
IOR80B	LVDS	DQ11	3		Comp_of_IOR80A	TRUE	AC26	

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS	PG1156	UG676
BANK2 True LVDS Pair								
IOR13A	LVDS	DQ14	2		True_of_IOR13B	TRUE	L31	G25
IOR13B	LVDS	DQ14	2		Comp_of_IOR13A	TRUE	M31	H25
IOR17A	LVDS	DQ14	2		True_of_IOR17B	TRUE	L34	
IOR17B	LVDS	DQ14	2		Comp_of_IOR17A	TRUE	M34	
IOR22A	LVDS	DQ14	2		True_of_IOR22B	TRUE	N33	K23
IOR22B	LVDS	DQ14	2		Comp_of_IOR22A	TRUE	P33	L23
IOR24A	LVDS	DQ14	2		True_of_IOR24B	TRUE	N34	
IOR24B	LVDS	DQ14	2		Comp_of_IOR24A	TRUE	P34	
IOR26A	LVDS	DQ14	2		True_of_IOR26B	TRUE	N28	
IOR26B	LVDS	DQ14	2		Comp_of_IOR26A	TRUE	P28	
IOR30A	LVDS	DQ13	2		True_of_IOR30B	TRUE	T27	
IOR30B	LVDS	DQ13	2		Comp_of_IOR30A	TRUE	T26	
IOR39A	LVDS	DQ13	2		True_of_IOR39B	TRUE	U29	
IOR39B	LVDS	DQ13	2		Comp_of_IOR39A	TRUE	V29	
IOR41A	LVDS	DQ13	2		True_of_IOR41B	TRUE	U30	
IOR41B	LVDS	DQ13	2		Comp_of_IOR41A	TRUE	V30	
IOR4A	LVDS	DQ15	2		True_of_IOR4B	TRUE	J32	E24
IOR4B	LVDS	DQ15	2		Comp_of_IOR4A	TRUE	K32	F25
IOR6A	LVDS	DQ15	2		True_of_IOR6B	TRUE	G34	
IOR6B	LVDS	DQ15	2		Comp_of_IOR6A	TRUE	H34	
BANK1 True LVDS Pair								
IOT54A	LVDS	DQ18	1		True_of_IOT54B	TRUE	B19	
IOT54B	LVDS	DQ18	1		Comp_of_IOT54A	TRUE	B20	
IOT60A	LVDS	DQ18	1		True_of_IOT60B	TRUE	D19	
IOT60B	LVDS	DQ18	1		Comp_of_IOT60A	TRUE	D20	

管脚名称	功能	DQS	BANK	配置功能	差分Pair	LVDS	PG1156	UG676
IOT78A	LVDS	DQ17	1		True_of_IOT78B	TRUE	J26	
IOT78B	LVDS	DQ17	1		Comp_of_IOT78A	TRUE	J25	
IOT80A	LVDS	DQ17	1		True_of_IOT80B	TRUE	G23	
IOT80B	LVDS	DQ17	1		Comp_of_IOT80A	TRUE	G24	
BANK0 True LVDS Pair								
IOT12A	LVDS	DQ20	0		True_of_IOT12B	TRUE	E9	
IOT12B	LVDS	DQ20	0		Comp_of_IOT12A	TRUE	E10	
IOT14A	LVDS	DQ20	0		True_of_IOT14B	TRUE	K12	
IOT14B	LVDS	DQ20	0		Comp_of_IOT14A	TRUE	J12	
IOT22A	LVDS	DQ20	0		True_of_IOT22B	TRUE	B11	
IOT22B	LVDS	DQ20	0		Comp_of_IOT22A	TRUE	B12	
IOT32A	LVDS	DQ19	0		True_of_IOT32B	TRUE	E13	
IOT32B	LVDS	DQ19	0		Comp_of_IOT32A	TRUE	E14	
IOT34A	LVDS	DQ19	0		True_of_IOT34B	TRUE	L16	
IOT34B	LVDS	DQ19	0		Comp_of_IOT34A	TRUE	K16	
IOT38A	LVDS	DQ19	0		True_of_IOT38B	TRUE	A13	
IOT38B	LVDS	DQ19	0		Comp_of_IOT38A	TRUE	A14	

注!			
[1]使用True LVDS的Bank VCCIO建议设置为2.5V。			
[2] VCCX不能小于最大的VCCIO。			
GW2A-55器件PG484/PG1156封装电源供电要求			
名称	描述	最小值	最大值
VCC	核电压	0.95V	1.05V
VCCPLLL	左边锁相环供电电压	0.95V	1.05V
VCCPLLR	右边锁相环供电电压	0.95V	1.05V
VCCIO0、VCCIO1、VCCIO2、 VCCIO3、VCCIO4、VCCIO5、VCCIO6、VCCIO7	I/O Bank电压	1.14V	3.6V
VCCX	辅助电压	2.7V	3.6V
GW2A-55器件UG324封装电源供电要求			
名称	描述	最小值	最大值
VCC/VCCPLLL/VCCPLLR	核电压/左边锁相环供电电压/右边锁相环供电电压内部短接在一起	0.95V	1.05V
VCCIO0、VCCIO1、VCCIO2、 VCCIO3、VCCIO4、VCCIO5、VCCIO6、VCCIO7	I/O Bank电压	1.14V	3.6V
VCCX	辅助电压	2.7V	3.6V
GW2A-55器件UG324D封装电源供电要求			
名称	描述	最小值	最大值
VCC/VCCPLLL/VCCPLLR	核电压/左边锁相环供电电压/右边锁相环供电电压内部短接在一起	0.95V	1.05V
VCCIO0、VCCIO1、VCCIO2、 VCCIO3、VCCIO4、VCCIO5、VCCIO6、VCCIO7	I/O Bank电压	1.14V	3.6V
VCCX	辅助电压	2.7V	3.6V
GW2A-55器件UG676封装电源供电要求			
名称	描述	最小值	最大值
VCC	核电压	0.95V	1.05V
VCCIO0、VCCIO1、VCCIO2、 VCCIO3、VCCIO4、VCCIO5、VCCIO6、VCCIO7	I/O Bank电压	1.14V	3.6V
VCCX	辅助电压	2.7V	3.6V
GW2A-55器件UG324F封装电源供电要求			
名称	描述	最小值	最大值
VCC/VCCPLLL/VCCPLLR	核电压/左边锁相环供电电压/右边锁相环供电电压内部短接在一起	0.95V	1.05V
VCCIO0、VCCIO1、VCCIO2、 VCCIO3、VCCIO4、VCCIO5、VCCIO6、VCCIO7	I/O Bank电压	1.14V	3.6V
VCCX	辅助电压	2.7V	3.6V

GW2A-55器件UG484S封装电源供电要求			
名称	描述	最小值	最大值
VCC/VCCPLLL/VCCPLLR	核电压/左边锁相环供电电压/右边锁相环供电电压内部短接在一起	0.95V	1.05V
VCCIO0、VCCIO1、VCCIO2、 VCCIO3、VCCIO4、VCCIO5、VCCIO6、VCCIO7	I/O Bank电压	1.14V	3.6V
VCCX	辅助电压	2.7V	3.6V