GW1NR 系列 FPGA 产品

封装与管脚手册

UG119-1.1, 2020-04-16

版权所有©2020 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和／或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2017/03/14	1.00	初始版本。
2017/04/25	1.01	● 修改表 2-4 GW1NR-4 器件管脚数目列表； ● 修改 GW1NR-4 QN88 封装的引脚图。
2017/09/01	1.02	● 增加 GW1NR-9 QN88 封装的信息； ● 增加 GW1NR-9 LQ144 封装的信息。
2017/12/04	1.03	● 增加最大用户 I/O 信息说明； ● 更新多功能管脚定义：GCLK[n]_[x] / RPLL_[n]_fb / RPLL_[n]_in。
2018/04/02	1.04	修改最大用户 I/O 信息。
2018/06/22	1.05	● MODE 管脚不再作为专用管脚，可以复用为 GPIO； ● 增加 MG81 封装信息。
2018/09/08	1.06	增加 MG81 管脚分布示意图。
2018/11/22	1.07	● 在表 2-1 添加 LVDS 对数； ● 添加 PSRAM 的封装信息。
2019/01/09	1.08	● 添加 GW1NR4 新封装 QN88 内嵌 PSRAM 封装信息； ● 更新管脚分布示意图和 I/O bank 说明。
2019/07/02	1.09	增加 GW1NR-9 MG100 封装信息。
2020/04/16	1.1	增加 GW1NR-9C 器件信息。

目录

目录 i
图目录 iii
表目录 iv
1 关于本手册 1
1.1 手册内容 1
1.2 相关文档 1
1.3 术语、缩略语 1
1.4 技术支持与反馈 2
2 概述 3
2.1 无铅封装 3
2.2 封装和最大 I/O 信息、LVDS 对数 3
2.3 电源管脚 4
2.4 管脚数目 4
2.4.1 GW1NR-4 器件管脚数目 4
2.4.2 GW1NR-9 器件管脚数目 6
2.4.3 GW1NR-9C 器件管脚数目 7
2.5 管脚定义说明 8
2.6 I/O BANK 说明 10
3 管脚分布示意图 11
3.1 GW1NR-4 器件管脚分布示意图 11
3.1.1 MG81 管脚分布示意图 11
3.1.2 QN88 管脚分布示意图(内嵌 PSRAM) 12
3.1.3 QN88 管脚分布示意图(内嵌 SDRAM) 13
3.2 GW1NR-9 器件管脚分布示意图 14
3.2.1 QN88 管脚分布示意图(内嵌 SDRAM) 14
3.2.2 QN88 管脚分布示意图(内嵌 PSRAM) 15
3.2.3 MG100 管脚分布示意图(内嵌 PSRAM) 16
3.2.4 LQ144 管脚分布示意图(内嵌 PSRAM) 17

3.3 GW1NR-9C 器件管脚分布示意图 18
3.3.1 QN88 管脚分布示意图 18
3.3.2 QN88P 管脚分布示意图 19
3.3.3 MG100P 管脚分布示意图 20
3.3.4 LQ144P 管脚分布示意图 21
4 封装尺寸 22
4.1 封装尺寸 QN88/QN88P (10mm x 10mm) 23
4.2 封装尺寸 LQ144/LQ144P (20mm x 20mm) 24
4.3 封装尺寸 MG81 (4.5mm x 4.5mm) 25
4.4 封装尺寸 MG100/MG100P (5mm x 5mm) 26

图目录

图 2-1 GW1NR 系列 FPGA 产品 I/O BANK 整体示意图 10
图 3-1 GW1NR-4 器件 MG81 封装管脚分布示意图（顶视图，内嵌 PSRAM）..... 11
图 3-2 GW1NR-4 器件 QN88 封装管脚分布示意图（顶视图，内嵌 PSRAM）..... 12
图 3-3 GW1NR-4 器件 QN88 封装管脚分布示意图（顶视图，内嵌 SDRAM）..... 13
图 3-4 GW1NR-9 器件 QN88 封装管脚分布示意图（顶视图，内嵌 SDRAM）..... 14
图 3-5 GW1NR-9 器件 QN88 内嵌 PSRAM 封装管脚分布示意图（顶视图，内嵌 PSRAM）..... 15
图 3-6 GW1NR-9 器件 MG100 内嵌 PSRAM 封装管脚分布示意图（顶视图，内嵌 PSRAM）..... 16
图 3-7 GW1NR-9 器件 LQ144 封装管脚分布示意图（顶视图, 内嵌 PSRAM）..... 17
图 3-8 GW1NR-9C 器件 QN88 封装管脚分布示意图（顶视图）..... 18
图 3-9 GW1NR-9C 器件 QN88P 封装管脚分布示意图（顶视图）..... 19
图 3-10 GW1NR-9C 器件 MG100P 封装管脚分布示意图（顶视图）..... 20
图 3-11 GW1NR-9C 器件 LQ144P 封装管脚分布示意图（顶视图）..... 21
图 4-1 封装尺寸 QN88/QN88P 23
图 4-2 封装尺寸 LQ144/LQ144P 24
图 4-3 封装尺寸 MG81 25
图 4-4 封装尺寸 MG100/MG100P 26

表目录

表 1-1 术语、缩略语 1
表 2-1 封装和最大 I/O 信息、LVDS 对数 3
表 2-2 GW1NR 其他管脚 4
表 2-3 GW1NR-4 内嵌 SDRAM 器件管脚数目列表 4
表 2-4 GW1NR-4 内嵌 PSRAM 器件管脚数目列表 4
表 2-5 GW1NR-9 内嵌 SDRAM 器件管脚数目列表 6
表 2-6 GW1NR-9 内嵌 PSRAM 器件管脚数目列表 6
表 2-7 GW1NR-9C 器件管脚数目列表 7
表 2-8 GW1NR 系列 FPGA 产品管脚定义说明 8
表 3-1 GW1NR-4 器件 MG81 其他管脚 (内嵌 PSRAM) 11
表 3-2 GW1NR-4 器件 QN88 其他管脚 (内嵌 PSRAM) 12
表 3-3 GW1NR-4 器件 QN88 其他管脚 (内嵌 SDRAM) 13
表 3-4 GW1NR-9 器件 QN88 其他管脚(内嵌 SDRAM) 14
表 3-5 GW1NR-9 器件 QN88 其他管脚(内嵌 PSRAM) 15
表 3-6 GW1NR-9 器件 MG100 其他管脚(内嵌 PSRAM) 16
表 3-7 GW1NR-9 器件 LQ144 其他管脚(内嵌 PSRAM) 17
表 3-8 GW1NR-9C 器件 QN88 其他管脚 18
表 3-9 GW1NR-9C 器件 QN88P 其他管脚 19
表 3-10 GW1NR-9C 器件 MG100P 其他管脚 20
表 3-11 GW1NR-9C 器件 LQ144P 其他管脚 21

1 关于本手册

1.1 手册内容

GW1NR 系列 FPGA 产品封装与管脚手册主要包括高云半导体 GW1NR 系列 FPGA 产品的封装介绍、管脚定义说明、管脚数目列表、管脚分布示意图以及封装尺寸图。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. DS117, GW1NR 系列 FPGA 产品数据手册
2. UG119, GW1NR 系列 FPGA 产品封装与管脚手册
3. UG116, GW1NR-4 器件 Pinout 手册
4. UG801, GW1NR-9 器件 Pinout 手册
5. UG803, GW1NR-9C 器件 Pinout 手册
6. UG290, Gowin FPGA 产品编程配置手册

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
SIP	System in Package	系统级封装
SDRAM	Synchronous Dynamic RAM	同步动态随机存储器
PSRAM	Pseudo Static Random Access Memory	伪静态随机存储器
QN88	QFN88	QFN88 封装
MG81	MBGA81	MBGA81 封装
MG100	MBGA100	MBGA100 封装

术语、缩略语	全称	含义
LQ144	LQFP144	LQFP144 封装

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel：+86 755 8262 0391

2 概述

高云半导体 GW1NR 系列 FPGA 产品是高云半导体小蜜蜂®(LittleBee®)家族 FPGA 第一代产品，封装类型丰富，不同型号器件 I/O 兼容性强，使用方便灵活。

2.1 无铅封装

GW1NR 系列 FPGA 产品采用无铅工艺封装，绿色环保，符合欧盟的 RoHS 指令。GW1NR 系列 FPGA 产品物质成分信息符合 IPC-1752 标准文件。

2.2 封装和最大 I/O 信息、LVDS 对数

表 2-1 封装和最大 I/O 信息、LVDS 对数

封装	间距(mm)	尺寸(mm)	GW1NR-4	GW1NR-9	GW1NR-9C
QN88 (内嵌 SDRAM)	0.4	10 x 10	70(11)	70（19）	70（19）
QN88 (内嵌 PSRAM)	0.4	10 x 10	70(11)	70（18）	-
QN88P	0.4	10 x 10	-	-	70（18）
MG81	0.5	4.5 x 4.5	68（10）	-	-
MG100	0.5	5 x 5	-	87（17）	-
MG100P	0.5	5 x 5	-	-	87（17）
LQ144	0.5	20 x 20	-	120（20）	-
LQ144P	0.5	20 x 20	-	-	120（20）

注！

- 本手册中 GW1NR 系列 FPGA 产品封装命名采用缩写的方式，详细信息请参考 1.3 术语、缩略语；
- 详细信息请参考 GW1NR 系列 FPGA 产品相关 Pinout 手册；
- JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况。当 mode[2:0]=001 时，JTAGSEL_N 管脚与 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）可以同时设置为 GPIO，此时最大用户 I/O 数加 1。

2.3 电源管脚

表 2-2 GW1NR 其他管脚

VCC	VCCO0	VCCO1	VCCO2
VCCO3	VCCX	VSS	NC

2.4 管脚数目

2.4.1 GW1NR-4 器件管脚数目

表 2-3 GW1NR-4 内嵌 SDRAM 器件管脚数目列表

管脚类型		GW1NR-4
		QN88
I/O 单端/差分对/LVDS[1]	BANK0	18/5/0
	BANK1	15/6/2
	BANK2	23/9/7
	BANK3	12/4/2
最大用户 I/O 总数 [2]		70
差分对		24
True LVDS 输出		11
VCC		4
VCCX		0
VCCO0		0
VCCO1		1
VCCO2		2
VCCO3		1
VCCX/VCCO0[3]		3
VSS		6
MODE0		1
MODE1		1
MODE2		0
JTAGSEL_N		1

表 2-4 GW1NR-4 内嵌 PSRAM 器件管脚数目列表

管脚类型		GW1NR-4	
		MG81	QN88
I/O 单端/差分对/LVDS[1]	BANK0	13/6/0	18/5/0
	BANK1	17/3/0	15/6/2
	BANK2	21/10/10	23/9/7
	BANK3	17/2/0	12/4/2
最大用户 I/O 总数 [2]		68	70
差分对		21	24

管脚类型	GW1NR-4	
	MG81	QN88
True LVDS 输出	10	11
VCC	3	4
VCCX	1	0
VCCO0	1	0
VCCO1	1	1
VCCO2	1	2
VCCO3	1	1
VCCX/VCCO0[3]	0	3
VSS	4	6
MODE0	0	1
MODE1	1	1
MODE2	0	0
JTAGSEL_N	1	1

注！

- [1]单端/差分/LVDS I/O 的数目包含 CLK 管脚、下载管脚；
- [2]JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况。
- [3]引脚复用。

2.4.2 GW1NR-9 器件管脚数目

表 2-5 GW1NR-9 内嵌 SDRAM 器件管脚数目列表

管脚类型		GW1NR-9
		QN88
I/O 单端/差分对/LVDS[1]	BANK0	0/0/0
	BANK1	25/11/4
	BANK2	23/11/11
	BANK3	22/8/4
最大用户 I/O 总数 [2]		70
差分对		30
True LVDS 输出		19
VCC		4
VCCX		0
VCCO0		0
VCCO1		1
VCCO2		0
VCCO3		1
VCCX/VCCO0/VCCO2[3]		5
VSS		6
MODE0		1
MODE1		1
MODE2		0
JTAGSEL_N		1

表 2-6 GW1NR-9 内嵌 PSRAM 器件管脚数目列表

管脚类型		GW1NR-9		
		QN88	LQ144	MG100
I/O 单端/差分对/LVDS[1]	BANK0	0/0/0	18/9/0	12/6/0
	BANK1	25/11/4	32/12/4	22/5/1
	BANK2	23/11/11	40/19/14	32/15/14
	BANK3	22/6/3	30/8/2	21/4/2
最大用户 I/O 总数 [2]		70	120	87
差分对		28	48	30
True LVDS 输出		18	20	17
VCC		4	4	3
VCCX		0	2	1
VCCO0		0	2	1
VCCO1		1	2	1
VCCO2		2	2	1
VCCO3		1	2	1

管脚类型	GW1NR-9		
	QN88	LQ144	MG100
VCCX/VCCO0[3]	3	0	0
VSS	6	9	4
MODE0	1	1	0
MODE1	1	1	1
MODE2	0	0	0
JTAGSEL_N	1	1	1

注！

- [1]单端/差分/LVDS I/O 的数目包含 CLK 管脚、下载管脚；
- [2]JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况。
- [3]引脚复用。

2.4.3 GW1NR-9C 器件管脚数目

表 2-7 GW1NR-9C 器件管脚数目列表

管脚类型		GW1NR-9C			
		QN88	QN88P	LQ144P	MG100P
I/O 单端/差分对/LVDS[1]	BANK0	0/0/0	0/0/0	18/9/0	12/6/0
	BANK1	25/11/4	25/11/4	32/12/4	22/5/1
	BANK2	23/11/11	23/11/11	40/19/14	32/15/14
	BANK3	22/8/4	22/6/3	30/8/2	21/4/2
最大用户 I/O 总数 [2]		70	70	120	87
差分对		30	28	48	30
True LVDS 输出		19	18	20	17
VCC		4	4	4	3
VCCX		0	0	2	1
VCCO0		0	0	2	1
VCCO1		1	1	2	1
VCCO2		0	2	2	1
VCCO3		1	1	2	1
VCCX/VCCO0/VCCO2[3]		5	0	0	0
VCCX/VCCO0[3]		0	3	0	0
VSS		6	6	9	4
MODE0		1	1	1	0
MODE1		1	1	1	1
MODE2		0	0	0	0
JTAGSEL_N		1	1	1	1

注！

- [1]单端/差分/LVDS I/O 的数目包含 CLK 管脚、下载管脚；

- [2]JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况。
- [3]引脚复用。

2.5 管脚定义说明

GW1NR 系列 FPGA 产品的管脚在不同的封装中对应不同的位置。

表 2-8 中对普通用户 I/O 的管脚定义、具有多功能的管脚定义、专用管脚的定义以及其他管脚定义进行了详细说明。

表 2-8 GW1NR 系列 FPGA 产品管脚定义说明

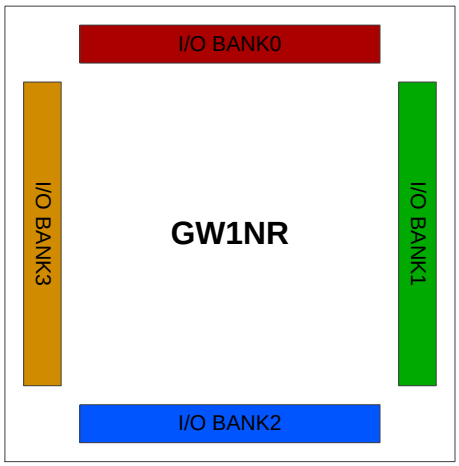
管脚名称	方向	说明
用户 I/O 管脚		
IO[End][Row/Column Number][A/B]	I/O	[End]提供管脚在器件中的位置信息，包括 L(left) R(right) B(bottom) T(top) [Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为 T(top)或 B(bottom)，则提供列信息，即管脚对应的 CFU 列数。若[End]为 L(left)或 R(right)，则提供行信息，即管脚对应的 CFU 行数[A/B]提供差分信号对信息
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM 表示在用户 I/O 功能的基础上有另外的一种或多种功能。当这些功能不使用的时候，这些管脚可以用作用户 I/O
RECONFIG_N	I，内部弱上拉	低电平脉冲开始新的 GowinCONFIG 配置
READY	I/O	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
DONE	I/O	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
FASTRD_N/D3	I/O	MSPI 模式下 Flash 访问速度选择端口 FASTRD_N，低电平表示使用高速 Flash 访问模式，高电平表示使用普通 Flash 访问模式 CPU 模式下的数据端口 D3
MCLK/D4	I/O	MSPI 模式下时钟输出 MCLK CPU 模式下的数据端口 D4
MCS_N/D5	I/O	MSPI 模式下的使能信号 MCS_N，低电平有效 CPU 模式下的数据端口 D5
MI/D7	I/O	MSPI 模式下 MISO：Master 数据输入/Slave 数据输出 CPU 模式下的数据端口 D7
MO/D6	I/O	MSPI 模式下 MOSI：Master 数据输出/Slave 数据输入 CPU 模式下的数据端口 D6
SSPI_CS_N/D0	I/O	SSPI 模式下的使能信号 SSPI_CS_N，低电平有效，内部弱上拉 CPU 模式下的数据端口 D0
SO/D1	I/O	SSPI 模式下 MISO：Master 数据输入/Slave 数据输出

管脚名称	方向	说明
		CPU 模式下的数据端口 D1
SI/D2	I/O	SSPI 模式下 MOSI：Master 数据输出/Slave 数据输入 CPU 模式下的数据端口 D2
TMS	I，内部弱上拉	JTAG 模式串行模式输入
TCK	I	JTAG 模式串行时钟输入，需要再 PCB 上连接 4.7K 下拉电阻
TDI	I，内部弱上拉	JTAG 模式串行数据输入
TDO	O	JTAG 模式串行数据输出
JTAGSEL_N	I，内部弱上拉	JTAG 模式选择信号，低电平有效。
SCLK	I	SSPI，SERIAL，CPU 模式下的时钟输入
DIN	I，内部弱上拉	SERIAL 模式下的数据输入
DOUT	O	SERIAL 模式下的数据输出
CLKHOLD_N	I，内部弱上拉	高电平表示 SSPI 模式和 CPU 模式操作有效 低电平表示 SSPI 模式和 CPU 模式操作无效
WE_N	I	CPU 模式下选择 D[7：0]的数据输入输出方向
GCLKT_[x]	I	全局时钟输入管脚，T(True) ，[x]：全局时钟序号
GCLKC_[x]	I	全局时钟输入管脚，C(Comp) ，[x]：全局时钟序号
LPLL_T_fb/RPLL_T_fb	I	左边/右边 PLL 反馈输入管脚，T(True)
LPLL_C_fb/RPLL_C_fb	I	左边/右边 PLL 反馈输入管脚，C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边 PLL 时钟输入管脚，T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边 PLL 时钟输入管脚，C(Comp)
MODE2	I，内部弱上拉	GowinCONFIG 配置模式选择信号端口；若该管脚未被封装出来，内部接地
MODE1	I，内部弱上拉	GowinCONFIG 配置模式选择信号端口；若该管脚未被封装出来，内部接地
MODE0	I，内部弱上拉	GowinCONFIG 配置模式选择信号端口；若该管脚未被封装出来，内部接地
其他管脚		
NC	NA	预留未使用
VSS	NA	Ground 管脚
VCC	NA	核电压供电管脚
VCCO#	NA	I/O BANK#的 I/O 电压供电管脚
VCCX	NA	辅助电压供电管脚

2.6 I/O BANK 说明

GW1NR 系列 FPGA 产品分为四个 I/O BANK 区，图 2-1 为 GW1NR 系列 FPGA 产品的 I/O BANK 整体示意图。

图 2-1 GW1NR 系列 FPGA 产品 I/O BANK 整体示意图



封装与管脚手册列举了 GW1NR 系列 FPGA 产品每种封装的管脚分布示意图。GW1NR 系列 FPGA 产品的四个 BANK 用四种颜色区分。

用户 I/O、电源、地使用不同的符号来区分。GW1NR 系列 FPGA 产品管脚示意图中管脚定义如下所示：

- “ ”表示 BANK0 中的 I/O，填充颜色随 BANK 变化。
- “ ”表示 BANK1 中的 I/O，填充颜色随 BANK 变化。
- “ ”表示 BANK2 中的 I/O，填充颜色随 BANK 变化。
- “ ”表示 BANK3 中的 I/O，填充颜色随 BANK 变化。
- “ ”表示 VCC、VCCX、VCCO，填充颜色不变。
- “ ”表示 VSS，填充颜色不变。
- “ ”表示 NC。

3 管脚分布示意图

3.1 GW1NR-4 器件管脚分布示意图

3.1.1 MG81 管脚分布示意图

图 3-1 GW1NR-4 器件 MG81 封装管脚分布示意图（顶视图，内嵌 PSRAM）

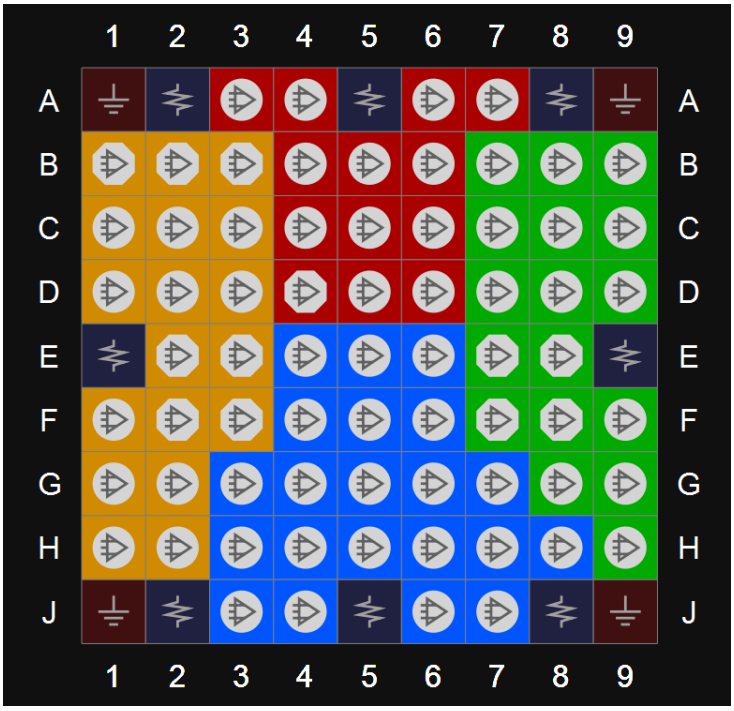


表 3-1 GW1NR-4 器件 MG81 其他管脚 (内嵌 PSRAM)

VCC	A2, A8, J2
VCCX	J8
VCCO0	A5
VCCO1	E9
VCCO2	J5
VCCO3	E1
VSS	A1, A9, J1, J9

3.1.2 QN88 管脚分布示意图(内嵌 PSRAM)

图 3-2 GW1NR-4 器件 QN88 封装管脚分布示意图（顶视图，内嵌 PSRAM）

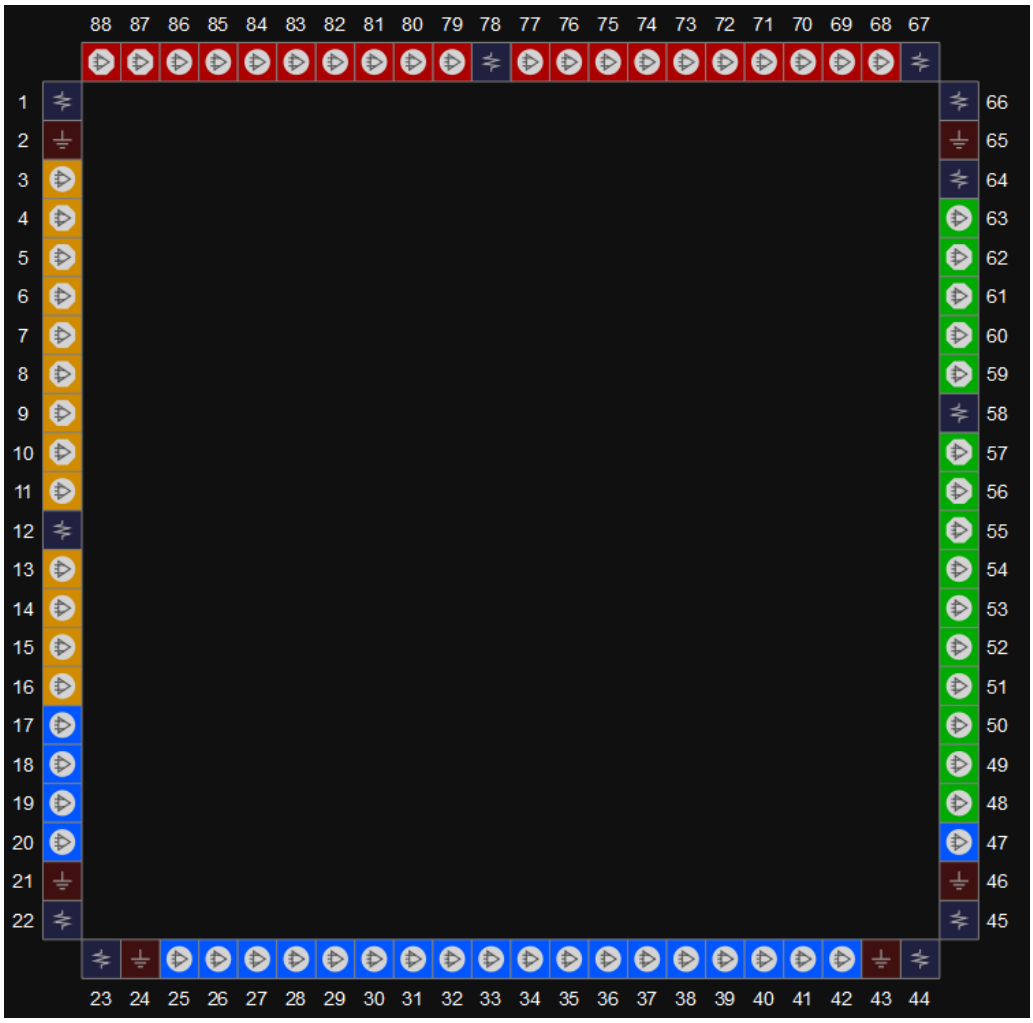


表 3-2 GW1NR-4 器件 QN88 其他管脚 (内嵌 PSRAM)

VCC	1, 22, 45, 66
VCCX/VCCO0	64, 67, 78
VCCO1	58
VCCO2	23, 44
VCCO3	12
VSS	2, 21, 24, 43, 46, 65

3.1.3 QN88 管脚分布示意图(内嵌 SDRAM)

图 3-3 GW1NR-4 器件 QN88 封装管脚分布示意图（顶视图，内嵌 SDRAM）

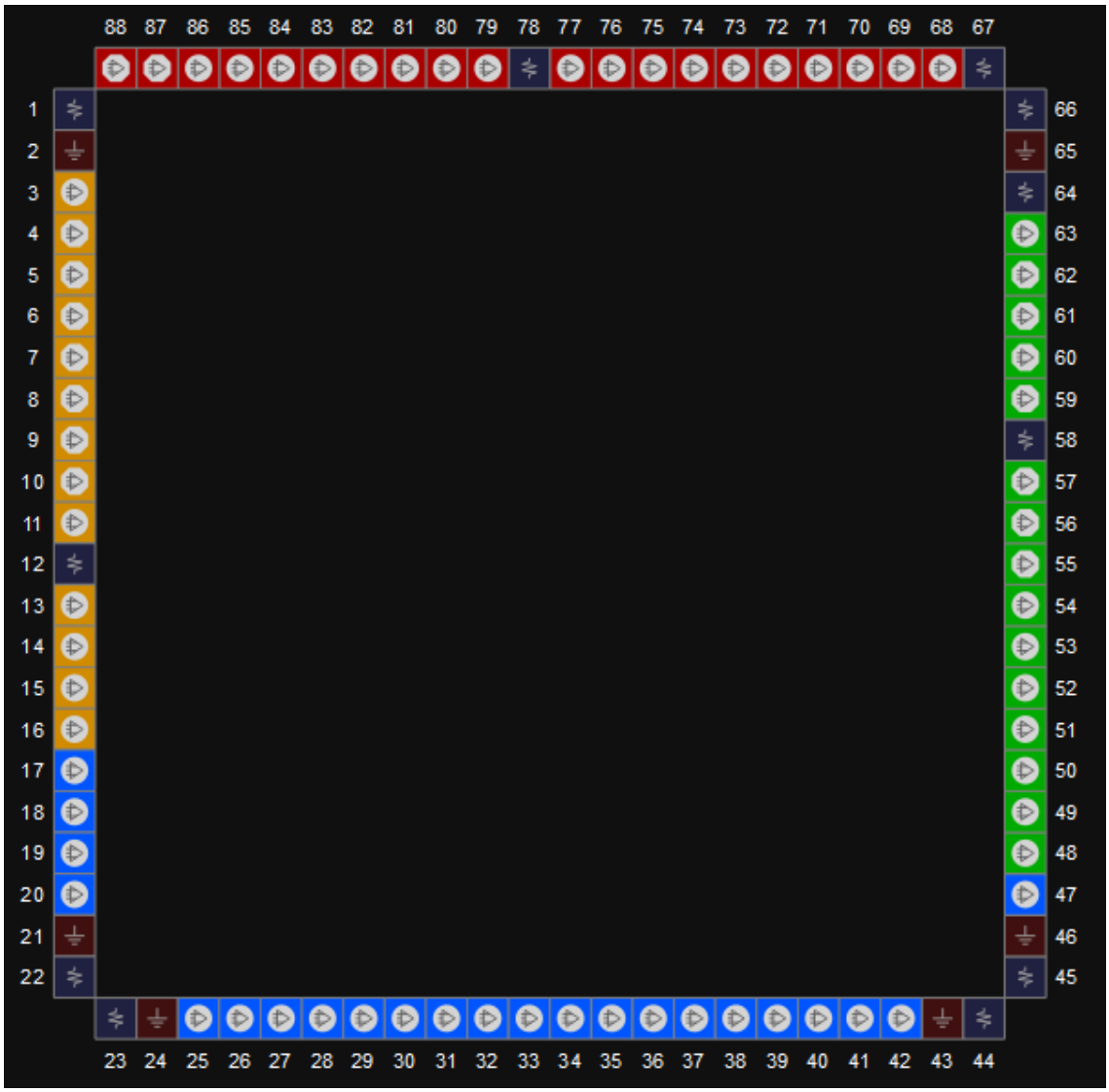


表 3-3 GW1NR-4 器件 QN88 其他管脚 (内嵌 SDRAM)

VCC	1, 22, 45, 66
VCCX/VCCO0/VCCO2	23, 44, 64, 67, 78
VCCO1	58
VCCO3	12
VSS	2, 21, 24, 43, 46, 65

3.2 GW1NR-9 器件管脚分布示意图

3.2.1 QN88 管脚分布示意图(内嵌 SDRAM)

图 3-4 GW1NR-9 器件 QN88 封装管脚分布示意图（顶视图，内嵌 SDRAM）

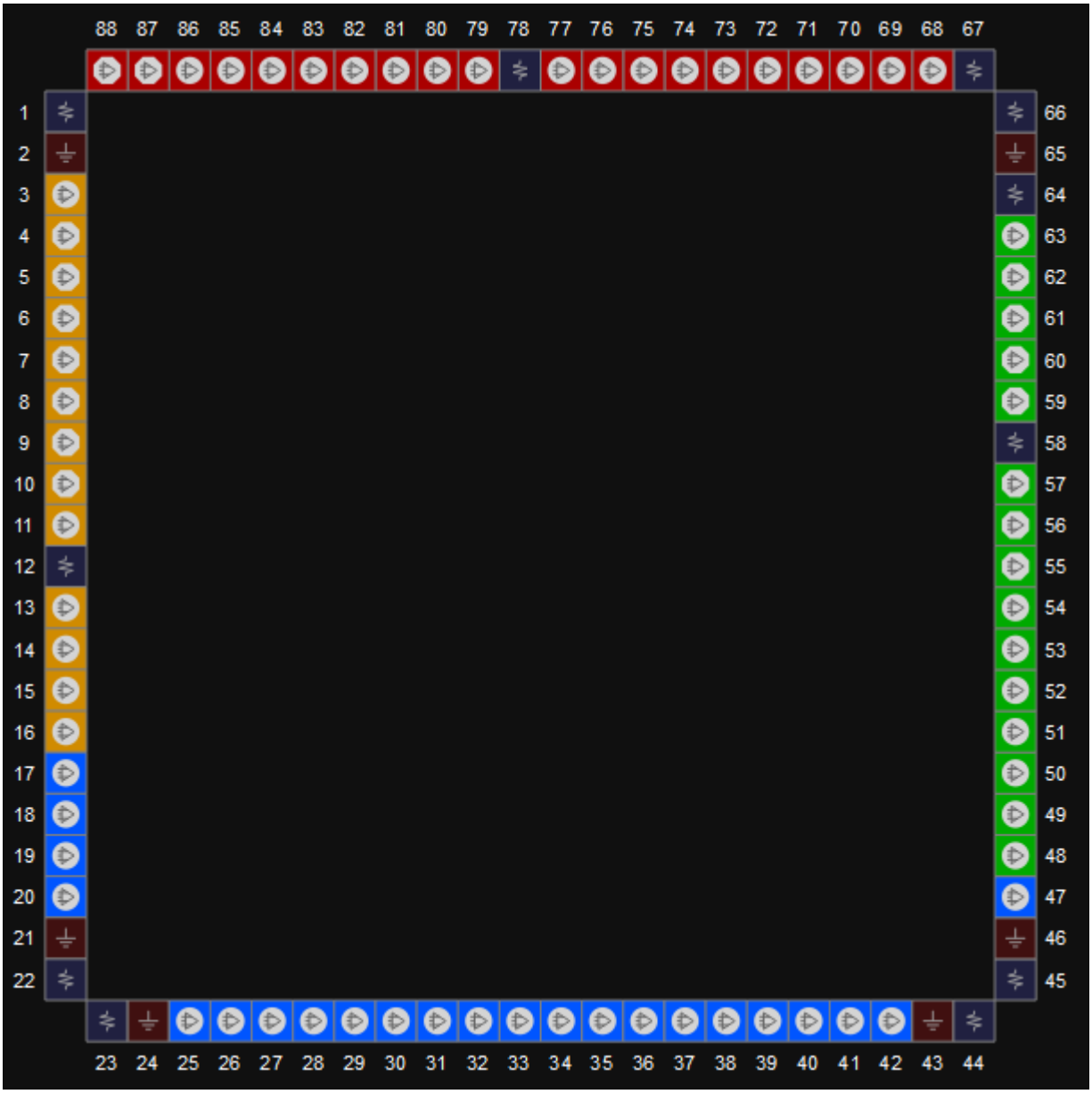


表 3-4 GW1NR-9 器件 QN88 其他管脚(内嵌 SDRAM)

VCC	1, 22, 45, 66
VCCX/VCCO0/VCCO2	23, 44, 64, 67, 78
VCCO1	58
VCCO3	12
MODE	87, 88
VSS	2, 21, 24, 43, 46, 65

3.2.2 QN88 管脚分布示意图(内嵌 PSRAM)

图 3-5 GW1NR-9 器件 QN88 内嵌 PSRAM 封装管脚分布示意图（顶视图，内嵌 PSRAM）

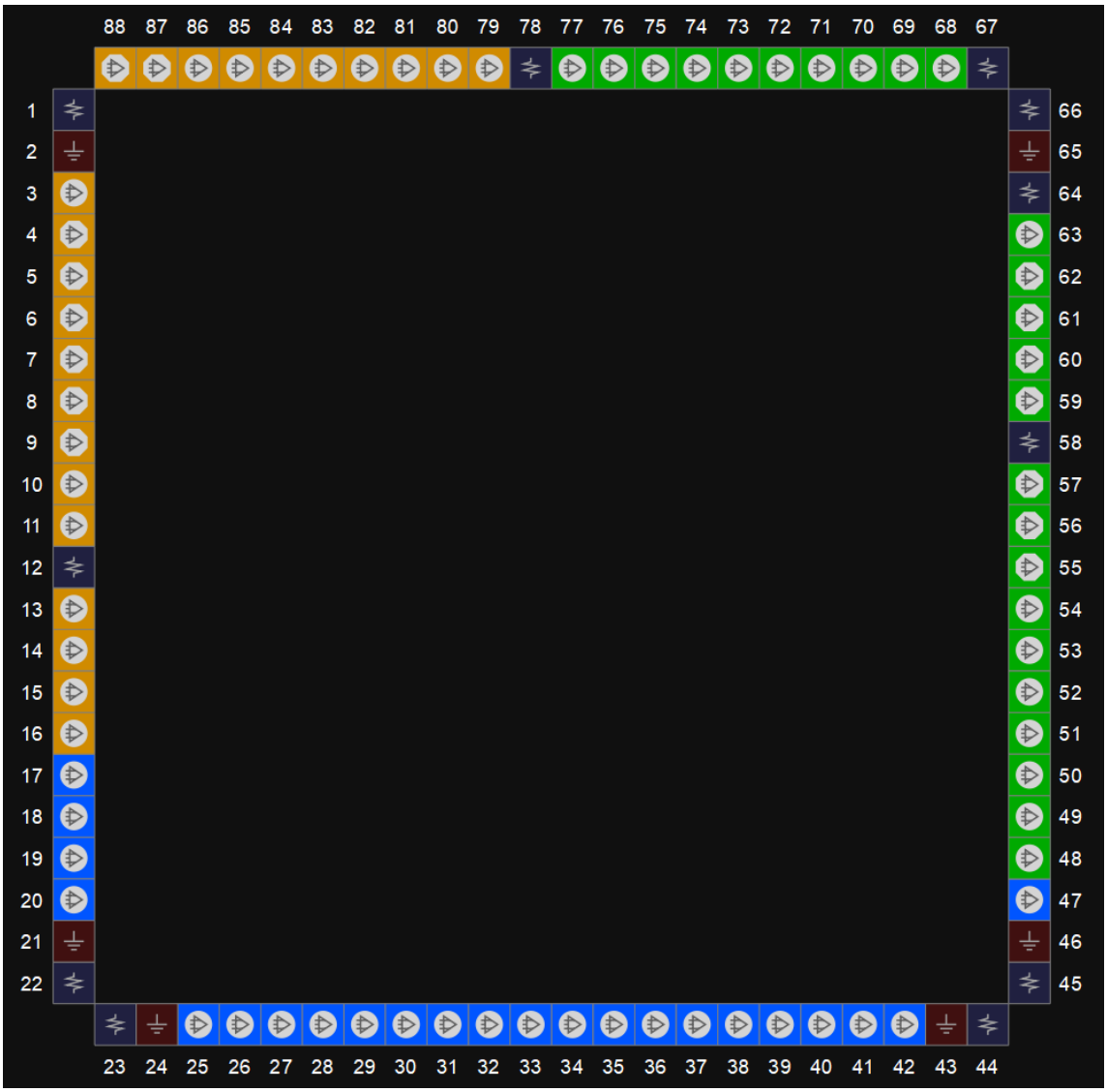


表 3-5 GW1NR-9 器件 QN88 其他管脚(内嵌 PSRAM)

VCC	1, 22, 45, 66
VCCX/VCCO0	64, 67, 78
VCCO1	58
VCCO2	23, 44
VCCO3	12
MODE	87, 88
VSS	2, 21, 24, 43, 46, 65

3.2.3 MG100 管脚分布示意图(内嵌 PSRAM)

图 3-6 GW1NR-9 器件 MG100 内嵌 PSRAM 封装管脚分布示意图（顶视图，内嵌 PSRAM）

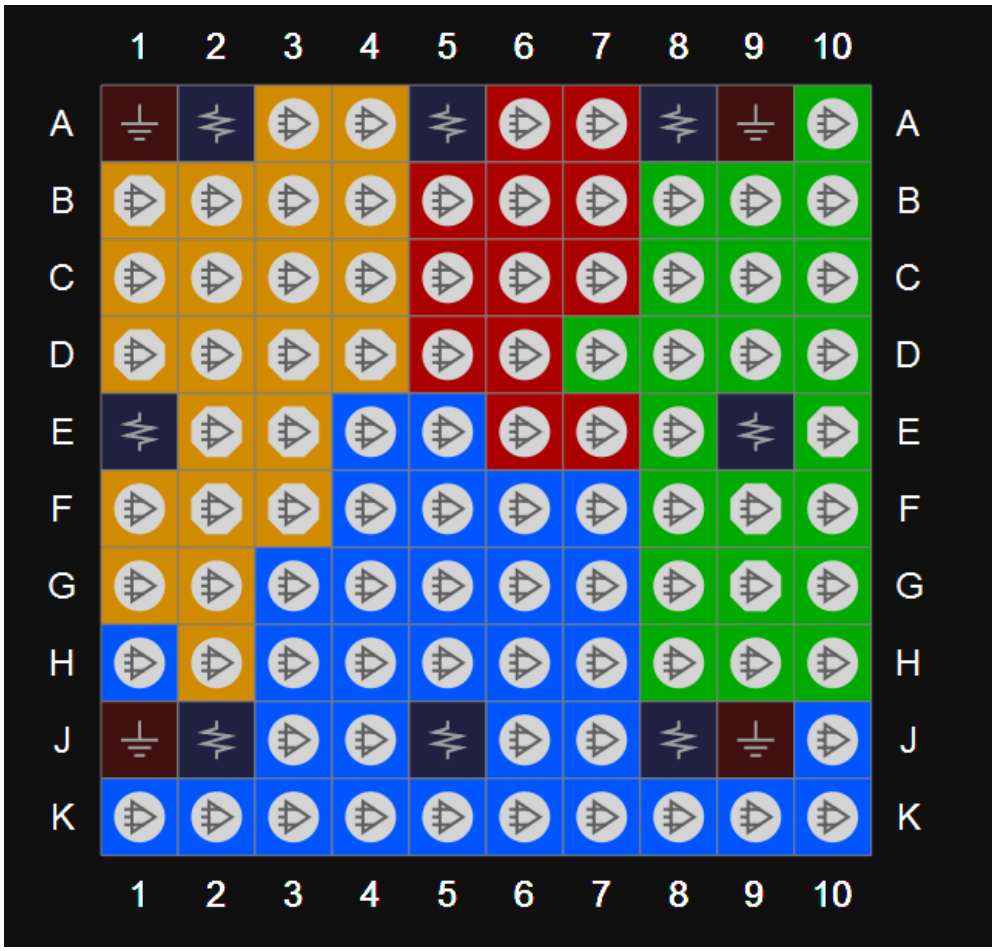


表 3-6 GW1NR-9 器件 MG100 其他管脚(内嵌 PSRAM)

VCC	A2,J2,A8
VCCO0	A5
VCCO1	E9
VCCO2	J5
VCCO3	E1
VCCX	J8
MODE	D4
VSS	A1,A9,J1,J9

3.2.4 LQ144 管脚分布示意图(内嵌 PSRAM)

图 3-7 GW1NR-9 器件 LQ144 封装管脚分布示意图（顶视图，内嵌 PSRAM）

表 3-7 GW1NR-9 器件 LQ144 其他管脚(内嵌 PSRAM)

VCC	1, 36, 73, 108
VCCO0	109, 127
VCCO1	91, 103
VCCO2	37, 55
VCCO3	9, 19
VCCX	31, 77
MODE	143, 144
VSS	2, 17, 33, 35, 53, 74, 89, 105, 107

3.3 GW1NR-9C 器件管脚分布示意图

3.3.1 QN88 管脚分布示意图

图 3-8 GW1NR-9C 器件 QN88 封装管脚分布示意图（顶视图）

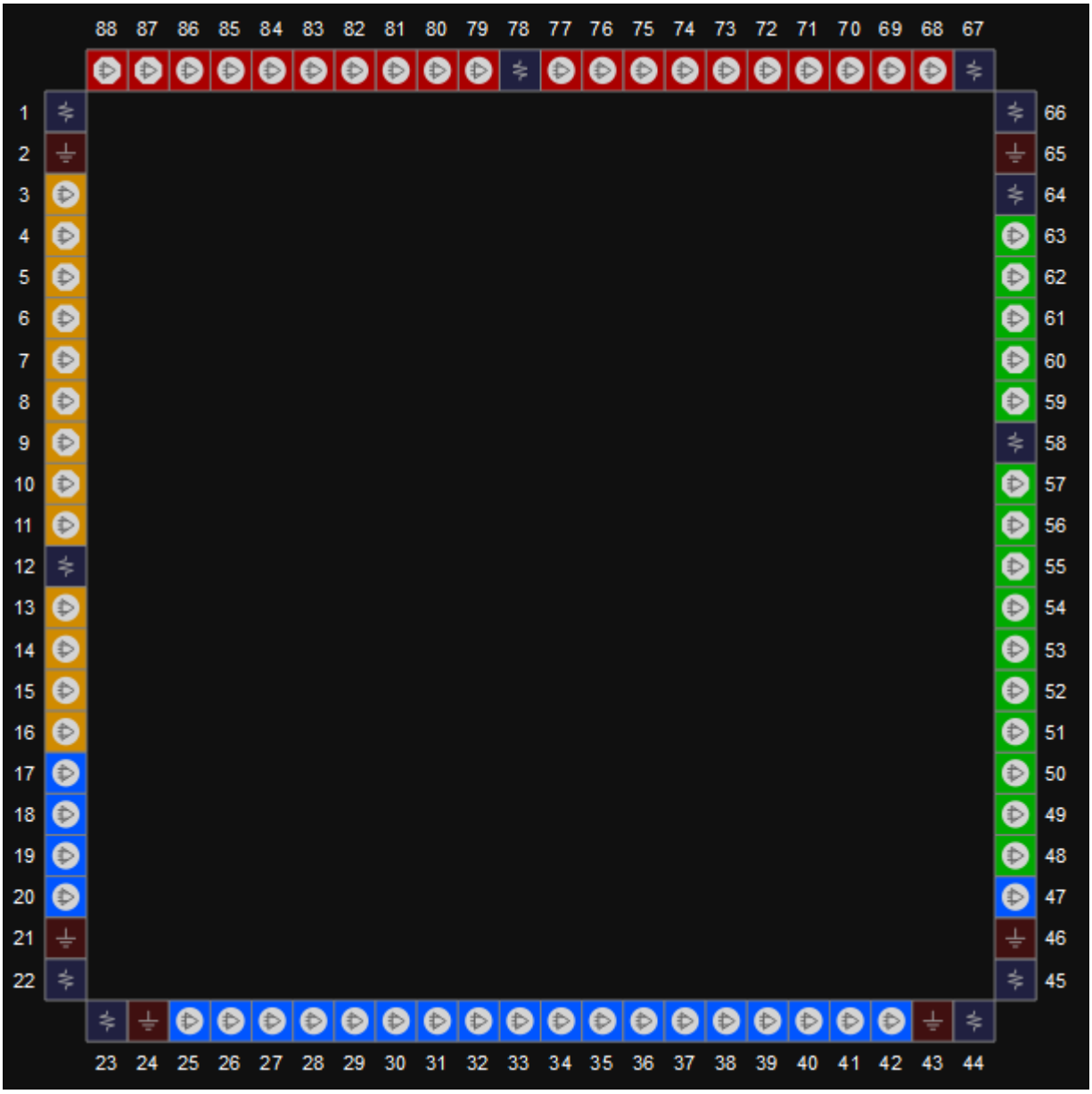


表 3-8 GW1NR-9C 器件 QN88 其他管脚

VCC	1, 22, 45, 66
VCCX/VCCO0/VCCO2	23, 44, 64, 67, 78
VCCO1	58
VCCO3	12
MODE	87, 88
VSS	2, 21, 24, 43, 46, 65

3.3.2 QN88P 管脚分布示意图

图 3-9 GW1NR-9C 器件 QN88P 封装管脚分布示意图（顶视图）

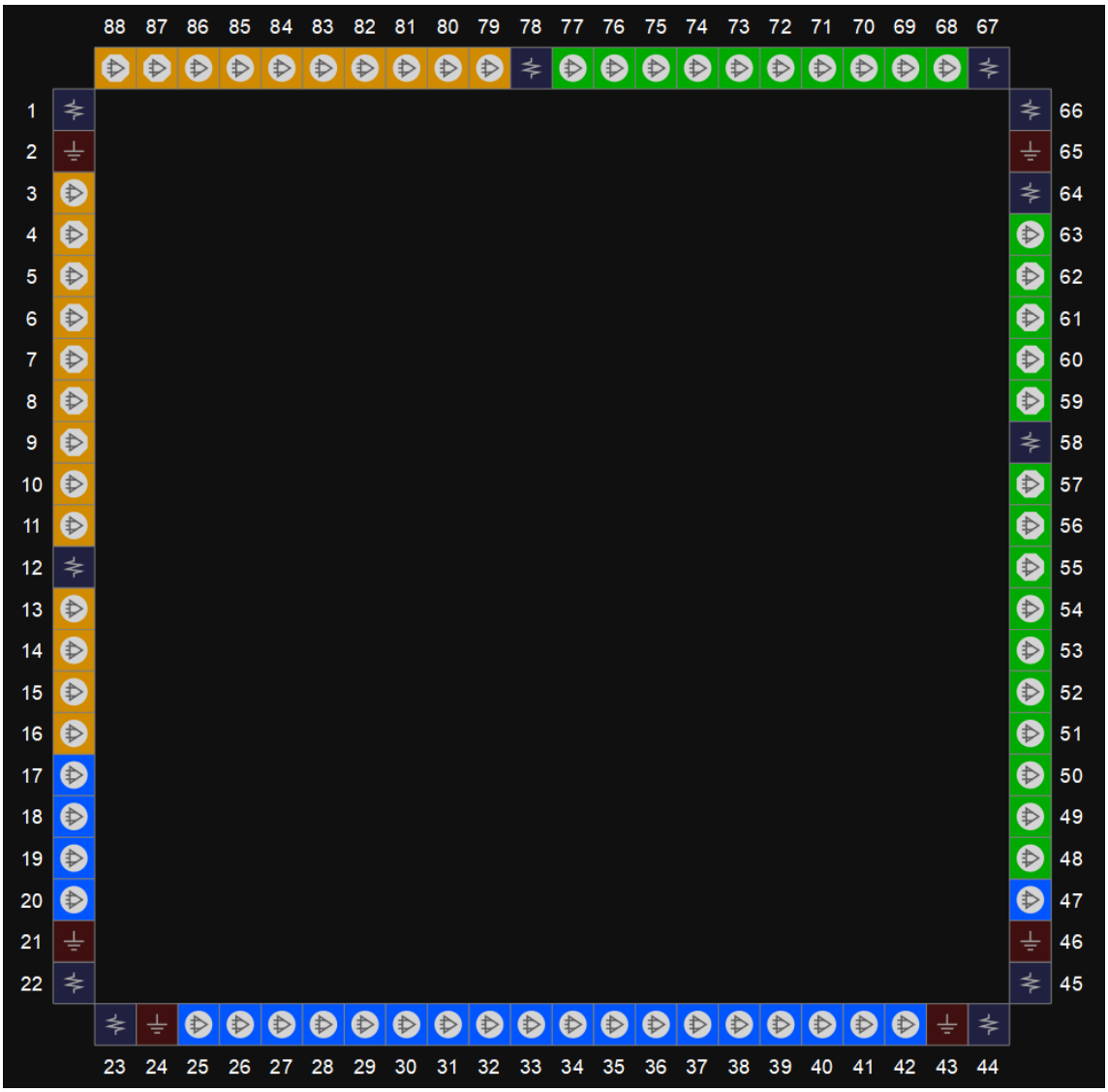


表 3-9 GW1NR-9C 器件 QN88P 其他管脚

VCC	1, 22, 45, 66
VCCX/VCCO0	64, 67, 78
VCCO1	58
VCCO2	23, 44
VCCO3	12
MODE	87, 88
VSS	2, 21, 24, 43, 46, 65

3.3.3 MG100P 管脚分布示意图

图 3-10 GW1NR-9C 器件 MG100P 封装管脚分布示意图（顶视图）

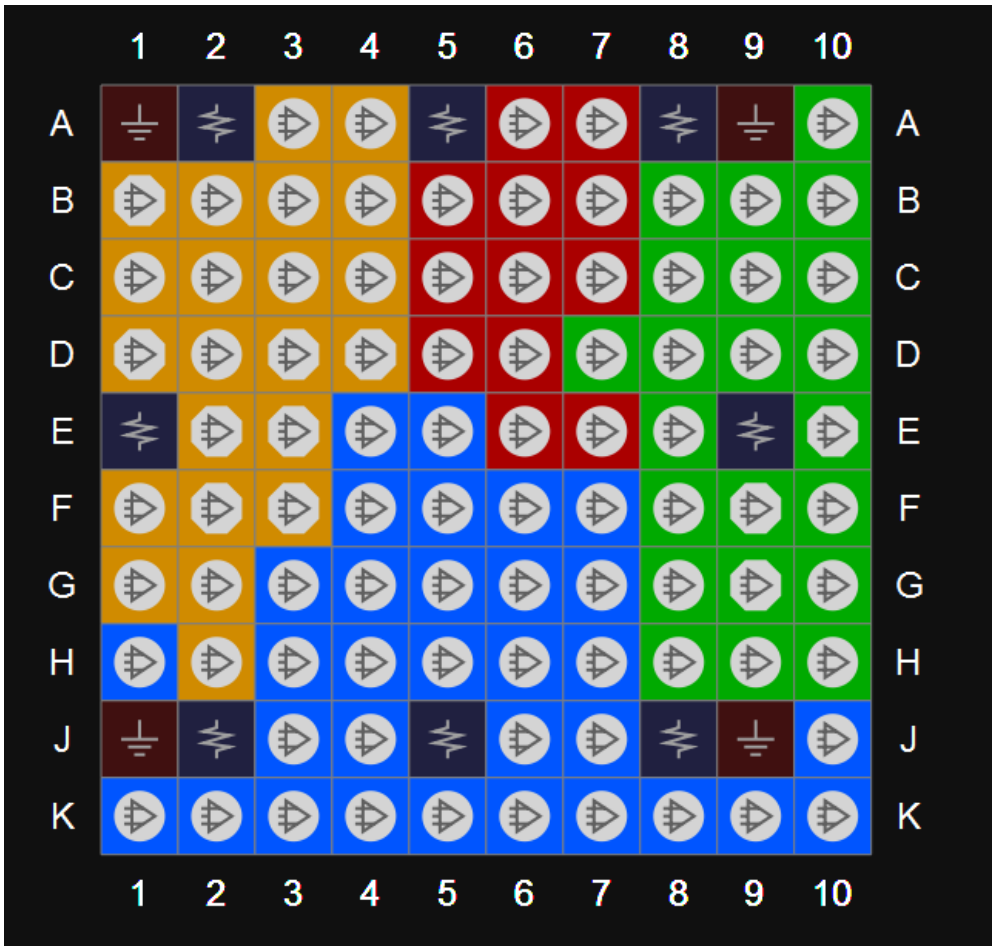


表 3-10 GW1NR-9C 器件 MG100P 其他管脚

VCC	A2,J2,A8
VCCO0	A5
VCCO1	E9
VCCO2	J5
VCCO3	E1
VCCX	J8
MODE	D4
VSS	A1,A9,J1,J9

3.3.4 LQ144P 管脚分布示意图

图 3-11 GW1NR-9C 器件 LQ144P 封装管脚分布示意图（顶视图）

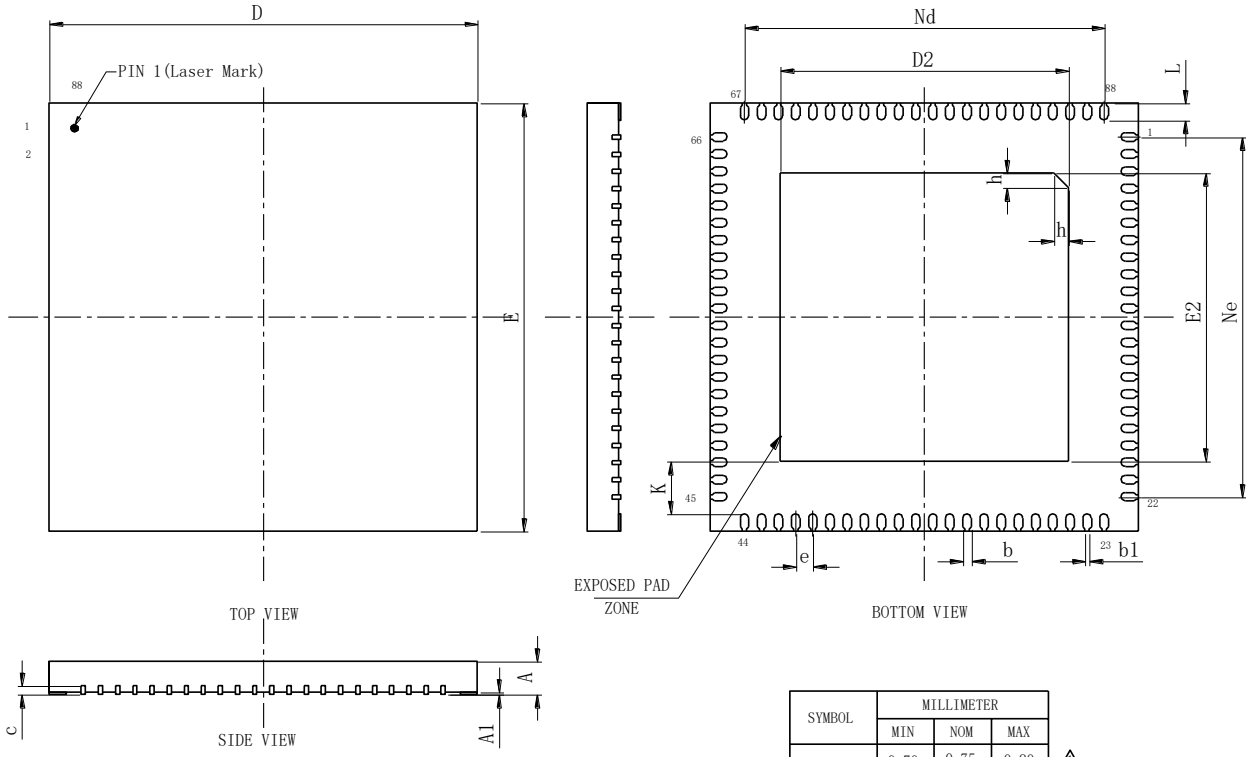
表 3-11 GW1NR-9C 器件 LQ144P 其他管脚

VCC	1, 36, 73, 108
VCCO0	109, 127
VCCO1	91, 103
VCCO2	37, 55
VCCO3	9, 19
VCCX	31, 77
MODE	143, 144
VSS	2, 17, 33, 35, 53, 74, 89, 105, 107

4封装尺寸

4.1 封装尺寸 QN88/QN88P (10mm x 10mm)

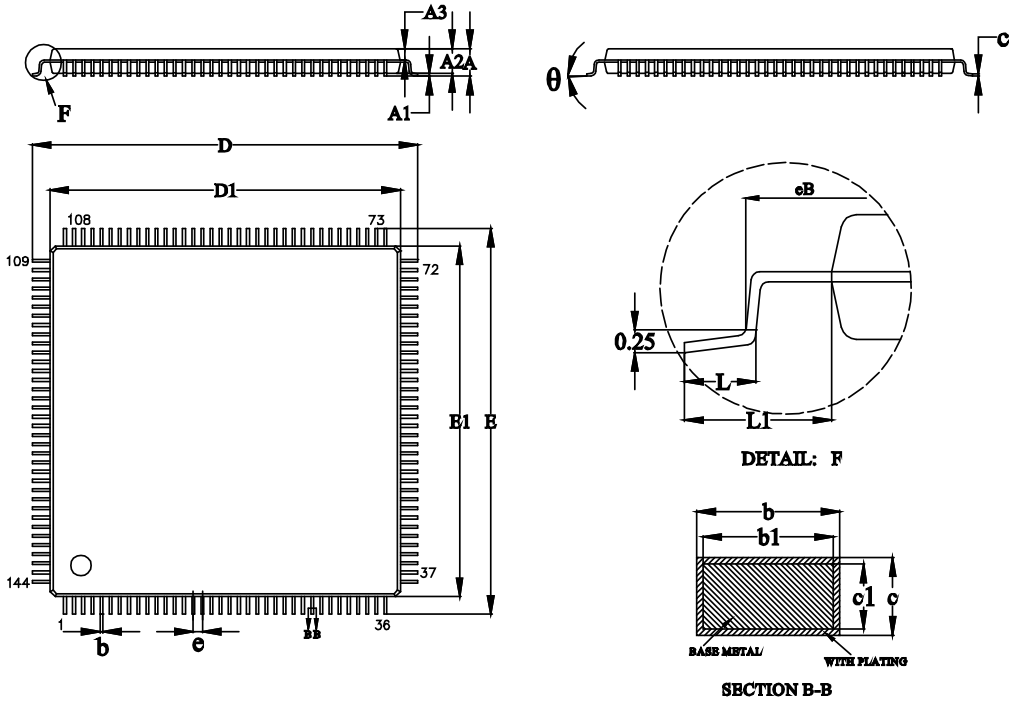
图 4-1 封装尺寸 QN88/QN88P



SYMBOL	MILLIMETER			
	MIN	NOM	MAX	
A	0.70	0.75	0.80	1
	0.80	0.85	0.90	
	0.85	0.90	0.95	2
A1	0	0.02	0.05	
b	0.15	0.20	0.25	
b1	0.10REF			2
c	0.18	0.20	0.25	
D	9.90	10.00	10.10	
D2	6.64	6.74	6.84	
e	0.40BSC			
Nd	8.40REF			
E	9.90	10.00	10.10	
E2	6.64	6.74	6.84	
Ne	8.40REF			
L	0.30	0.40	0.50	
K	0.20	-	-	
h	0.30	0.35	0.40	
L/F载体尺寸 (mil)	300x300			

4.2 封装尺寸 LQ144/LQ144P (20mm x 20mm)

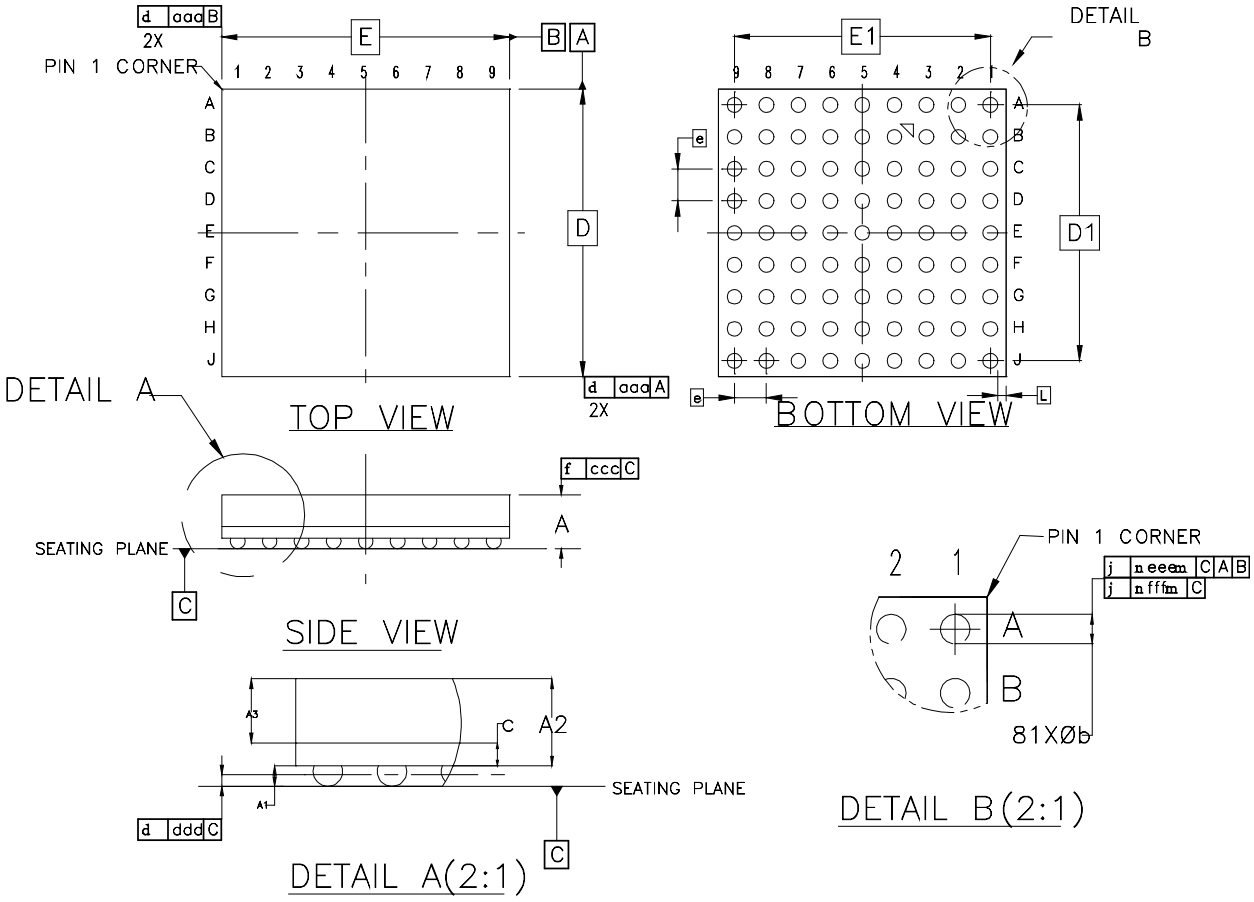
图 4-2 封装尺寸 LQ144/LQ144P



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	21.80	22.00	22.20
D1	19.90	20.00	20.10
E	21.80	22.00	22.20
E1	19.90	20.00	20.10
e	0.50BSC		
L	0.45	—	0.75
L1	1.00REF		
θ	0	—	7°

4.3 封装尺寸 MG81 (4.5mm x 4.5mm)

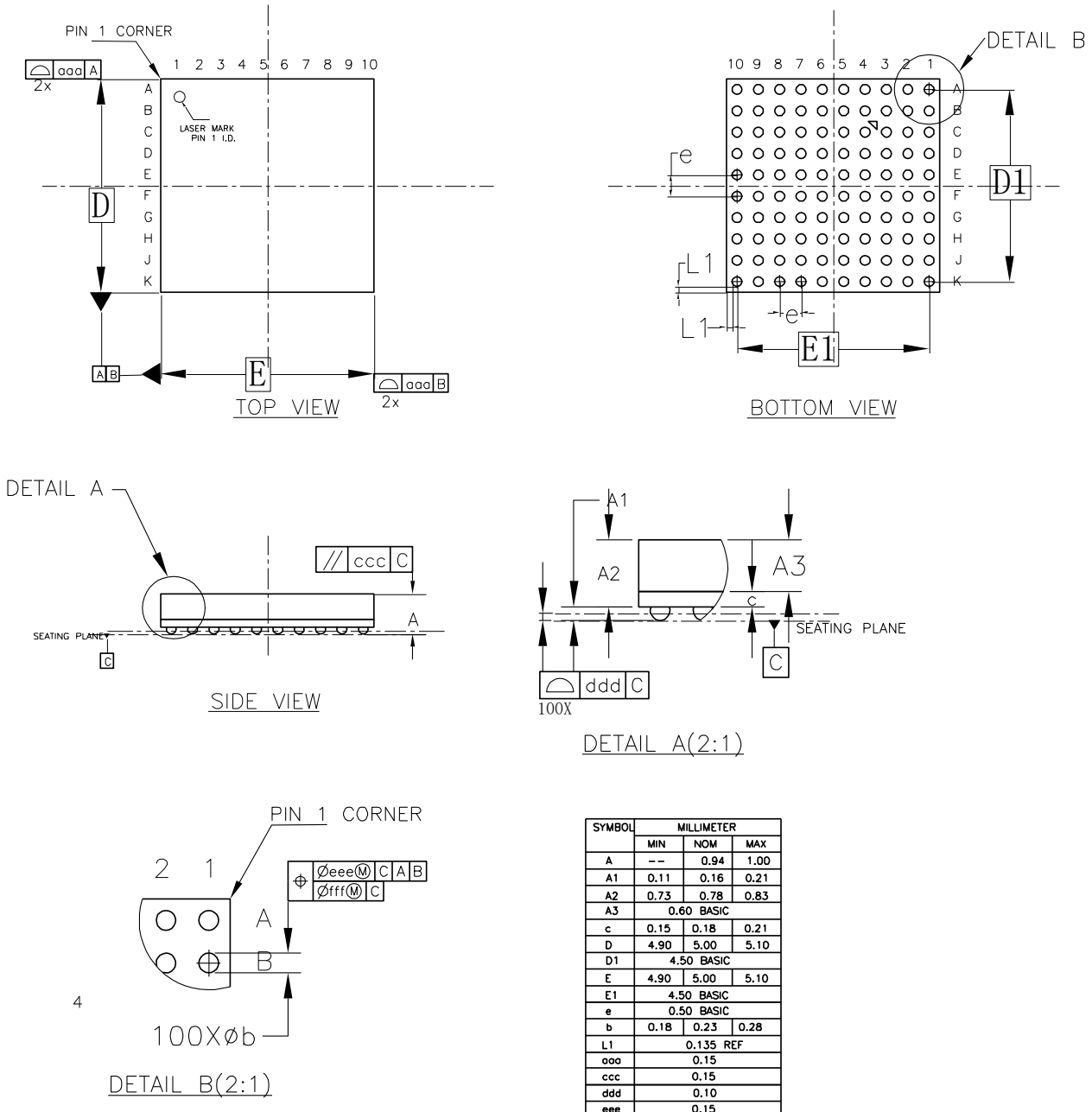
图 4-3 封装尺寸 MG81



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	--	0.84	0.90
A1	0.11	0.16	0.21
A2	0.63	0.68	0.73
A3	0.50 BASIC		
c	0.15	0.18	0.21
D	4.40	4.50	4.60
D1	4.00 BASIC		
E	4.40	4.50	4.60
E1	4.00 BASIC		
e	0.50 BASIC		
b	0.18	0.23	0.28
L	0.135 TYP		
aaa	0.10		
ccc	0.15		
ddd	0.10		
eee	0.15		
fff	0.05		

4.4 封装尺寸 MG100/MG100P (5mm x 5mm)

图 4-4 封装尺寸 MG100/MG100P



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	--	0.94	1.00
A1	0.11	0.16	0.21
A2	0.73	0.78	0.83
A3	0.60 BASIC		
c	0.15	0.18	0.21
D	4.90	5.00	5.10
D1	4.50 BASIC		
E	4.90	5.00	5.10
E1	4.50 BASIC		
e	0.50 BASIC		
b	0.18	0.23	0.28
L1	0.135 REF		
aaa	0.15		
ccc	0.15		
ddd	0.10		
eee	0.15		
fff	0.05		

GOWIN高云

智慧逻辑 定制未来