

| 日期 | 版本 | 说明 |
|-----------|-------|---|
| 2024/5/9 | 1.0 | 初始版本，支持MG132封装。 |
| 2024/5/22 | 1.0.1 | 更新Power页中MG132封装M0_VDDA的电压最大值。 |
| 2024/7/5 | 1.0.2 | 优化Power页。 更新电源管脚名称及说明。 新增Power页中VCCX的注释。 更新MG132的封装管脚信息。 |

| 管脚名称 | 方向 | 说明 |
|--------------------------------------|---|--|
| 用户I/O管脚 | | |
| IO [End][Row/Column Number][A/B] | I/O/LVDS | [End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top) |
| | | [Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数 |
| | | [A/B]提供差分信号对信息 |
| | | 方向为LVDS时表示该管脚只支持真LVDS输出 |
| 多功能管脚 | | |
| IO [End][Row/Column Number][A/B]/MMM | | 多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外的一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户I/O |
| D00~D07 | I/O，内部弱上拉 | CPU模式：数据输入输出端口D00~D07 |
| D08~D15 | I | CPU模式：数据输入端口D08~D15 |
| MI0 | I/O，内部弱上拉 | MSPI模式：串行指令和地址输出，以及X2, X4模式下的并行数据bit0的输入管脚，连接外部Flash器件的DQ0/D/SI/IO0管脚 |
| MI1 | I/O，内部弱上拉 | MSPI模式：X1模式下串行数据输入，X2, X4模式下并行数据bit1的输入管脚，连接外部Flash器件的DQ1/Q/SO/IO1管脚 |
| MI2 | I/O，内部弱上拉 | MSPI模式：X4模式下并行数据bit2的输入管脚，分别连接外部Flash器件的DQ2/W#/WP#/IO2管脚 |
| MI3 | I/O，内部弱上拉 | MSPI模式：X4模式下并行数据bit3的输入管脚，分别连接外部Flash器件的DQ3/HOLD#/IO3管脚 |
| MOSI | I/O，内部弱上拉 | MSPI模式：串行指令和地址输出，以及X2, X4模式下的并行数据bit0的输入管脚，连接外部Flash器件的DQ0/D/SI/IO0管脚 |
| MISO | I/O，内部弱上拉 | MSPI模式：X1模式下串行数据输入，X2, X4模式下并行数据bit1的输入管脚，连接外部Flash器件的DQ1/Q/SO/IO1管脚 |
| MCS_N | O, MODE[1:0]: 内部弱上拉 MODE[2:0]: None | MSPI模式：使能信号MCS_N，低电平有效 |
| CCLK | I/O，内部弱上拉 | 配置时钟 Slave模式：CCLK为输入，需要连接外部时钟源 Master模式：CCLK为输出 |
| EMCCLK | I，内部弱上拉 | 外部输入时钟信号 Master模式：EMCCLK用作FPGA配置逻辑，以及输出CCLK的时钟源 Slave模式：EMCCLK对slave模式没有关联 |
| SDA | I/O，内部弱上拉 | I2C串行数据线；当GowinCONFIG配置模式支持I2C时，需要外上拉 |
| SCL | I, MODE[1:0]: None MODE[2:0]: 内部弱上拉 | I2C串行时钟线；当GowinCONFIG配置模式支持I2C时，需要外上拉 |
| SO | O，内部弱上拉 | SSPI模式下SO |

| 管脚名称 | 方向 | 说明 |
|------------|---|---|
| SI | I, 内部弱上拉 | SSPI模式下SI |
| SSI0 | I, 内部弱上拉 | QSSPI配置模式: 数据输入管脚 |
| SSI1 | I, 内部弱上拉 | QSSPI配置模式: 数据输入管脚 |
| SSI2 | I, MODE[1:0]: 内部弱上拉 MODE[2:0]: None | QSSPI配置模式: 数据输入管脚 |
| SSI3 | I, 内部弱上拉 | QSSPI配置模式: 数据输入管脚 |
| CLKHOLD_N | I, 内部弱下拉 | 在SSPI模式下, 低电平有效 |
| SSPI_CLK | I, 内部弱上拉 | SSPI/QSSPI配置模式: 时钟输入管脚 |
| SSPI_WPN | I, MODE[1:0]: 内部弱上拉 MODE[2:0]: None | QSSPI配置模式: 数据输入管脚 |
| SSPI_CS_N | I, 内部弱上拉 | SSPI模式: 使能信号SSPI_CS_N, 低电平有效, 内部弱上拉 |
| CSI_B | I, 内部弱上拉 | CPU模式: 片选信号低有效 Master CPU模式: 连接外部配置controller的片选信号, 也可以直接接地或者串接1KΩ电阻接地 Slave CPU模式: 外部配置controller可以通过控制CSI_B信号选择FPGA Master和Slave模式都是由外部controller发出, 其他模式CSI_B信号没有关联 |
| CSO_B | O, 内部弱上拉 | 在FPGA级联配置模式(Daisy Chain)用于连接下一级器件 SERIAL模式: 输出下一级器件的配置数据 Master SPI模式: 输出下一级器件的配置数据 CPU模式: 输出下一级器件的片选信号 |
| RDWR_B | I, 内部弱下拉 | CPU模式: 数据读写控制信号 RDWR为高电平时, FPGA输出数据; 为低电平时, 外部控制器将数据写入FPGA Master CPU模式: 可以接外部控制器RDWR信号, 也可以直接或者串接≤1kΩ电阻器连接到GND。 Slave CPU模式: 外部控制器RDWR信号 CPU模式的低8位专用IO在wakeup后会受RDWR状态影响, CPU模式低8位设置复用fuse不受RDWR影响 |
| Q0REF_T_IN | I | SerDes Q0的参考时钟通道差分输入管脚, T(True) |
| Q0REF_C_IN | I | SerDes Q0的参考时钟通道差分输入管脚, C(Comp) |
| GCLKC_[x] | I | GCLKT_[x]的差分对比输入管脚, C(Comp), [x]是时钟序号 |
| GCLKT_[x] | I | 全局时钟输入管脚, T(True), [x]是时钟序号 |
| DOUT | O | SERIAL模式: 数据输出 |
| DIN | I, 内部弱上拉 | SERIAL模式: 数据输入 |
| TMS | I, 内部弱上拉 | JTAG模式: 串行模式输入 |
| TCK | I, 内部弱上拉 | JTAG模式: 串行时钟输入 |
| TDO | O, 内部弱上拉 | JTAG模式: 串行数据输出 |
| TDI | I, 内部弱上拉 | JTAG模式: 串行数据输入 |

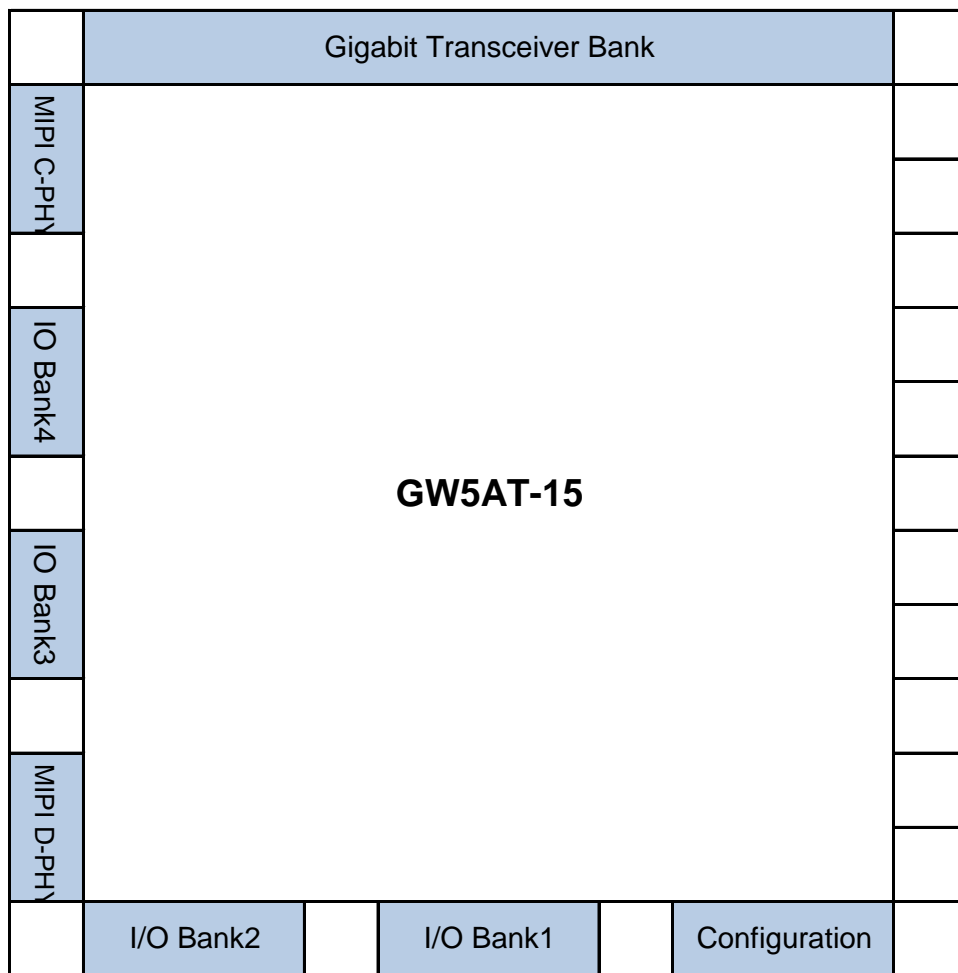
| 管脚名称 | 方向 | 说明 |
|----------------------|------------|---|
| RECONFIG_N | I, 内部弱上拉 | 全局复位GowinCONFIG逻辑信号, 低电平有效 |
| DONE ^[1] | O, 内部弱上拉 | 高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败 |
| | I, 内部弱上拉 | DONE信号为低电平时, 延迟芯片启动, 直到DONE信号为高电平 |
| READY ^[1] | I/O, 内部弱上拉 | 高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置 |
| LPLL_C_FB/BPLL_C_FB | I | 左边/下边PLL反馈输入管脚, C(Comp) |
| LPLL_T_FB/BPLL_T_FB | I | 左边/下边PLL反馈输入管脚, T(True) |
| LPLL_C_IN/BPLL_C_IN | I | 左边/下边PLL时钟输入管脚, C(Comp) |
| LPLL_T_IN/BPLL_T_IN | I | 左边/下边PLL时钟输入管脚, T(True) |
| MODE2 | I, 内部弱上拉 | GowinCONFIG配置模式选择信号端口: 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地 |
| MODE1 | I, 内部弱上拉 | GowinCONFIG配置模式选择信号端口: 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地 |
| MODE0 | I, 内部弱上拉 | GowinCONFIG配置模式选择信号端口: 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地 |
| 其他管脚 | | |
| VSS | NA | Ground管脚 |
| VCC | NA | 核电压供电管脚 |
| VCCIO# | NA | I/O BANK#的I/O电压供电管脚 |
| VCCX | NA | 辅助电压供电管脚 |
| VCC_LDO | NA | 为PLL, SRAM提供电压的内部LDO模块的电源电压管脚 |
| VCC_ADC | NA | ADC模块供电电压管脚 |
| V_EFUSE | NA | eFuse写操作供电电压管脚 |
| VDDA_Q* | NA | SerDes模块QUAD*内部模拟电路供电电压管脚 |
| VDDD_Q* | NA | SerDes模块QUAD*内部数字电路供电电压管脚 |
| VDDT_Q* | NA | SerDes模块QUAD* TX发送端供电电压管脚 |
| VDDHA_Q* | NA | SerDes模块QUAD*内部高压供电电压管脚 |
| VDD12_MIPI | NA | MIPI模块LP模式供电电压管脚 |
| VDDA_MIPI | NA | MIPI模块内部模拟电路供电电压管脚 |
| VDDD_MIPI | NA | MIPI模块内部数字电路供电电压管脚 |
| VDDX_MIPI | NA | MIPI模块辅助供电电压管脚 |
| VDD_PSRAM | NA | PSRAM供电电压管脚 |
| VDDQ_PSRAM | NA | PSRAM数据总线的电源电压管脚 |
| NC | NA | 预留未使用 |

| 管脚名称 | 方向 | 说明 |
|--------------|-----|--------------------------|
| Q0_LN0_RXM_I | DIO | SerDes Q0的数据通道0 RX差分输入管脚 |
| Q0_LN0_RXP_I | DIO | SerDes Q0的数据通道0 RX差分输入管脚 |
| Q0_LN0_TXM_O | DIO | SerDes Q0的数据通道0 TX差分输出管脚 |
| Q0_LN0_TXP_O | DIO | SerDes Q0的数据通道0 TX差分输出管脚 |
| Q0_LN1_RXM_I | DIO | SerDes Q0的数据通道1 RX差分输入管脚 |
| Q0_LN1_RXP_I | DIO | SerDes Q0的数据通道1 RX差分输入管脚 |
| Q0_LN1_TXM_O | DIO | SerDes Q0的数据通道1 TX差分输出管脚 |
| Q0_LN1_TXP_O | DIO | SerDes Q0的数据通道1 TX差分输出管脚 |
| Q0_LN2_RXM_I | DIO | SerDes Q0的数据通道2 RX差分输入管脚 |
| Q0_LN2_RXP_I | DIO | SerDes Q0的数据通道2 RX差分输入管脚 |
| Q0_LN2_TXM_O | DIO | SerDes Q0的数据通道2 TX差分输出管脚 |
| Q0_LN2_TXP_O | DIO | SerDes Q0的数据通道2 TX差分输出管脚 |
| Q0_LN3_RXM_I | DIO | SerDes Q0的数据通道3 RX差分输入管脚 |
| Q0_LN3_RXP_I | DIO | SerDes Q0的数据通道3 RX差分输入管脚 |
| Q0_LN3_TXM_O | DIO | SerDes Q0的数据通道3 TX差分输出管脚 |
| Q0_LN3_TXP_O | DIO | SerDes Q0的数据通道3 TX差分输出管脚 |
| Q0_REFCLKM_0 | DIO | SerDes Q0的参考时钟通道0差分输入管脚 |
| Q0_REFCLKP_0 | DIO | SerDes Q0的参考时钟通道0差分输入管脚 |
| Q0_REFCLKM_1 | DIO | SerDes Q0的参考时钟通道1差分输入管脚 |
| Q0_REFCLKP_1 | DIO | SerDes Q0的参考时钟通道1差分输入管脚 |
| M0_CKN | DIO | MIPI_DPHY的时钟通道差分管脚 |
| M0_CKP | DIO | MIPI_DPHY的时钟通道差分管脚 |
| M0_D0N | DIO | MIPI_DPHY的数据通道0差分管脚 |
| M0_D0P | DIO | MIPI_DPHY的数据通道0差分管脚 |
| M0_D1N | DIO | MIPI_DPHY的数据通道1差分管脚 |
| M0_D1P | DIO | MIPI_DPHY的数据通道1差分管脚 |
| M0_D2N | DIO | MIPI_DPHY的数据通道2差分管脚 |
| M0_D2P | DIO | MIPI_DPHY的数据通道2差分管脚 |
| M0_D3N | DIO | MIPI_DPHY的数据通道3差分管脚 |
| M0_D3P | DIO | MIPI_DPHY的数据通道3差分管脚 |
| M1_D0A | DIO | MIPI_CPHY的数据通道0输入输出A管脚 |
| M1_D0B | DIO | MIPI_CPHY的数据通道0输入输出B管脚 |
| M1_D0C | DIO | MIPI_CPHY的数据通道0输入输出C管脚 |
| M1_D1A | DIO | MIPI_CPHY的数据通道1输入输出A管脚 |
| M1_D1B | DIO | MIPI_CPHY的数据通道1输入输出B管脚 |

| 管脚名称 | 方向 | 说明 |
|--------|-----|------------------------|
| M1_D1C | DIO | MIPI_CPHY的数据通道1输入输出C管脚 |
| M1_D2A | DIO | MIPI_CPHY的数据通道2输入输出A管脚 |
| M1_D2B | DIO | MIPI_CPHY的数据通道2输入输出B管脚 |
| M1_D2C | DIO | MIPI_CPHY的数据通道2输入输出C管脚 |

注！

[1] READY和DONE默认状态为open-drain输出, 内部弱上拉。在配置期间, DONE输出0。



注!

- [1]每个Bank还提供一个独立的参考电压 (VREF)。
- [2]用户可选择使用IOB内置的VREF源 (0.6V、0.75V、0.9V、1.25V、1.5V, 以及基于VCCIO的比例电压 (36%,50%,64%))。
- [3]用户也可选择外部的VREF输入 (使用Bank中任意一个IO管脚作为外部VREF输入)。

| 名称 | 描述 | 最小值 | 最大值 |
|--|------------------------|--------|--------|
| FPGA Logic | | | |
| V _{CC} | 核电压, LV | 0.87V | 1.03V |
| V _{CCIO} | I/O Bank电压 | 1.14V | 3.465V |
| V _{CCX} ^[1] | 辅助电压 | 1.71V | 3.465V |
| V _{CC_LDO} | 内部SRAM和PLL Regulator电压 | 1.14V | 2.75V |
| V _{EFUSE} ^[2] | eFuse写入所需电压 | 1.62V | 1.98V |
| Gigabit Transceiver | | | |
| V _{DDHA_Q*} | QUAD*内部高压供电电压 | 1.71V | 1.89V |
| V _{DDA_Q*} | QUAD*内部模拟电路供电电压 | 0.87V | 1.03V |
| V _{DDT_Q*} | QUAD* TX发送端供电电压 | 0.87V | 1.03V |
| MIPI | | | |
| V _{DDA_MIPI} | MIPI模块模拟电路供电电压 | 0.855V | 1V |
| V _{DDX_MIPI} | MIPI模块模拟辅助供电电压 | 1.71V | 3.465V |
| V _{DDD_MIPI} | MIPI模块数字电路供电电压 | 0.87V | 1.03V |
| V _{DD12_MIPI} | MIPI模块LP模式供电电压 | 1.14V | 1.32V |
| ADC | | | |
| V _{CC_ADC} | ADC模块供电电压 | 1.62V | 1.98V |
| PSRAM | | | |
| V _{DD_PSRAM} | PSRAM供电电压 | 1.71V | 1.89V |
| V _{DDQ_PSRAM} | PSRAM 数据总线的电源电压 | 1.71V | 1.89V |
| FLASH | | | |
| V _{CC_FLASH} | FLASH模块供电电压 | 1.71V | 1.89V |
| <p>注! ^[1] 当需要使用内部差分端接电阻时, V_{ccx}必须大于等于3V; V_{ccx}=1.8v时, IO输入输出的F_{max}会受到限制, 对于>600Mbps的输入输出应用, V_{ccx}需要大于等于2.5V。 ^[2] 当不需要写eFuse的时候, 这个电源可以接GND或floating。 若某些封装或者PCB上多个电源短接, 需要取所有短接电源范围的交集,同时满足多个电源的需求。</p> | | | |

| 注！ | | | | | | | | |
|--------------------------------------|-----|------|-----------|------|-------------------------------|----------------|------|----------------------|
| [1]LV版本。 | | | | | | | | |
| 管脚名称 | 功能 | BANK | ADC_INPUT | DQS | 配置功能 | 差分Pair | LVDS | MG132 ^[1] |
| IOB11A | I/O | 1 | bus1 | DQ2 | | | none | M8 |
| IOB12A | I/O | 1 | bus1 | DQ2 | | True_of_IOB12B | True | P14 |
| IOB12B | I/O | 1 | bus1 | DQ2 | | Comp_of_IOB12A | True | N14 |
| IOB14A/D15 | I/O | 1 | bus1 | DQ2 | D15 | True_of_IOB14B | True | P13 |
| IOB14B/D14 | I/O | 1 | bus1 | DQ2 | D14 | Comp_of_IOB14A | True | N13 |
| IOB16A | I/O | 1 | bus1 | DQ2 | | True_of_IOB16B | True | N12 |
| IOB16B | I/O | 1 | bus1 | DQ2 | | Comp_of_IOB16A | True | P12 |
| IOB18A/D13 | I/O | 1 | | DQ2 | D13 | True_of_IOB18B | True | P10 |
| IOB18B/D12 | I/O | 1 | | DQ2 | D12 | Comp_of_IOB18A | True | N10 |
| IOB20A | I/O | 1 | bus1 | DQS2 | | True_of_IOB20B | True | N8 |
| IOB20B | I/O | 1 | bus1 | DQS2 | | Comp_of_IOB20A | True | P8 |
| IOB22A/GCLKT_3 | I/O | 1 | bus1 | DQ2 | GCLKT_3 | True_of_IOB22B | True | N11 |
| IOB22B/GCLKC_3 | I/O | 1 | bus1 | DQ2 | GCLKC_3 | Comp_of_IOB22A | True | P11 |
| IOB24A/GCLKT_2/BPLL_T_IN0/BPLL_T_FB1 | I/O | 1 | bus1 | DQ2 | GCLKT_2/BPLL_T_IN0/BPLL_T_FB1 | True_of_IOB24B | True | N9 |
| IOB24B/GCLKC_2/BPLL_C_IN0/BPLL_C_FB1 | I/O | 1 | bus1 | DQ2 | GCLKC_2/BPLL_C_IN0/BPLL_C_FB1 | Comp_of_IOB24A | True | P9 |
| IOB31A | I/O | 1 | bus1 | DQ1 | | | none | J12 |
| IOB32A/GCLKT_1/BPLL_T_IN1/BPLL_T_FB0 | I/O | 1 | bus1 | DQ1 | GCLKT_1/BPLL_T_IN1/BPLL_T_FB0 | True_of_IOB32B | True | H13 |
| IOB32B/GCLKC_1/BPLL_C_IN1/BPLL_C_FB0 | I/O | 1 | bus1 | DQ1 | GCLKC_1/BPLL_C_IN1/BPLL_C_FB0 | Comp_of_IOB32A | True | G13 |
| IOB34A/GCLKT_0 | I/O | 1 | bus1 | DQ1 | GCLKT_0 | True_of_IOB34B | True | F13 |
| IOB34B/GCLKC_0 | I/O | 1 | bus1 | DQ1 | GCLKC_0 | Comp_of_IOB34A | True | E13 |
| IOB36A | I/O | 1 | bus1 | DQ1 | | True_of_IOB36B | True | D13 |
| IOB36B | I/O | 1 | bus1 | DQ1 | | Comp_of_IOB36A | True | C13 |
| IOB39A/D11 | I/O | 1 | bus1 | DQ1 | D11 | True_of_IOB39B | True | D14 |
| IOB39B/D10 | I/O | 1 | bus1 | DQ1 | D10 | Comp_of_IOB39A | True | C14 |
| IOB3A/D02/MI2 | I/O | 2 | bus1 | none | D02/MI2 | True_of_IOB3B | True | K13 |
| IOB3B/D01/DIN/MISO/MI1 | I/O | 2 | bus1 | none | D01/DIN/MISO/MI1 | Comp_of_IOB3A | True | K14 |
| IOB41A | I/O | 1 | | DQS1 | | True_of_IOB41B | True | J13 |
| IOB41B | I/O | 1 | | DQS1 | | Comp_of_IOB41A | True | J14 |

| 注！ [1]LV版本。 | | | | | | | | | |
|---|-----|------|-----------|------|--|----------------|------|----------------------|--|
| 管脚名称 | 功能 | BANK | ADC_INPUT | DQS | 配置功能 | 差分Pair | LVDS | MG132 ^[1] | |
| IOB43A/D09 | I/O | 1 | | DQ1 | D09 | True_of_I0B43B | True | F14 | |
| IOB43B/D08 | I/O | 1 | | DQ1 | D08 | Comp_of_I0B43A | True | E14 | |
| IOB45A | I/O | 1 | bus1 | DQ1 | | True_of_I0B45B | True | H14 | |
| IOB45B/EMCCLK | I/O | 1 | bus1 | DQ1 | EMCCLK | Comp_of_I0B45A | True | G14 | |
| IOB5A/CCLK | I/O | 2 | bus1 | none | CCLK | True_of_I0B5B | True | L14 | |
| IOB5B/MCS_N | I/O | 2 | bus1 | none | MCS_N | Comp_of_I0B5A | True | L13 | |
| IOB7A/D03/MI3 | I/O | 2 | bus1 | none | D03/MI3 | True_of_I0B7B | True | M14 | |
| IOB7B/D00/MOSI/MIO | I/O | 2 | bus1 | none | D00/MOSI/MIO | Comp_of_I0B7A | True | M13 | |
| IOB9A/READY | I/O | 2 | bus1 | none | READY | | none | M12 | |
| IOL20A/TCK | I/O | 4 | | none | TCK | True_of_I0L20B | True | G2 | |
| IOL20B/TMS | I/O | 4 | | none | TMS | Comp_of_I0L20A | True | G3 | |
| IOL22A/GCLKT_7/Q0REF_T_IN0/SSPI_CLK | I/O | 4 | bus0 | none | GCLKT_7/Q0REF_T_IN0/SSPI_CLK | True_of_I0L22B | True | H3 | |
| IOL22B/GCLKC_7/Q0REF_C_IN0/RDWR_B/SO/SSI1/PCIE_HOST_RSTN | I/O | 4 | bus0 | none | GCLKC_7/Q0REF_C_IN0/RDWR_B/SO/SSI1/PCIE_HOST_RSTN | Comp_of_I0L22A | True | H2 | |
| IOL24A/TDI | I/O | 4 | bus0 | none | TDI | True_of_I0L24B | True | J3 | |
| IOL24B/TDO | I/O | 4 | bus0 | none | TDO | Comp_of_I0L24A | True | J2 | |
| IOL26A/GCLKT_6/LPLL_T_IN0/LPLL_T_FB1/Q0REF_T_IN1/D06/CLKHOLD_N/SSI3 | I/O | 4 | bus0 | none | GCLKT_6/LPLL_T_IN0/LPLL_T_FB1/Q0REF_T_IN1/D06/CLKHOLD_N/SSI3 | True_of_I0L26B | True | K3 | |
| IOL26B/GCLKC_6/LPLL_C_IN0/LPLL_C_FB1/Q0REF_C_IN1/D07/SSPI_WPN/SSI2 | I/O | 4 | bus0 | none | GCLKC_6/LPLL_C_IN0/LPLL_C_FB1/Q0REF_C_IN1/D07/SSPI_WPN/SSI2 | Comp_of_I0L26A | True | K2 | |
| IOL29A/DONE | I/O | 3 | bus0 | none | DONE | True_of_I0L29B | True | L3 | |
| IOL29B/RECONFIG_N | I/O | 3 | bus0 | none | RECONFIG_N | Comp_of_I0L29A | True | M3 | |
| IOL31A/GCLKT_5/MODE1 | I/O | 3 | | none | GCLKT_5/MODE1 | True_of_I0L31B | True | N1 | |
| IOL31B/GCLKC_5/MODE0 | I/O | 3 | | none | GCLKC_5/MODE0 | Comp_of_I0L31A | True | N2 | |
| IOL33A/GCLKT_4/LPLL_T_IN1/LPLL_T_FB0/CSO_B/DOU/SCL | I/O | 3 | bus0 | none | GCLKT_4/LPLL_T_IN1/LPLL_T_FB0/CSO_B/DOU/SCL | True_of_I0L33B | True | M2 | |
| IOL33B/GCLKC_4/LPLL_C_IN1/LPLL_C_FB0/CSI_B/SDA | I/O | 3 | bus0 | none | GCLKC_4/LPLL_C_IN1/LPLL_C_FB0/CSI_B/SDA | Comp_of_I0L33A | True | M1 | |

| 注！ [1]LV版本。 | | | | | | | | |
|----------------------|-----|------|-----------|------|---------------|----------------|------|----------------------|
| 管脚名称 | 功能 | BANK | ADC_INPUT | DQS | 配置功能 | 差分Pair | LVDS | MG132 ^[1] |
| IOL35A/D04/SI/SSIO | I/O | 3 | bus0 | none | D04/SI/SSIO | True_of_IOL35B | True | P2 |
| IOL35B/D05/SSPI_CS_N | I/O | 3 | bus0 | none | D05/SSPI_CS_N | Comp_of_IOL35A | True | P1 |
| M0_CKN | DIO | MIPI | | none | | | none | P5 |
| M0_CKP | DIO | MIPI | | none | | | none | N5 |
| M0_D0N | DIO | MIPI | | none | | | none | P7 |
| M0_D0P | DIO | MIPI | | none | | | none | N7 |
| M0_D1N | DIO | MIPI | | none | | | none | P6 |
| M0_D1P | DIO | MIPI | | none | | | none | N6 |
| M0_D2N | DIO | MIPI | | none | | | none | P4 |
| M0_D2P | DIO | MIPI | | none | | | none | N4 |
| M0_D3N | DIO | MIPI | | none | | | none | P3 |
| M0_D3P | DIO | MIPI | | none | | | none | N3 |
| M1_D0A | DIO | MIPI | | none | | | none | F2 |
| M1_D0B | DIO | MIPI | | none | | | none | F1 |
| M1_D0C | DIO | MIPI | | none | | | none | G1 |
| M1_D1A | DIO | MIPI | | none | | | none | L1 |
| M1_D1B | DIO | MIPI | | none | | | none | K1 |
| M1_D1C | DIO | MIPI | | none | | | none | J1 |
| M1_D2A | DIO | MIPI | | none | | | none | C1 |
| M1_D2B | DIO | MIPI | | none | | | none | D2 |
| M1_D2C | DIO | MIPI | | none | | | none | D1 |
| Q0_LN0_RXM_I | DIO | Q0 | | none | | | none | A1 |
| Q0_LN0_RXP_I | DIO | Q0 | | none | | | none | A2 |
| Q0_LN0_TXM_O | DIO | Q0 | | none | | | none | C3 |
| Q0_LN0_TXP_O | DIO | Q0 | | none | | | none | B3 |
| Q0_LN1_RXM_I | DIO | Q0 | | none | | | none | A5 |
| Q0_LN1_RXP_I | DIO | Q0 | | none | | | none | A4 |
| Q0_LN1_TXM_O | DIO | Q0 | | none | | | none | C6 |
| Q0_LN1_TXP_O | DIO | Q0 | | none | | | none | B6 |
| Q0_LN2_RXM_I | DIO | Q0 | | none | | | none | A11 |
| Q0_LN2_RXP_I | DIO | Q0 | | none | | | none | A10 |
| Q0_LN2_TXM_O | DIO | Q0 | | none | | | none | C8 |

| 注！ [1]LV版本。 | | | | | | | | |
|----------------|-------|------|-----------|------|------|--------|------|----------------------|
| 管脚名称 | 功能 | BANK | ADC_INPUT | DQS | 配置功能 | 差分Pair | LVDS | MG132 ^[1] |
| Q0_LN2_TXP_O | DIO | Q0 | | none | | | none | B8 |
| Q0_LN3_RXM_I | DIO | Q0 | | none | | | none | A14 |
| Q0_LN3_RXP_I | DIO | Q0 | | none | | | none | A13 |
| Q0_LN3_TXM_O | DIO | Q0 | | none | | | none | B12 |
| Q0_LN3_TXP_O | DIO | Q0 | | none | | | none | C12 |
| Q0_REFCLKM_0 | DIO | Q0 | | none | | | none | A7 |
| Q0_REFCLKM_1 | DIO | Q0 | | none | | | none | B10 |
| Q0_REFCLKP_0 | DIO | Q0 | | none | | | none | A8 |
| Q0_REFCLKP_1 | DIO | Q0 | | none | | | none | C10 |
| VDD12_MIP1 | Power | N/A | | | | | | M7 |
| VDDA_MIP1 | Power | N/A | | | | | | M5 |
| VDDX_MIP1 | Power | N/A | | | | | | C2 |
| VDDA_MIP1 | Power | N/A | | | | | | E2 |
| VDDA_Q0 | Power | N/A | | | | | | A3 |
| VDDA_Q0 | Power | N/A | | | | | | A6 |
| VDDA_Q0 | Power | N/A | | | | | | A12 |
| VDDA_Q0 | Power | N/A | | | | | | A9 |
| VDDHA_Q0 | Power | N/A | | | | | | C7 |
| VDDHA_Q0 | Power | N/A | | | | | | C11 |
| VDDT_Q0 | Power | N/A | | | | | | B4 |
| VCC | Power | N/A | | | | | | H1 |
| VCC | Power | N/A | | | | | | M10 |
| VCC | Power | N/A | | | | | | E3 |
| VCC | Power | N/A | | | | | | B2 |
| VCC | Power | N/A | | | | | | B13 |
| VCC | Power | N/A | | | | | | C9 |
| VCC | Power | N/A | | | | | | G12 |
| VCC | Power | N/A | | | | | | C5 |
| VCC_LDO | Power | N/A | | | | | | F12 |
| VCCIO1 | Power | N/A | | | | | | D12 |
| VCCIO1 | Power | N/A | | | | | | M9 |
| VCCIO2 | Power | N/A | | | | | | K12 |

注！
 [1]LV版本。

| 管脚名称 | 功能 | BANK | ADC_INPUT | DQS | 配置功能 | 差分Pair | LVDS | MG132 ^[1] |
|---------|--------|------|-----------|-----|------|--------|------|----------------------|
| VCCIO3 | Power | N/A | | | | | | M4 |
| VCCIO4 | Power | N/A | | | | | | F3 |
| VCCX | Power | N/A | | | | | | E1 |
| VCCX | Power | N/A | | | | | | C4 |
| VCCX | Power | N/A | | | | | | H12 |
| V_EFUSE | Power | N/A | | | | | | L12 |
| VSS | Ground | N/A | | | | | | B1 |
| VSS | Ground | N/A | | | | | | B5 |
| VSS | Ground | N/A | | | | | | B7 |
| VSS | Ground | N/A | | | | | | B9 |
| VSS | Ground | N/A | | | | | | B11 |
| VSS | Ground | N/A | | | | | | B14 |
| VSS | Ground | N/A | | | | | | D3 |
| VSS | Ground | N/A | | | | | | E12 |
| VSS | Ground | N/A | | | | | | L2 |
| VSS | Ground | N/A | | | | | | M6 |
| VSS | Ground | N/A | | | | | | M11 |

| 注！ [1]LV版本。 | | | | | | | | |
|---|-----|------|-----------|------|--|----------------|------|----------------------|
| 管脚名称 | 功能 | BANK | ADC_INPUT | DQS | 配置功能 | 差分Pair | LVDS | MG132 ^[1] |
| BANK4 True LVDS Pair | | | | | | | | |
| IOL20A/TCK | I/O | 4 | | none | TCK | True_of_IOL20B | True | G2 |
| IOL20B/TMS | I/O | 4 | | none | TMS | Comp_of_IOL20A | True | G3 |
| IOL22A/GCLKT_7/Q0REF_T_IN0/SSPI_CLK | I/O | 4 | bus0 | none | GCLKT_7/Q0REF_T_IN0/SSPI_CLK | True_of_IOL22B | True | H3 |
| IOL22B/GCLKC_7/Q0REF_C_IN0/RDWR_B/SO/SSI1/PCIE_HOST_RSTN | I/O | 4 | bus0 | none | GCLKC_7/Q0REF_C_IN0/RDWR_B/SO/SSI1/PCIE_HOST_RSTN | Comp_of_IOL22A | True | H2 |
| IOL24A/TDI | I/O | 4 | bus0 | none | TDI | True_of_IOL24B | True | J3 |
| IOL24B/TDO | I/O | 4 | bus0 | none | TDO | Comp_of_IOL24A | True | J2 |
| IOL26A/GCLKT_6/LPLL_T_IN0/LPLL_T_FB1/Q0REF_T_IN1/D06/CLKHOLD_N/SSI3 | I/O | 4 | bus0 | none | GCLKT_6/LPLL_T_IN0/LPLL_T_FB1/Q0REF_T_IN1/D06/CLKHOLD_N/SSI3 | True_of_IOL26B | True | K3 |
| IOL26B/GCLKC_6/LPLL_C_IN0/LPLL_C_FB1/Q0REF_C_IN1/D07/SSPI_WP_N/SSI2 | I/O | 4 | bus0 | none | GCLKC_6/LPLL_C_IN0/LPLL_C_FB1/Q0REF_C_IN1/D07/SSPI_WP_N/SSI2 | Comp_of_IOL26A | True | K2 |
| BANK3 True LVDS Pair | | | | | | | | |
| IOL29A/DONE | I/O | 3 | bus0 | none | DONE | True_of_IOL29B | True | L3 |
| IOL29B/RECONFIG_N | I/O | 3 | bus0 | none | RECONFIG_N | Comp_of_IOL29A | True | M3 |
| IOL31A/GCLKT_5/MODE1 | I/O | 3 | | none | GCLKT_5/MODE1 | True_of_IOL31B | True | N1 |
| IOL31B/GCLKC_5/MODE0 | I/O | 3 | | none | GCLKC_5/MODE0 | Comp_of_IOL31A | True | N2 |
| IOL33A/GCLKT_4/LPLL_T_IN1/LPLL_T_FB0/CSO_B/DOUT/SCL | I/O | 3 | bus0 | none | GCLKT_4/LPLL_T_IN1/LPLL_T_FB0/CSO_B/DOUT/SCL | True_of_IOL33B | True | M2 |
| IOL33B/GCLKC_4/LPLL_C_IN1/LPLL_C_FB0/CSI_B/SDA | I/O | 3 | bus0 | none | GCLKC_4/LPLL_C_IN1/LPLL_C_FB0/CSI_B/SDA | Comp_of_IOL33A | True | M1 |
| IOL35A/D04/SI/SSI0 | I/O | 3 | bus0 | none | D04/SI/SSI0 | True_of_IOL35B | True | P2 |
| IOL35B/D05/SSPI_CS_N | I/O | 3 | bus0 | none | D05/SSPI_CS_N | Comp_of_IOL35A | True | P1 |

| 注！ | | | | | | | | |
|--------------------------------------|-----|------|-----------|------|-------------------------------|----------------|------|----------------------|
| [1]LV版本。 | | | | | | | | |
| 管脚名称 | 功能 | BANK | ADC_INPUT | DQS | 配置功能 | 差分Pair | LVDS | MG132 ^[1] |
| BANK2 True LVDS Pair | | | | | | | | |
| IOB3A/D02/MI2 | I/O | 2 | bus1 | none | D02/MI2 | True_of_IOB3B | True | K13 |
| IOB3B/D01/DIN/MISO/MI1 | I/O | 2 | bus1 | none | D01/DIN/MISO/MI1 | Comp_of_IOB3A | True | K14 |
| IOB5A/CCLK | I/O | 2 | bus1 | none | CCLK | True_of_IOB5B | True | L14 |
| IOB5B/MCS_N | I/O | 2 | bus1 | none | MCS_N | Comp_of_IOB5A | True | L13 |
| IOB7A/D03/MI3 | I/O | 2 | bus1 | none | D03/MI3 | True_of_IOB7B | True | M14 |
| IOB7B/D00/MOSI/MI0 | I/O | 2 | bus1 | none | D00/MOSI/MI0 | Comp_of_IOB7A | True | M13 |
| BANK1 True LVDS Pair | | | | | | | | |
| IOB12A | I/O | 1 | bus1 | DQ2 | | True_of_IOB12B | True | P14 |
| IOB12B | I/O | 1 | bus1 | DQ2 | | Comp_of_IOB12A | True | N14 |
| IOB14A/D15 | I/O | 1 | bus1 | DQ2 | D15 | True_of_IOB14B | True | P13 |
| IOB14B/D14 | I/O | 1 | bus1 | DQ2 | D14 | Comp_of_IOB14A | True | N13 |
| IOB16A | I/O | 1 | bus1 | DQ2 | | True_of_IOB16B | True | N12 |
| IOB16B | I/O | 1 | bus1 | DQ2 | | Comp_of_IOB16A | True | P12 |
| IOB18A/D13 | I/O | 1 | | DQ2 | D13 | True_of_IOB18B | True | P10 |
| IOB18B/D12 | I/O | 1 | | DQ2 | D12 | Comp_of_IOB18A | True | N10 |
| IOB20A | I/O | 1 | bus1 | DQS2 | | True_of_IOB20B | True | N8 |
| IOB20B | I/O | 1 | bus1 | DQS2 | | Comp_of_IOB20A | True | P8 |
| IOB22A/GCLKT_3 | I/O | 1 | bus1 | DQ2 | GCLKT_3 | True_of_IOB22B | True | N11 |
| IOB22B/GCLKC_3 | I/O | 1 | bus1 | DQ2 | GCLKC_3 | Comp_of_IOB22A | True | P11 |
| IOB24A/GCLKT_2/BPLL_T_IN0/BPLL_T_FB1 | I/O | 1 | bus1 | DQ2 | GCLKT_2/BPLL_T_IN0/BPLL_T_FB1 | True_of_IOB24B | True | N9 |
| IOB24B/GCLKC_2/BPLL_C_IN0/BPLL_C_FB1 | I/O | 1 | bus1 | DQ2 | GCLKC_2/BPLL_C_IN0/BPLL_C_FB1 | Comp_of_IOB24A | True | P9 |
| IOB32A/GCLKT_1/BPLL_T_IN1/BPLL_T_FB0 | I/O | 1 | bus1 | DQ1 | GCLKT_1/BPLL_T_IN1/BPLL_T_FB0 | True_of_IOB32B | True | H13 |
| IOB32B/GCLKC_1/BPLL_C_IN1/BPLL_C_FB0 | I/O | 1 | bus1 | DQ1 | GCLKC_1/BPLL_C_IN1/BPLL_C_FB0 | Comp_of_IOB32A | True | G13 |
| IOB34A/GCLKT_0 | I/O | 1 | bus1 | DQ1 | GCLKT_0 | True_of_IOB34B | True | F13 |
| IOB34B/GCLKC_0 | I/O | 1 | bus1 | DQ1 | GCLKC_0 | Comp_of_IOB34A | True | E13 |
| IOB36A | I/O | 1 | bus1 | DQ1 | | True_of_IOB36B | True | D13 |

注！
 [1]LV版本。

| 管脚名称 | 功能 | BANK | ADC_INPUT | DQS | 配置功能 | 差分Pair | LVDS | MG132 ^[1] |
|---------------|-----|------|-----------|------|--------|----------------|------|----------------------|
| IOB36B | I/O | 1 | bus1 | DQ1 | | Comp_of_IOB36A | True | C13 |
| IOB39A/D11 | I/O | 1 | bus1 | DQ1 | D11 | True_of_IOB39B | True | D14 |
| IOB39B/D10 | I/O | 1 | bus1 | DQ1 | D10 | Comp_of_IOB39A | True | C14 |
| IOB41A | I/O | 1 | | DQS1 | | True_of_IOB41B | True | J13 |
| IOB41B | I/O | 1 | | DQS1 | | Comp_of_IOB41A | True | J14 |
| IOB43A/D09 | I/O | 1 | | DQ1 | D09 | True_of_IOB43B | True | F14 |
| IOB43B/D08 | I/O | 1 | | DQ1 | D08 | Comp_of_IOB43A | True | E14 |
| IOB45A | I/O | 1 | bus1 | DQ1 | | True_of_IOB45B | True | H14 |
| IOB45B/EMCCLK | I/O | 1 | bus1 | DQ1 | EMCCLK | Comp_of_IOB45A | True | G14 |