

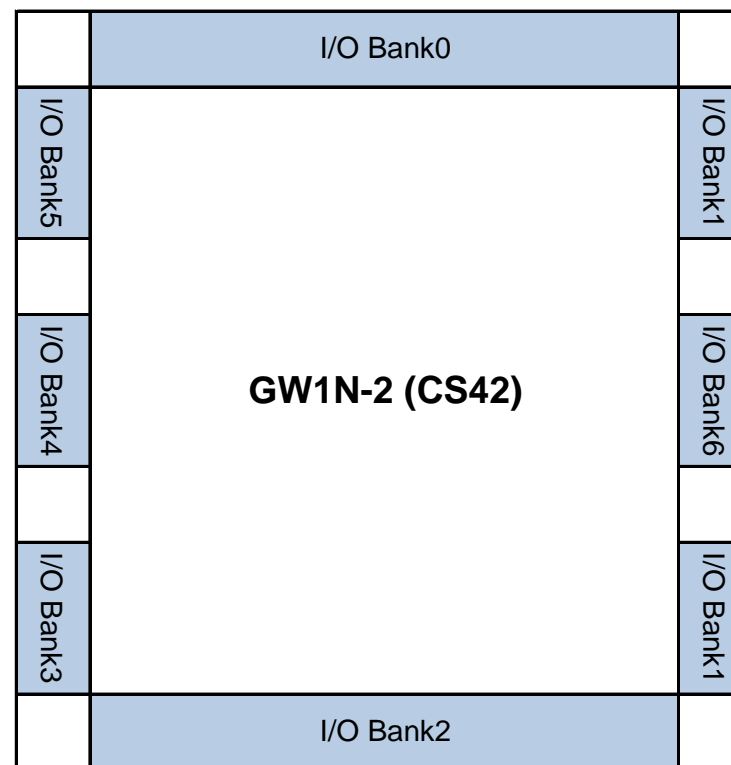
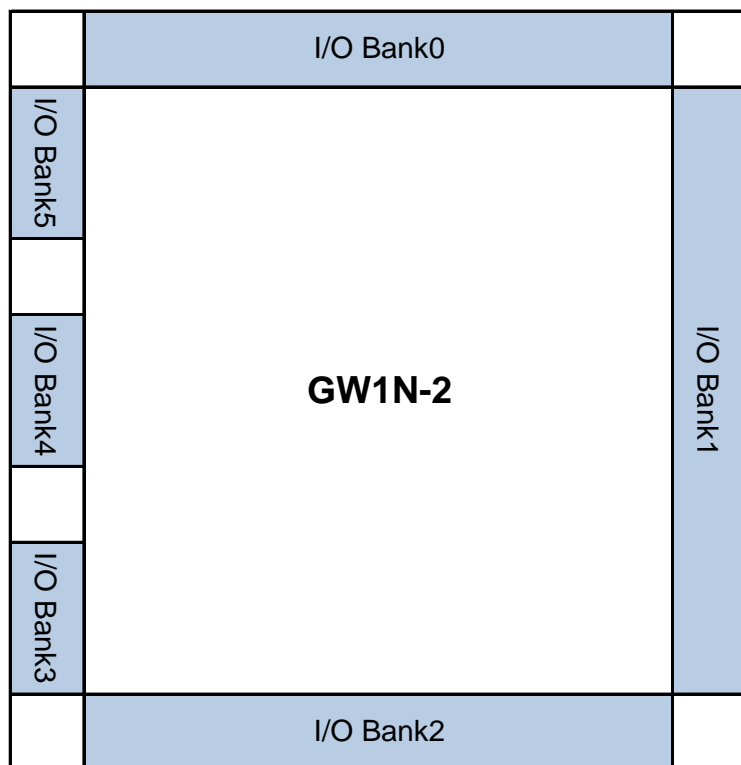
日期	版本	说明
2020/11/23	1.0	初始版本，支持CS42, MG132X, LQ100X, LQ144X封装。
2021/1/20	1.1	新增QN48, QN48M封装。

管脚名称	方向	说明
用户I/O管脚		
IO [End][Row/Column Number][A/B]	I/O	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息
		[A/B]提供差分信号对信息
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外的一种或多种功能。当这些功能不使用的時候，
D0	I/O	CPU模式下的数据端口D0
D1	I/O	CPU模式下的数据端口D1
D2	I/O	CPU模式下的数据端口D2
D3	I/O	CPU模式下的数据端口D3
D4	I/O	CPU模式下的数据端口D4
D5	I/O	CPU模式下的数据端口D5
D6	I/O	CPU模式下的数据端口D6
D7	I/O	CPU模式下的数据端口D7
WE_N	I	CPU模式下选择D[7: 0]的数据输入输出方向
MODE0	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚未被封装出来，内部接地
MODE1	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚未被封装出来，内部接地
MODE2	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚未被封装出来，内部接地
TMS	I, 内部弱上拉	JTAG模式串行模式输入
TCK	I	JTAG模式串行时钟输入，需要在PCB上连接4.7K下拉电阻
TDO	O	JTAG模式串行数据输出
TDI	I, 内部弱上拉	JTAG模式串行数据输入
JTAGSEL_N	I, 内部弱上拉	JTAG模式选择信号，低电平有效
FASTRD_N	I/O	MSPI模式下Flash访问速度选择端口FASTRD_N，低电平表示使用高速Flash访问模式，高电平表示使用普
MI	I/O	MSPI模式下MISO: Master数据输入/Slave数据输出
MO	I/O	MSPI模式下MOSI: Master数据输出/Slave数据输入
MCS_N	I/O	MSPI模式下的使能信号MCS_N，低电平有效
MCLK	I/O	MSPI模式下时钟输出MCLK，默认频率为2.1Mhz，精度为+/-5%。
DOUT	O	SERIAL模式下的数据输出
DIN	I, 内部弱上拉	SERIAL模式下的数据输入
SCLK	I	SSPI, SERIAL, CPU模式下的时钟输入
SO	I/O	SSPI模式下MISO: Master数据输入/Slave数据输出
SI	I/O	SSPI模式下MOSI: Master数据输出/Slave数据输入

管脚名称	方向	说明
SSPI_CS_N	I/O	SSPI模式下的使能信号SSPI_CS_N, 低电平有效, 内部弱上拉
RECONFIG_N	I, 内部弱上拉	低电平脉冲开始新的GowinCONFIG配置
CLKHOLD_N	I, 内部弱上拉	高电平表示SSPI模式和CPU模式操作有效
DONE	I/O	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
READY	I/O	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚, C(Comp), [x]是全局时钟序号 ^[1]
GCLKT_[x]	I	全局时钟输入管脚, T(True), [x]: 全局时钟序号
LPLL_C_fb/RPLL_C_fb	I	左边/右边PLL反馈输入管脚, C(Comp)
LPLL_T_fb/RPLL_T_fb	I	左边/右边PLL反馈输入管脚, T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边PLL时钟输入管脚, C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边PLL时钟输入管脚, T(True)
SDA	I/O	串行数据线
SCL	I	串行时钟线
其他管脚		
CKP	DIO ^[2]	MIPI_DPHY_RX的时钟通道输入管脚, T(True)
CKN	DIO	MIPI_DPHY_RX的时钟通道差分对比输入管脚, C(Comp)
RX0P	DIO	MIPI_DPHY_RX的数据通道0输入管脚, T(True)
RX0N	DIO	MIPI_DPHY_RX的数据通道0差分对比输入管脚, C(Comp)
RX1P	DIO	MIPI_DPHY_RX的数据通道1输入管脚, T(True)
RX1N	DIO	MIPI_DPHY_RX的数据通道1差分对比输入管脚, C(Comp)
RX2P	DIO	MIPI_DPHY_RX的数据通道2输入管脚, T(True)
RX2N	DIO	MIPI_DPHY_RX的数据通道2差分对比输入管脚, C(Comp)
RX3P	DIO	MIPI_DPHY_RX的数据通道3输入管脚, T(True)
RX3N	DIO	MIPI_DPHY_RX的数据通道3差分对比输入管脚, C(Comp)
NC	NA	预留未使用
VSS	NA	Ground管脚
VCCD	NA	MIPI_DPHY_RX的核电压供电管脚
VCCOD	NA	DIO BANK6的I/O电压供电管脚
VCC	NA	核电压供电管脚
VCCO#	NA	I/O BANK#的I/O电压供电管脚

管脚名称	方向	说明
VCCX	NA	辅助电压供电管脚

注!
[1]当输入是单端时,GCLKC_[x]所在管脚不是全局时钟管脚;
[2]DIO是专用管脚。



注!

- 1.每个Bank还提供一个独立的参考电压（VREF）；
- 2.用户可以选择使用IOB内置的VREF源（等于 $0.5 \cdot V_{CC0}$ ）；
- 3.也可选择外部的VREF输入（使用Bank中任意一个I/O管脚作为外部VREF输入）。

注! [1]UV版本封装。 [2]LV版本封装。															
管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	CS42	MG132X ^[1]	MG132X ^[2]	LQ100X ^[1]	LQ100X ^[2]	LQ144X ^[1]	LQ144X ^[2]	QN48	QN48M
IOB11A	I/O	2		True_of_IOB11B	True	x16		P8	P8	40	40	57	57		
IOB11B	I/O	2		Comp_of_IOB11A	True	none		M8	M8	41	41	58	58		
IOB12A/FASTRD_N	I/O	2	FASTRD_N	True_of_IOB12B	none	none		P9	P9	42	42	59	59		
IOB12B	I/O	2		Comp_of_IOB12A	none	none		N9	N9	43	43	60	60		
IOB13A	I/O	2		True_of_IOB13B	True	x16		M9	M9			61	61	33	33
IOB13B	I/O	2		Comp_of_IOB13A	True	none		N10	N10			62	62	32	32
IOB14A	I/O	2		True_of_IOB14B	none	none						63	63		
IOB14B	I/O	2		Comp_of_IOB14A	none	none									
IOB15A	I/O	2		True_of_IOB15B	True	x16		M10	M10			65	65		
IOB15B	I/O	2		Comp_of_IOB15A	True	none		P11	P11			67	67		
IOB16A	I/O	2		True_of_IOB16B	none	none				45	45	68	68		
IOB16B/DOUT/WE_N	I/O	2	DOUT/WE_N	Comp_of_IOB16A	none	none				47	47	69	69		
IOB17A	I/O	2		True_of_IOB17B	True	x16		M11	M11						
IOB17B	I/O	2		Comp_of_IOB17A	True	none		P12	P12						
IOB18A/SSPI_CS_N	I/O	2	SSPI_CS_N	True_of_IOB18B	none	none	G2	N12	N12	48	48	70	70	34	34
IOB18B/SI	I/O	2	SI	Comp_of_IOB18A	none	none	G1	P13	P13	49	49	71	71	35	35
IOB2A	I/O	2		True_of_IOB2B	True	x16		P2	P2			38	38		
IOB2B	I/O	2		Comp_of_IOB2A	True	none		N2	N2			39	39		
IOB3A/DIN/CLKHOLD_N	I/O	2	DIN/CLKHOLD_N	True_of_IOB3B	none	none		P3	P3	27	27	40	40		
IOB3B	I/O	2		Comp_of_IOB3A	none	none		M3	M3	28	28	41	41		
IOB4A	I/O	2		True_of_IOB4B	True	x16		N3	N3	29	29	42	42		
IOB4B	I/O	2		Comp_of_IOB4A	True	none		P4	P4	30	30	43	43		
IOB5A/SCLK	I/O	2	SCLK	True_of_IOB5B	none	none	F4	M4	M4	31	31	44	44	29	29
IOB5B/SO	I/O	2	SO	Comp_of_IOB5A	none	none	G4	N4	N4	32	32	45	45	28	28
IOB6A	I/O	2		True_of_IOB6B	True	x16		N5	N5			47	47		
IOB6B	I/O	2		Comp_of_IOB6A	True	none		M5	M5			48	48		
IOB7A/GCLKT_4	I/O	2	GCLKT_4	True_of_IOB7B	none	none		M7	M7	34	34	49	49	31	31
IOB7B/GCLKC_4	I/O	2	GCLKC_4	Comp_of_IOB7A	none	none		N8	N8	35	35	50	50	30	30
IOB8A	I/O	2		True_of_IOB8B	True	x16		P7	P7	36	36	52	52		
IOB8B	I/O	2		Comp_of_IOB8A	True	none		N7	N7	37	37	54	54		
IOB9A/GCLKT_3	I/O	2	GCLKT_3	True_of_IOB9B	none	none	F3	N6	N6	38	38	55	55		
IOB9B/GCLKC_3	I/O	2	GCLKC_3	Comp_of_IOB9A	none	none	G3	P6	P6	39	39	56	56		
IOL11A	I/O	4		True_of_IOL11B	True	x16		H1	H1			15	15	20	20
IOL11B	I/O	4		Comp_of_IOL11A	True	none		H3	H3			17	17	21	21
IOL12A/GCLKT_6	I/O	4	GCLKT_6	True_of_IOL12B	none	none		G3	G3	12	12	19	19		

注! [1]UV版本封装。 [2]LV版本封装。															
管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	CS42	MG132X ^[1]	MG132X ^[2]	LQ100X ^[1]	LQ100X ^[2]	LQ144X ^[1]	LQ144X ^[2]	QN48	QN48M
IOL12B/GCLKC_6	I/O	4	GCLKC_6	Comp_of_IOL12A	none	none		H2	H2	13	13	20	20		
IOL13A	I/O	4		True_of_IOL13B	True	x16	E5	J1	J1	14	14	21	21		
IOL13B	I/O	4		Comp_of_IOL13A	True	none	E6	J2	J2	15	15	22	22		
IOL14A	I/O	4		True_of_IOL14B	none	none				16	16	23	23		
IOL14B	I/O	4		Comp_of_IOL14A	none	none				17	17	24	24		
IOL15A	I/O	3		True_of_IOL15B	True	x16	F5	J3	J3	18	18	25	25	23	23
IOL15B	I/O	3		Comp_of_IOL15A	True	none	F6	K2	K2	19	19	26	26	22	22
IOL16A/GCLKT_5	I/O	3	GCLKT_5	True_of_IOL16B	none	none		K1	K1	20	20	27	27		
IOL16B/GCLKC_5	I/O	3	GCLKC_5	Comp_of_IOL16A	none	none		K3	K3	21	21	28	28		
IOL17A	I/O	3		True_of_IOL17B	True	x16	G5	M1	M1	24	24	32	32	27	27
IOL17B	I/O	3		Comp_of_IOL17A	True	none	G6	M2	M2	25	25	33	33	24	24
IOL18A	I/O	3		True_of_IOL18B	none	none						34	34		
IOL18B	I/O	3		Comp_of_IOL18A	none	none		L3	L3			35	35		
IOL19A	I/O	3		True_of_IOL19B	none	none									
IOL19B	I/O	3		Comp_of_IOL19A	none	none									
IOL4A/LPLL_T_fb	I/O	5	LPLL_T_fb	True_of_IOL4B	True	x16	B5	B1	B1			1	1	15	16
IOL4B/LPLL_C_fb	I/O	5	LPLL_C_fb	Comp_of_IOL4A	True	none	B6	B2	B2			2	2	14	17
IOL5A/LPLL_T_in	I/O	5	LPLL_T_in	True_of_IOL5B	none	none		C1	C1	1	1	3	3	16	
IOL5B/LPLL_C_in	I/O	5	LPLL_C_in	Comp_of_IOL5A	none	none		C3	C3	2	2	4	4	17	
IOL6A/GCLKT_7	I/O	5	GCLKT_7	True_of_IOL6B	True	x16	D5	C2	C2	3	3	5	5	18	18
IOL6B/GCLKC_7	I/O	5	GCLKC_7	Comp_of_IOL6A	True	none	D6	D1	D1	4	4	6	6	19	19
IOL7A	I/O	5		True_of_IOL7B	none	none		E1	E1	7	7	9	9		
IOL7B	I/O	5		Comp_of_IOL7A	none	none		E2	E2	8	8	10	10		
IOL8A	I/O	5		True_of_IOL8B	True	x16	C5	E3	E3	9	9	11	11		
IOL8B	I/O	5		Comp_of_IOL8A	True	none	C6	F2	F2	10	10	12	12		
IOL9A	I/O	4		True_of_IOL9B	none	none		F1	F1			13	13		
IOL9B	I/O	4		Comp_of_IOL9A	none	none		F3	F3			14	14		
IOR11A/GCLKT_2	I/O	1	GCLKT_2	True_of_IOR11B	True	none		G13	G13	63	63	92	92	41	
IOR11B/GCLKC_2	I/O	1	GCLKC_2	Comp_of_IOR11A	True	none		H12	H12	62	62	91	91	40	
IOR12A	I/O	1		True_of_IOR12B	none	none		F13	F13						
IOR12B	I/O	1		Comp_of_IOR12A	none	none		F14	F14						
IOR13A	I/O	1		True_of_IOR13B	True	none		G12	G12	61	61	89	89	38	
IOR13B	I/O	1		Comp_of_IOR13A	True	none		G14	G14			87	87	39	
IOR14A	I/O	1		True_of_IOR14B	none	none		J12	J12	60	60	86	86		
IOR14B	I/O	1		Comp_of_IOR14A	none	none		J14	J14	59	59	85	85		
IOR15A	I/O	1		True_of_IOR15B	True	none		J13	J13			84	84		

注! [1]UV版本封装。 [2]LV版本封装。															
管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	CS42	MG132X ^[1]	MG132X ^[2]	LQ100X ^[1]	LQ100X ^[2]	LQ144X ^[1]	LQ144X ^[2]	QN48	QN48M
IOR15B	I/O	1		Comp_of_IOR15A	True	none		K12	K12			83	83		
IOR16A	I/O	1		True_of_IOR16B	none	none		K13	K13	58	58	82	82		
IOR16B	I/O	1		Comp_of_IOR16A	none	none		K14	K14	57	57	81	81		
IOR17A	I/O	1		True_of_IOR17B	True	none		L14	L14			78	78		
IOR17B	I/O	1		Comp_of_IOR17A	True	none		M13	M13			77	77		
IOR18A	I/O	1		True_of_IOR18B	none	none		M12	M12	54	54	76	76		
IOR18B	I/O	1		Comp_of_IOR18A	none	none		M14	M14	53	53	75	75		
IOR19A	I/O	1		True_of_IOR19B	none	none		N13	N13	52	52	74	74		
IOR19B	I/O	1		Comp_of_IOR19A	none	none		N14	N14	51	51	73	73		
IOR1A	I/O	1		True_of_IOR1B	True	none		B14	B14			107	107	47	
IOR1B	I/O	1		Comp_of_IOR1A	True	none		C13	C13			106	106	46	
IOR2A	I/O	1		True_of_IOR2B	none	none				75	75	105	105		
IOR2B	I/O	1		Comp_of_IOR2A	none	none				74	74	104	104		
IOR3A/D2	I/O	1	D2	True_of_IOR3B	True	none		C14	C14	71	71	100	100	45	
IOR3B/D3	I/O	1	D3	Comp_of_IOR3A	True	none		D12	D12	70	70	99	99	44	
IOR4A/D0	I/O	1	D0	True_of_IOR4B	none	none				69	69	98	98		
IOR4B/D1	I/O	1	D1	Comp_of_IOR4A	none	none				68	68	97	97		
IOR5A/MI/D7	I/O	1	MI/D7	True_of_IOR5B	True	none		E12	E12	67	67	96	96	43	
IOR5B/MO/D6	I/O	1	MO/D6	Comp_of_IOR5A	True	none		E14	E14	66	66	95	95	42	
IOR6A/MCS_N/D5	I/O	1	MCS_N/D5	True_of_IOR6B	none	none		E13	E13	65	65	94	94		
IOR6B/MCLK/D4	I/O	1	MCLK/D4	Comp_of_IOR6A	none	none		F12	F12	64	64	93	93		
IOT11A/GCLKT_0	I/O	0	GCLKT_0	True_of_IOT11B	True	x16		A7	A7	88	88	128	128	6	8
IOT11B/GCLKC_0	I/O	0	GCLKC_0	Comp_of_IOT11A	True	none		B7	B7	87	87	127	127	7	9
IOT12A	I/O	0		True_of_IOT12B	none	none				89	89	129	129		
IOT12B	I/O	0		Comp_of_IOT12A	none	none									
IOT13A	I/O	0		True_of_IOT13B	True	x16	B3	A10	A10	84	84	122	122		5
IOT13B	I/O	0		Comp_of_IOT13A	True	none	A3	C11	C11	83	83	121	121		4
IOT14A/GCLKT_1/SC L	I/O	0	GCLKT_1/SCL	True_of_IOT14B	none	none		C8	C8	86	86	126	126	5	7
IOT14B/GCLKC_1/SD A	I/O	0	GCLKC_1/SD A	Comp_of_IOT14A	none	none		B8	B8	85	85	125	125	4	6
IOT15A	I/O	0		True_of_IOT15B	True	x16		A11	A11			117	117		
IOT15B	I/O	0		Comp_of_IOT15A	True	none		B12	B12			115	115		
IOT16A/JTAGSEL_N	I/O	0	JTAGSEL_N	True_of_IOT16B	none	none	A2	B9	B9	82	82	120	120	3	3
IOT16B/RECONFIG_ N	I/O	0	RECONFIG_N	Comp_of_IOT16A	none	none		C10	C10	81	81	119	119	48	48

注! [1]UV版本封装。 [2]LV版本封装。															
管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	CS42	MG132X ^[1]	MG132X ^[2]	LQ100X ^[1]	LQ100X ^[2]	LQ144X ^[1]	LQ144X ^[2]	QN48	QN48M
IOT17A	I/O	0		True_of_IOT17B	True	x16		C12	C12	78	78	114	114		
IOT17B	I/O	0		Comp_of_IOT17A	True	none		A12	A12			113	113		
IOT18A/READY	I/O	0	READY	True_of_IOT18B	none	none		B13	B13	77	77	110	110		
IOT18B/DONE	I/O	0	DONE	Comp_of_IOT18A	none	none		A13	A13	76	76	109	109		
IOT19A	I/O	0		True_of_IOT19B	none	none						112	112		
IOT19B	I/O	0		Comp_of_IOT19A	none	none						111	111		
IOT2A/MODE0	I/O	0	MODE0	True_of_IOT2B	none	none								13	14
IOT2B/MODE1	I/O	0	MODE1	Comp_of_IOT2A	none	none									
IOT3A/MODE2	I/O	0	MODE2	True_of_IOT3B	none	none									
IOT4A	I/O	0		True_of_IOT4B	True	x16		A2	A2	99	99	143	143		
IOT4B	I/O	0		Comp_of_IOT4A	True	none		B3	B3	98	98	142	142		
IOT5A	I/O	0		True_of_IOT5B	none	none		A3	A3			141	141		
IOT5B	I/O	0		Comp_of_IOT5A	none	none		C4	C4			140	140		
IOT6A	I/O	0		True_of_IOT6B	True	x16		B5	B5	97	97	139	139		
IOT6B	I/O	0		Comp_of_IOT6A	True	none		C6	C6	96	96	138	138		
IOT7A/TDO	I/O	0	TDO	True_of_IOT7B	none	none	A6	A4	A4	95	95	137	137	11	15
IOT7B/TDI	I/O	0	TDI	Comp_of_IOT7A	none	none	A5	B4	B4	94	94	136	136	10	13
IOT8A	I/O	0		True_of_IOT8B	True	x16		C9	C9			133	133		
IOT8B	I/O	0		Comp_of_IOT8A	True	none		A9	A9			132	132		
IOT9A/TCK	I/O	0	TCK	True_of_IOT9B	none	none	A4	B6	B6	91	91	131	131	9	11
IOT9B/TMS	I/O	0	TMS	Comp_of_IOT9A	none	none	B4	A6	A6	90	90	130	130	8	10
CKN	DIO	6		Comp_of_CKP	none	none	D1								42
CKP	DIO	6		True_of_CKN	none	none	D2								43
RX0N	DIO	6		Comp_of_RX0P	none	none	F1								38
RX0P	DIO	6		True_of_RX0N	none	none	F2								39
RX1N	DIO	6		Comp_of_RX1P	none	none	E1								40
RX1P	DIO	6		True_of_RX1N	none	none	E2								41
RX2N	DIO	6		Comp_of_RX2P	none	none	C1								44
RX2P	DIO	6		True_of_RX2N	none	none	C2								45
RX3N	DIO	6		Comp_of_RX3P	none	none	B1								46
RX3P	DIO	6		True_of_RX3N	none	none	B2								47
VCC	Power	N/A					D4		A1		100		144	12	
VCC	Power	N/A							A14		50		36		
VCC	Power	N/A							N1				72		
VCC	Power	N/A							P14				108		
VCC/VCCX	Power	N/A						A1		100		144			
VCC/VCCX	Power	N/A						A14		50		36			

注! [1]UV版本封装。 [2]LV版本封装。															
管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	CS42	MG132X ^[1]	MG132X ^[2]	LQ100X ^[1]	LQ100X ^[2]	LQ144X ^[1]	LQ144X ^[2]	QN48	QN48M
VCC/VCCX	Power	N/A						N1				72			
VCC/VCCX	Power	N/A						P14				108			
VCC/VCCO1	Power	N/A													37
VCCD/VCCO1/VCCO2	Power	N/A					D3								
VCCD/VCCOD	Power	N/A													1
VCCO0	Power	N/A						A8	A8	80	80	118	118	1	12
VCCO0	Power	N/A						B10	B10	93	93	123	123		
VCCO0	Power	N/A						C5	C5			135	135		
VCCO0/VCCO2	Power	N/A					A1								
VCCO1	Power	N/A						D14		55		79		37	
VCCO1	Power	N/A						H14		73		88			
VCCO1	Power	N/A						L12				102			
VCCO1/VCCX	Power	N/A							D14		55		79		
VCCO1/VCCX	Power	N/A							H14		73		88		
VCCO1/VCCX	Power	N/A							L12				102		
VCCO2	Power	N/A						M6	M6	26	26	37	37		
VCCO2	Power	N/A						N11	N11	46	46	51	51		
VCCO2	Power	N/A						P1	P1			66	66		
VCCO2/VCCX	Power	N/A												36	36
VCCO3	Power	N/A						L1	L1	23	23	30	30		
VCCO3/VCCO4/VCCO5	Power	N/A					C4							25	25
VCCO4	Power	N/A						G1	G1	11	11	16	16		
VCCO5	Power	N/A						D3	D3	5	5	7	7		
VCCX	Power	N/A					E3								
VSS	Ground	N/A					E4	A5	A5					2	2
VSS	Ground	N/A					C3	B11	B11	6	6	8	8	26	26
VSS	Ground	N/A						D2	D2	22	22	18	18		
VSS	Ground	N/A						D13	D13	33	33	29	29		
VSS	Ground	N/A						G2	G2	44	44	46	46		
VSS	Ground	N/A						H13	H13	56	56	53	53		
VSS	Ground	N/A						L2	L2	72	72	64	64		
VSS	Ground	N/A						L13	L13	79	79	80	80		
VSS	Ground	N/A						P5	P5	92	92	90	90		
VSS	Ground	N/A						P10	P10			101	101		
VSS	Ground	N/A										116	116		
VSS	Ground	N/A										124	124		
VSS	Ground	N/A										134	134		

注!

[1]UV版本封装。

[2]LV版本封装。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	CS42	MG132X ^[1]	MG132X ^[2]	LQ100X ^[1]	LQ100X ^[2]	LQ144X ^[1]	LQ144X ^[2]	QN48	QN48M
NC	N/A	N/A						C7	C7			103	103		
NC	N/A	N/A										31	31		

注!															
[1]UV版本封装。															
[2]LV版本封装。															
管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	CS42	MG132X ^[1]	MG132X ^[2]	LQ100X ^[1]	LQ100X ^[2]	LQ144X ^[1]	LQ144X ^[2]	QN48	QN48M
BANK5 True LVDS Pair															
IOL4A/LPLL_T_fb	I/O	5	LPLL_T_fb	True_of_IOL4B	True	x16	B5	B1	B1			1	1	15	16
IOL4B/LPLL_C_fb	I/O	5	LPLL_C_fb	Comp_of_IOL4A	True	none	B6	B2	B2			2	2	14	17
IOL6A/GCLKT_7	I/O	5	GCLKT_7	True_of_IOL6B	True	x16	D5	C2	C2	3	3	5	5	18	18
IOL6B/GCLKC_7	I/O	5	GCLKC_7	Comp_of_IOL6A	True	none	D6	D1	D1	4	4	6	6	19	19
IOL8A	I/O	5		True_of_IOL8B	True	x16	C5	E3	E3	9	9	11	11		
IOL8B	I/O	5		Comp_of_IOL8A	True	none	C6	F2	F2	10	10	12	12		
BANK4 True LVDS Pair															
IOL11A	I/O	4		True_of_IOL11B	True	x16		H1	H1			15	15	20	20
IOL11B	I/O	4		Comp_of_IOL11A	True	none		H3	H3			17	17	21	21
IOL13A	I/O	4		True_of_IOL13B	True	x16	E5	J1	J1	14	14	21	21		
IOL13B	I/O	4		Comp_of_IOL13A	True	none	E6	J2	J2	15	15	22	22		
BANK3 True LVDS Pair															
IOL15A	I/O	3		True_of_IOL15B	True	x16	F5	J3	J3	18	18	25	25	23	23
IOL15B	I/O	3		Comp_of_IOL15A	True	none	F6	K2	K2	19	19	26	26	22	22
IOL17A	I/O	3		True_of_IOL17B	True	x16	G5	M1	M1	24	24	32	32	27	27
IOL17B	I/O	3		Comp_of_IOL17A	True	none	G6	M2	M2	25	25	33	33	24	24
BANK2 True LVDS Pair															
IOB11A	I/O	2		True_of_IOB11B	True	x16		P8	P8	40	40	57	57		
IOB11B	I/O	2		Comp_of_IOB11A	True	none		M8	M8	41	41	58	58		
IOB13A	I/O	2		True_of_IOB13B	True	x16		M9	M9			61	61	33	33
IOB13B	I/O	2		Comp_of_IOB13A	True	none		N10	N10			62	62	32	32
IOB15A	I/O	2		True_of_IOB15B	True	x16		M10	M10			65	65		
IOB15B	I/O	2		Comp_of_IOB15A	True	none		P11	P11			67	67		
IOB17A	I/O	2		True_of_IOB17B	True	x16		M11	M11						
IOB17B	I/O	2		Comp_of_IOB17A	True	none		P12	P12						
IOB2A	I/O	2		True_of_IOB2B	True	x16		P2	P2			38	38		
IOB2B	I/O	2		Comp_of_IOB2A	True	none		N2	N2			39	39		
IOB4A	I/O	2		True_of_IOB4B	True	x16		N3	N3	29	29	42	42		
IOB4B	I/O	2		Comp_of_IOB4A	True	none		P4	P4	30	30	43	43		
IOB6A	I/O	2		True_of_IOB6B	True	x16		N5	N5			47	47		
IOB6B	I/O	2		Comp_of_IOB6A	True	none		M5	M5			48	48		
IOB8A	I/O	2		True_of_IOB8B	True	x16		P7	P7	36	36	52	52		
IOB8B	I/O	2		Comp_of_IOB8A	True	none		N7	N7	37	37	54	54		

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	CS42	MG132X ^[1]	MG132X ^[2]	LQ100X ^[1]	LQ100X ^[2]	LQ144X ^[1]	LQ144X ^[2]	QN48	QN48M
BANK1 True LVDS Pair															
IOR11A/GCLKT_2	I/O	1	GCLKT_2	True_of_IOR11B	True	none		G13	G13	63	63	92	92	41	
IOR11B/GCLKC_2	I/O	1	GCLKC_2	Comp_of_IOR11A	True	none		H12	H12	62	62	91	91	40	
IOR13A	I/O	1		True_of_IOR13B	True	none		G12	G12	61	61	89	89	38	
IOR13B	I/O	1		Comp_of_IOR13A	True	none		G14	G14			87	87	39	
IOR15A	I/O	1		True_of_IOR15B	True	none		J13	J13			84	84		
IOR15B	I/O	1		Comp_of_IOR15A	True	none		K12	K12			83	83		
IOR17A	I/O	1		True_of_IOR17B	True	none		L14	L14			78	78		
IOR17B	I/O	1		Comp_of_IOR17A	True	none		M13	M13			77	77		
IOR1A	I/O	1		True_of_IOR1B	True	none		B14	B14			107	107	47	
IOR1B	I/O	1		Comp_of_IOR1A	True	none		C13	C13			106	106	46	
IOR3A/D2	I/O	1	D2	True_of_IOR3B	True	none		C14	C14	71	71	100	100	45	
IOR3B/D3	I/O	1	D3	Comp_of_IOR3A	True	none		D12	D12	70	70	99	99	44	
IOR4A/D0	I/O	1	D0	True_of_IOR5B	True	none		E12	E12	67	67	96	96	43	
IOR4B/D1	I/O	1	D1	Comp_of_IOR5A	True	none		E14	E14	66	66	95	95	42	
BANK0 True LVDS Pair															
IOT11A/GCLKT_0	I/O	0	GCLKT_0	True_of_IOT11B	True	x16		A7	A7	88	88	128	128	6	8
IOT11B/GCLKC_0	I/O	0	GCLKC_0	Comp_of_IOT11A	True	none		B7	B7	87	87	127	127	7	9
IOT13A	I/O	0		True_of_IOT13B	True	x16	B3	A10	A10	84	84	122	122		5
IOT13B	I/O	0		Comp_of_IOT13A	True	none	A3	C11	C11	83	83	121	121		4
IOT15A	I/O	0		True_of_IOT15B	True	x16		A11	A11			117	117		
IOT15B	I/O	0		Comp_of_IOT15A	True	none		B12	B12			115	115		
IOT17A	I/O	0		True_of_IOT17B	True	x16		C12	C12	78	78	114	114		
IOT17B	I/O	0		Comp_of_IOT17A	True	none		A12	A12			113	113		
IOT4A	I/O	0		True_of_IOT4B	True	x16		A2	A2	99	99	143	143		
IOT4B	I/O	0		Comp_of_IOT4A	True	none		B3	B3	98	98	142	142		
IOT6A	I/O	0		True_of_IOT6B	True	x16		B5	B5	97	97	139	139		
IOT6B	I/O	0		Comp_of_IOT6A	True	none		C6	C6	96	96	138	138		
IOT8A	I/O	0		True_of_IOT8B	True	x16		C9	C9			133	133		
IOT8B	I/O	0		Comp_of_IOT8A	True	none		A9	A9			132	132		

注!

建议把VCCX和电压最高的VCCO接在一起使用。

GW1N-2器件CS42封装电源供电要求

名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCO0/VCCO2	VCCO0和VCCO2内部短接在一起	1.14V	3.465V
VCCO3/VCCO4/VCCO5	VCCO3, VCCO4和VCCO5内部短接在一起	1.14V	3.465V
VCCD/VCCO1/VCCOD	VCCD, VCCO1和VCCOD内部短接在一起。	1.14V	1.26V
VCCX	辅助电压	1.71V	3.465V

GW1N-2器件MG132X封装LV版本电源供电要求

名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCO0、VCCO2、VCCO3、VCCO4、VCCO5	I/O Bank电压	1.14V	3.465V
VCCX/VCCO1	辅助电压VCCX和VCCO1内部短接在一起	1.71V	3.465V

GW1N-2器件MG132X封装UV版本电源供电要求

名称	描述	最小值	最大值
VCCX/VCC	核电压VCC和辅助电压VCCX短接在一起	1.71V	3.465V
VCCO0、VCCO1、VCCO2、VCCO3、VCCO4、VCCO5	I/O Bank电压	1.14V	3.465V

GW1N-2器件LQ100X封装LV版本电源供电要求

名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCO0、VCCO2、VCCO3、VCCO4、VCCO5	I/O Bank电压	1.14V	3.465V
VCCX/VCCO1	辅助电压VCCX和VCCO1内部短接在一起	1.71V	3.465V

GW1N-2器件LQ100X封装UV版本电源供电要求

名称	描述	最小值	最大值
VCCX/VCC	和电压VCC和辅助电压VCCX短接在一起	2.375V	3.465V

注! 建议把VCCX和电压最高的VCCO接在一起使用。				
VCCO0、VCCO1、VCCO2、 VCCO3、VCCO4、VCCO5	I/O Bank电压		1.14V	3.465V
GW1N-2器件LQ144X封装LV版本电源供电要求				
名称	描述		最小值	最大值
VCC	核电压		1.14V	1.26V
VCCO0、VCCO2、VCCO3、 VCCO4、VCCO5	I/O Bank电压		1.14V	3.465V
VCCX/VCCO1	辅助电压VCCX和VCCO1内部短接在一起		1.71V	3.465V
GW1N-2器件LQ144X封装UV版本电源供电要求				
名称	描述		最小值	最大值
VCCX/VCC	和电压VCC和辅助电压VCCX短接在一起		1.71V	3.465V
VCCO0、VCCO1、VCCO2、 VCCO3、VCCO4、VCCO5	I/O Bank电压		1.14V	3.465V
GW1N-2器件QN48封装电源供电要求				
名称	描述		最小值	最大值
VCC	核电压	LV版本	1.14V	1.26V
		UV版本	1.71V	3.465V
VCCO0、VCCO1	I/O Bank电压		1.14V	3.465V
VCCO3/VCCO4/VCCO5	I/O Bank电压，VCCO3、VCCO4和VCCO5内部短接在一起		1.14V	3.465V
VCCX/VCCO2	辅助电压VCCX和VCCO1内部短接在一起		1.71V	3.465V
GW1N-2器件QN48M封装电源供电要求				
名称	描述		最小值	最大值
VCC/VCCO1	核电压VCC和辅助电压VCCX短接在一起		1.14V	1.26V
VCCO0	I/O Bank电压		1.14V	3.465V
VCCO3/VCCO4/VCCO5	I/O Bank电压，VCCO3、VCCO4和VCCO5内部短接在一起		1.14V	3.465V
VCCX/VCCO2	辅助电压VCCX和VCCO2内部短接在一起		1.71V	3.465V
VCCD/VCCOD	VCCD，VCCOD内部短接在一起。		1.14V	1.26V