

日期	版本	说明
2020/11/23	1.0	初始版本, 支持CS42, MG132X, LQ100X, LQ144X封装。
2021/1/20	1.1	新增QN48, QN48M封装。
2021/2/24	1.2	新增MG132封装。
2021/5/14	1.3	MG132封装改名为MG132H, QN48M封装改名为QN48H; 新增MG132、LQ100、LQ144封装。
2021/6/7	1.3.1	增加MG132、LQ100、LQ144封装的IOT14A/IOT14B管脚配置功能说明。
2021/7/21	1.3.2	新增MG121, MG121X封装。
2021/10/29	1.4	更新Pin Definitions; 新增MG49封装。
2021/12/3	1.4.1	更新I ² C配置模式的封装信息。

管脚名称	方向	说明
用户I/O管脚		
IO [End][Row/Column Number][A/B]	I/O	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数
		[A/B]提供差分信号对信息
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外的一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户I/O
D0	I/O	CPU模式下的数据端口D0
D1	I/O	CPU模式下的数据端口D1
D2	I/O	CPU模式下的数据端口D2
D3	I/O	CPU模式下的数据端口D3
D4	I/O	CPU模式下的数据端口D4
D5	I/O	CPU模式下的数据端口D5
D6	I/O	CPU模式下的数据端口D6
D7	I/O	CPU模式下的数据端口D7
WE_N	I	CPU模式下选择D[7: 0]的数据输入输出方向，"0"选择写入，"1"选择读出
DOUT	O	SERIAL模式下的数据输出
DIN	I, 内部弱上拉	SERIAL模式下的数据输入
TMS	I, 内部弱上拉	JTAG模式串行模式输入
TCK	I	JTAG模式串行时钟输入
TDO	O	JTAG模式串行数据输出
TDI	I, 内部弱上拉	JTAG模式串行数据输入
JTAGSEL_N	I, 内部弱上拉	恢复JTAG下载功能信号
RECONFIG_N	I	全局复位GowinCONFIG逻辑信号，低电平有效
FASTRD_N	I	访问SPI FLASH方式选择信号，低电平表示Fast Read模式；高电平表示Read模式
DONE ^[1]	O	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
	I	DONE信号为低电平时，延迟芯片启动，直到DONE信号为高电平
READY ^[1]	I/O	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
MI	O	MSPI模式下MI
MO	I	MSPI模式下MO

管脚名称	方向	说明
MCS_N	O	MSPI模式下的使能信号MCS_N, 低电平有效
MCLK	O	MSPI模式下时钟输出MCLK, 默认频率为 2.5Mhz
SCLK	I	SSPI, SERIAL, CPU模式下的时钟输入
SO	O	SSPI模式下SO
SI	I/O	SSPI模式下SI
SSPI_CS_N	I/O	SSPI模式下的使能信号SSPI_CS_N, 低电平有效, 内部弱上拉
CLKHOLD_N	I, 内部弱上拉	高电平表示SSPI模式和CPU模式操作有效 低电平表示SSPI模式和CPU模式操作无效
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚, C(Comp), [x]是全局时钟序号 ^[2]
GCLKT_[x]	I	全局时钟输入管脚, T(True), [x]: 全局时钟序号
LPLL_C_fb/RPLL_C_fb	I	左边/右边PLL反馈输入管脚, C(Comp)
LPLL_T_fb/RPLL_T_fb	I	左边/右边PLL反馈输入管脚, T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边PLL时钟输入管脚, C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边PLL时钟输入管脚, T(True)
MODE2	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚标记为“VCCO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
MODE1	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚标记为“VCCO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
MODE0	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚标记为“VCCO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
SDA	I/O	I2C串行数据线; 当GowinCONFIG配置模式支持I2C时, 需要外上拉
SCL	I	I2C串行时钟线; 当GowinCONFIG配置模式支持I2C时, 需要外上拉
其他管脚		
CKP	DIO ^[3]	MIPI_DPHY_RX的时钟通道输入管脚, T(True)
CKN	DIO	MIPI_DPHY_RX的时钟通道差分输入管脚, C(Comp)
RX0P	DIO	MIPI_DPHY_RX的数据通道0输入管脚, T(True)
RX0N	DIO	MIPI_DPHY_RX的数据通道0差分输入管脚, C(Comp)
RX1P	DIO	MIPI_DPHY_RX的数据通道1输入管脚, T(True)
RX1N	DIO	MIPI_DPHY_RX的数据通道1差分输入管脚, C(Comp)
RX2P	DIO	MIPI_DPHY_RX的数据通道2输入管脚, T(True)
RX2N	DIO	MIPI_DPHY_RX的数据通道2差分输入管脚, C(Comp)
RX3P	DIO	MIPI_DPHY_RX的数据通道3输入管脚, T(True)

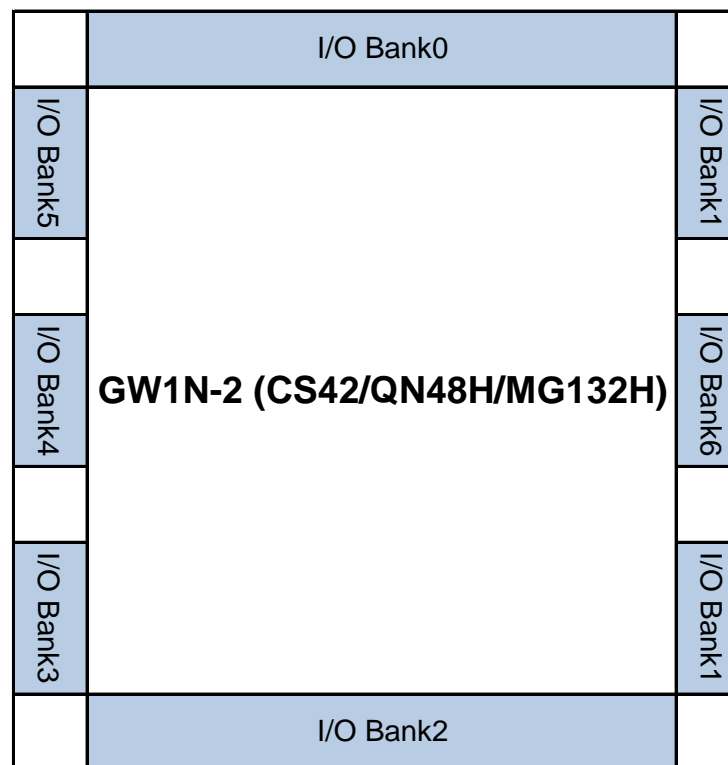
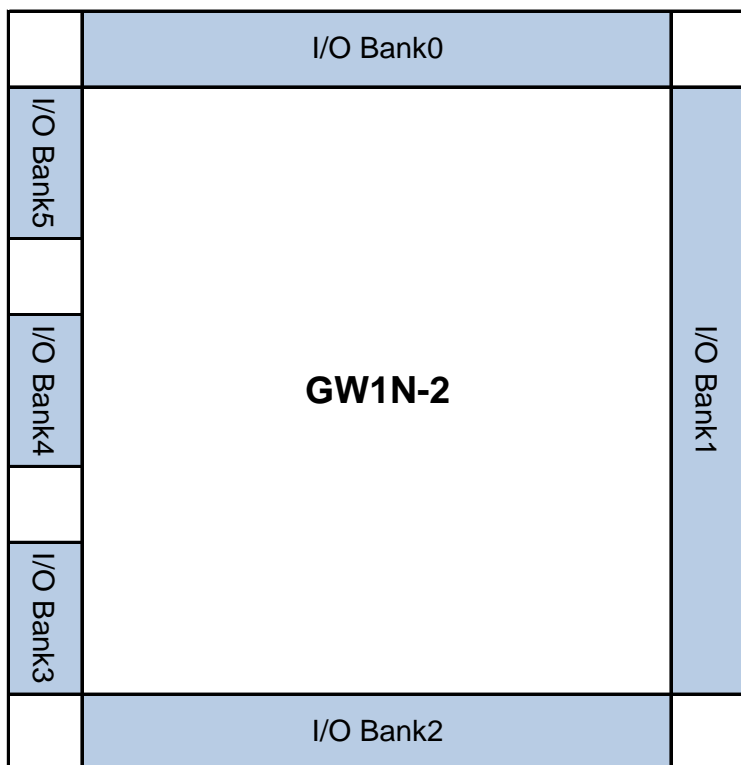
管脚名称	方向	说明
RX3N	DIO	MIPI_DPHY_RX的数据通道3差分输入管脚, C(Comp)
NC	NA	预留未使用
VSS	NA	Ground管脚
VCC	NA	核电压供电管脚
VCCO#	NA	I/O BANK#的I/O电压供电管脚
VCCX	NA	辅助电压供电管脚

注!

[1]在芯片配置前及配置期间,需保持默认弱上拉,不可强驱动为“0”。

[2]当输入是单端时,GCLKC_[x]所在管脚不是全局时钟管脚。

[3]DIO是专用管脚。



注!

- [1]每个Bank还提供一个独立的参考电压（VREF）；
- [2]用户可以选择使用IOB内置的VREF源（等于 $0.5 \cdot V_{CC0}$ ）；
- [3]用户也可选择外部的VREF输入（使用Bank中任意一个I/O管脚作为外部VREF输入）。

注!

VCCX和电压最高的VCCO必须接在一起使用。

GW1N-2器件CS42封装电源供电要求

名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCO0/VCCO2	VCCO0和VCCO2内部短接在一起	1.14V	3.6V
VCCO3/VCCO4/VCCO5	VCCO3, VCCO4和VCCO5内部短接在一起	1.14V	3.6V
VCCD/VCCO1/VCCOD	VCCD, VCCO1和VCCOD内部短接在一起	1.14V	1.26V
VCCX	辅助电压	1.71V	3.6V

GW1N-2器件MG132X/MG132/MG121X/MG121封装LV版本电源供电要求

名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCO0、VCCO2、VCCO3、 VCCO4、VCCO5	I/O Bank电压	1.14V	3.6V
VCCX/VCCO1	辅助电压VCCX和VCCO1内部短接在一起	1.71V	3.6V

GW1N-2器件MG132X/MG132/MG121X/MG121封装UV版本电源供电要求

名称	描述	最小值	最大值
VCCX/VCC	核电压VCC和辅助电压VCCX短接在一起	1.71V	3.6V
VCCO0、VCCO1、VCCO2、 VCCO3、VCCO4、VCCO5	I/O Bank电压	1.14V	3.6V

GW1N-2器件LQ100X/LQ100封装LV版本电源供电要求

名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCO0、VCCO2、VCCO3、 VCCO4、VCCO5	I/O Bank电压	1.14V	3.6V
VCCX/VCCO1	辅助电压VCCX和VCCO1内部短接在一起	1.71V	3.6V

GW1N-2器件LQ100X/LQ100封装UV版本电源供电要求

名称	描述	最小值	最大值
VCCX/VCC	核电压VCC和辅助电压VCCX短接在一起	2.375V	3.6V
VCCO0、VCCO1、VCCO2、 VCCO3、VCCO4、VCCO5	I/O Bank电压	1.14V	3.6V

Power

GW1N-2器件LQ144X/LQ144封装LV版本电源供电要求				
名称	描述		最小值	最大值
VCC	核电压		1.14V	1.26V
VCCO0、VCCO2、VCCO3、VCCO4、VCCO5	I/O Bank电压		1.14V	3.6V
VCCX/VCCO1	辅助电压VCCX和VCCO1内部短接在一起		1.71V	3.6V
GW1N-2器件LQ144X/LQ144封装UV版本电源供电要求				
名称	描述		最小值	最大值
VCCX/VCC	电压VCC和辅助电压VCCX短接在一起		1.71V	3.6V
VCCO0、VCCO1、VCCO2、VCCO3、VCCO4、VCCO5	I/O Bank电压		1.14V	3.6V
GW1N-2器件QN48封装电源供电要求				
名称	描述		最小值	最大值
VCC	核电压	LV版本	1.14V	1.26V
		UV版本	1.71V	3.6V
VCCO0、VCCO1	I/O Bank电压		1.14V	3.6V
VCCO3/VCCO4/VCCO5	I/O Bank电压，VCCO3、VCCO4和VCCO5内部短接在一起		1.14V	3.6V
VCCX/VCCO2	辅助电压VCCX和VCCO2内部短接在一起		1.71V	3.6V
GW1N-2器件QN48H封装电源供电要求				
名称	描述		最小值	最大值
VCC/VCCO1	核电压VCC和I/O Bank电压VCCO1短接在一起		1.14V	1.26V
VCCO0	I/O Bank电压		1.14V	3.6V
VCCO3/VCCO4/VCCO5	I/O Bank电压，VCCO3、VCCO4和VCCO5内部短接在一起		1.14V	3.6V
VCCX/VCCO2	辅助电压VCCX和VCCO2内部短接在一起		1.71V	3.6V
VCCD/VCCOD	VCCD，VCCOD内部短接在一起		1.14V	1.26V
GW1N-2器件MG132H封装电源供电要求				
名称	描述		最小值	最大值
VCC	核电压	LV版本	1.14V	1.26V
		UV版本	1.71V	3.6V
VCCO0、VCCO1、VCCO2、VCCO3、VCCO4、VCCO5	I/O Bank电压		1.14V	3.6V
VCCD/VCCOD	VCCD，VCCOD内部短接在一起		1.14V	1.26V
VCCX	辅助电压VCCX		1.71V	3.6V

GW1N-2器件MG49封装电源供电要求				
名称	描述		最小值	最大值
VCC	核电压	LV版本	1.14V	1.26V
		UV版本	1.71V	3.6V
VCC00、VCC01	I/O Bank电压		1.14V	3.6V
VCC02/VCC03/VCC04/VCC05	I/O Bank电压，VCC02，VCC03，VCC04和VCC05内部短接在一起		1.14V	3.6V
VCCX	辅助电压VCCX		1.71V	3.6V