

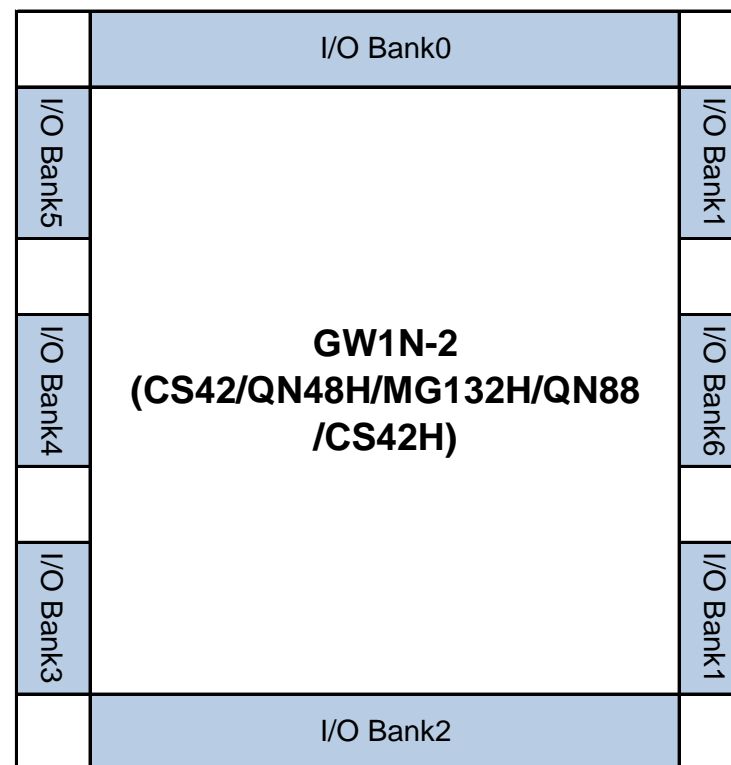
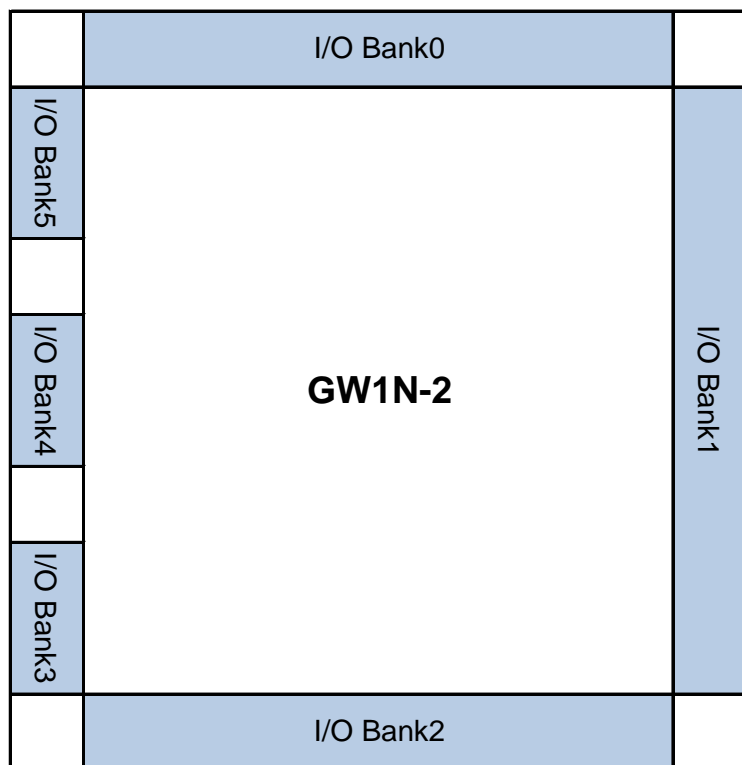
日期	版本	说明
2020/11/23	1.0	初始版本，支持CS42、MG132X、LQ100X、LQ144X封装。
2021/1/20	1.1	新增QN48,QN48M封装。
2021/2/24	1.2	新增MG132封装。
2021/5/14	1.3	MG132封装改名为MG132H，QN48M封装改名为QN48H； 新增MG132、LQ100、LQ144封装。
2021/6/7	1.3.1	增加MG132、LQ100、LQ144封装的IOT14A/IOT14B管脚配置功能说明。
2021/7/21	1.3.2	新增MG121,MG121X封装。
2021/10/29	1.4	更新Pin Definitions； 新增MG49封装。
2021/12/3	1.4.1	更新I <sup>2</sup> C配置模式的封装信息。
2022/1/20	1.5	新增QN32X、QN88和CS42H封装。
2022/3/25	1.5.1	更新Pin Definitions； 更新CS42H封装信息。

管脚名称	方向	说明
用户I/O管脚		
IO [End][Row/Column Number][A/B]	I/O	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top) [Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数 [A/B]提供差分信号对信息
[pin]_[End][Row/Column Number][A/B]	I/O	[pin]管脚名称，其他信息同上 有封装管脚的短接IO，按数字大小排序，第一个IO使用管脚的名称，其他短接的使用管脚名称和去掉IO字符位置信息拼接，如IOL6A/IOL8A短接，管脚名为E6，则IOL6A对应E6，IOL8A对应E6_L8A
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外的一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户I/O
D0	I/O	CPU模式下的数据端口D0
D1	I/O	CPU模式下的数据端口D1
D2	I/O	CPU模式下的数据端口D2
D3	I/O	CPU模式下的数据端口D3
D4	I/O	CPU模式下的数据端口D4
D5	I/O	CPU模式下的数据端口D5
D6	I/O	CPU模式下的数据端口D6
D7	I/O	CPU模式下的数据端口D7
WE_N	I	CPU模式下选择D[7: 0]的数据输入输出方向，“0”选择写入，“1”选择读出
DOUT	O	SERIAL模式下的数据输出
DIN	I, 内部弱上拉	SERIAL模式下的数据输入
TMS	I, 内部弱上拉	JTAG模式串行模式输入
TCK	I	JTAG模式串行时钟输入
TDO	O	JTAG模式串行数据输出
TDI	I, 内部弱上拉	JTAG模式串行数据输入
JTAGSEL_N	I, 内部弱上拉	恢复JTAG下载功能信号
RECONFIG_N	I	全局复位GowinCONFIG逻辑信号，低电平有效
FASTRD_N	I	访问SPI FLASH方式选择信号，低电平表示Fast Read模式；高电平表示Read模式
DONE <sup>[1]</sup>	O	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
	I	DONE信号为低电平时，延迟芯片启动，直到DONE信号为高电平
READY <sup>[1]</sup>	I/O	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置

管脚名称	方向	说明
MI	O	MSPI模式下MI
MO	I	MSPI模式下MO
MCS_N	O	MSPI模式下的使能信号MCS_N，低电平有效
MCLK	O	MSPI模式下时钟输出MCLK，默认频率为 2.5Mhz
SCLK	I	SSPI, SERIAL, CPU模式下的时钟输入
SO	O	SSPI模式下SO
SI	I/O	SSPI模式下SI
SSPI_CS_N	I/O	SSPI模式下的使能信号SSPI_CS_N，低电平有效，内部弱上拉
CLKHOLD_N	I, 内部弱上拉	高电平表示SSPI模式和CPU模式操作有效 低电平表示SSPI模式和CPU模式操作无效
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚，C(Comp)，[x]是全局时钟序号 <sup>[2]</sup>
GCLKT_[x]	I	全局时钟输入管脚，T(True)，[x]: 全局时钟序号
LPLL_C_fb/RPLL_C_fb	I	左边/右边PLL反馈输入管脚，C(Comp)
LPLL_T_fb/RPLL_T_fb	I	左边/右边PLL反馈输入管脚，T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边PLL时钟输入管脚，C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边PLL时钟输入管脚，T(True)
MODE2	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚标记为“VCCO”，表示该管脚内接电源；若该管脚标记为“GND”，表示该管脚内部接地
MODE1	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚标记为“VCCO”，表示该管脚内接电源；若该管脚标记为“GND”，表示该管脚内部接地
MODE0	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚标记为“VCCO”，表示该管脚内接电源；若该管脚标记为“GND”，表示该管脚内部接地
SDA	I/O	I2C串行数据线；当GowinCONFIG配置模式支持I2C时，需要外上拉
SCL	I	I2C串行时钟线；当GowinCONFIG配置模式支持I2C时，需要外上拉
<b>其他管脚</b>		
CKP	DIO <sup>[3]</sup>	MIPI_DPHY_RX的时钟通道输入管脚，T(True)
CKN	DIO	MIPI_DPHY_RX的时钟通道差分输入管脚，C(Comp)
RX0P	DIO	MIPI_DPHY_RX的数据通道0输入管脚，T(True)
RX0N	DIO	MIPI_DPHY_RX的数据通道0差分输入管脚，C(Comp)
RX1P	DIO	MIPI_DPHY_RX的数据通道1输入管脚，T(True)
RX1N	DIO	MIPI_DPHY_RX的数据通道1差分输入管脚，C(Comp)
RX2P	DIO	MIPI_DPHY_RX的数据通道2输入管脚，T(True)
RX2N	DIO	MIPI_DPHY_RX的数据通道2差分输入管脚，C(Comp)
RX3P	DIO	MIPI_DPHY_RX的数据通道3输入管脚，T(True)

管脚名称	方向	说明
RX3N	DIO	MIPI_DPHY_RX的数据通道3差分输入管脚, C(Comp)
NC	NA	预留未使用
VSS	NA	Ground管脚
VCC	NA	核电压供电管脚
VCCO#	NA	I/O BANK#的I/O电压供电管脚
VCCX	NA	辅助电压供电管脚

**注!**  
 [1]在芯片配置前及配置期间, 需保持默认弱上拉, 不可强驱动为“0”。  
 [2]当输入是单端时,GCLKC\_[x]所在管脚不是全局时钟管脚。  
 [3]DIO是专用管脚。



**注!**

- [1]每个Bank还提供一个独立的参考电压（VREF）；
- [2]用户可以选择使用IOB内置的VREF源（等于 $0.5 \cdot V_{CC0}$ ）；
- [3]用户也可选择外部的VREF输入（使用Bank中任意一个I/O管脚作为外部VREF输入）。









管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	CS42	MG132X <sup>[1]</sup>	MG132X <sup>[2]</sup>	LQ100X <sup>[1]</sup>	LQ100 <sup>[2]</sup>	LQ144 <sup>[1]</sup>	LQ144 <sup>[2]</sup>	MG121X <sup>[1]</sup>	MG121X <sup>[2]</sup>	MG121 <sup>[1]</sup>	MG121 <sup>[2]</sup>	MG49	QN32X <sup>[1]</sup>	QN32X <sup>[2]</sup>	QN88	CS42H	
注!																							
[1]UV版本封装。																							
[2]LV版本封装。																							
<b>BANK5 True LVDS Pair</b>																							
IOL4A/LPLL_T_fb	I/O	5	LPLL_T_fb	True_of_IOL4B	True	x16	B5	B1	B1			1	1	C9	C9	C9	C9					3	
IOL4B/LPLL_C_fb	I/O	5	LPLL_C_fb	Comp_of_IOL4A	True	none	B6	B2	B2			2	2	E8	E8	E8	E8					5	
IOL6A/GCLKT_7	I/O	5	GCLKT_7	True_of_IOL6B	True	x16	D5	C2	C2	3	3	5	5	C10	C10	C10	C10					6	
IOL6B/GCLKC_7	I/O	5	GCLKC_7	Comp_of_IOL6A	True	none	D6	D1	D1	4	4	6	6	C11	C11	C11	C11					7	
IOL8A	I/O	5		True_of_IOL8B	True	x16	C5	E3	E3	9	9	11	11	D10	D10	D10	D10					8	
IOL8B	I/O	5		Comp_of_IOL8A	True	none	C6	F2	F2	10	10	12	12	D11	D11	D11	D11					9	
<b>BANK4 True LVDS Pair</b>																							
IOL11A	I/O	4		True_of_IOL11B	True	x16		H1	H1			15	15	E10	E10	E10	E10					10	
IOL11B	I/O	4		Comp_of_IOL11A	True	none		H3	H3			17	17	E11	E11	E11	E11					11	
IOL13A	I/O	4		True_of_IOL13B	True	x16	E5	J1	J1	14	14	21	21	G11	G11	G11	G11	D1				14	
IOL13B	I/O	4		Comp_of_IOL13A	True	none	E6	J2	J2	15	15	22	22	G10	G10	G10	G10	D2				13	
<b>BANK3 True LVDS Pair</b>																							
IOL15A	I/O	3		True_of_IOL15B	True	x16	F5	J3	J3	18	18	25	25	G9	G9	G9	G9					16	
IOL15B	I/O	3		Comp_of_IOL15A	True	none	F6	K2	K2	19	19	26	26	G8	G8	G8	G8					15	
IOL17A	I/O	3		True_of_IOL17B	True	x16	G5	M1	M1	24	24	32	32	K11	K11	K11	K11	F1				19	
IOL17B	I/O	3		Comp_of_IOL17A	True	none	G6	M2	M2	25	25	33	33	J10	J10	J10	J10	F2				18	
<b>BANK2 True LVDS Pair</b>																							
IOB11A	I/O	2		True_of_IOB11B	True	x16		P8	P8	40	40	57	57	K8	K8	K8	K8						
IOB11B	I/O	2		Comp_of_IOB11A	True	none		M8	M8	41	41	58	58	L8	L8	L8	L8						
IOB13A	I/O	2		True_of_IOB13B	True	x16		M9	M9			61	61	H9	H9	H9	H9	G5				38	
IOB13B	I/O	2		Comp_of_IOB13A	True	none		N10	N10			62	62	J9	J9	J9	J9	F5				37	
IOB15A	I/O	2		True_of_IOB15B	True	x16		M10	M10			65	65	K9	K9	K9	K9						
IOB15B	I/O	2		Comp_of_IOB15A	True	none		P11	P11			67	67	L9	L9	L9	L9						
IOB17A	I/O	2		True_of_IOB17B	True	x16		M11	M11					K10	K10	K10	K10						
IOB17B	I/O	2		Comp_of_IOB17A	True	none		P12	P12					L10	L10	L10	L10						
IOB2A	I/O	2		True_of_IOB2B	True	x16		P2	P2			38	38	L3	L3	L3	L3					26	
IOB2B	I/O	2		Comp_of_IOB2A	True	none		N2	N2			39	39	K3	K3	K3	K3					25	
IOB4A	I/O	2		True_of_IOB4B	True	x16		N3	N3	29	29	42	42	J5	J5	J5	J5	G1					
IOB4B	I/O	2		Comp_of_IOB4A	True	none		P4	P4	30	30	43	43	J4	J4	J4	J4	G2					
IOB6A	I/O	2		True_of_IOB6B	True	x16		N5	N5			47	47	L5	L5	L5	L5					32	
IOB6B	I/O	2		Comp_of_IOB6A	True	none		M5	M5			48	48	K5	K5	K5	K5					31	
IOB8A	I/O	2		True_of_IOB8B	True	x16		P7	P7	36	36	52	52									35	
IOB8B	I/O	2		Comp_of_IOB8A	True	none		N7	N7	37	37	54	54									36	
<b>BANK1 True LVDS Pair</b>																							
IOR11A/GCLKT_2	I/O	1	GCLKT_2	True_of_IOR11B	True	none		G13	G13	63	63	92	92	F2	F2	F2	F2	E7	21	21			E3
IOR11B/GCLKC_2	I/O	1	GCLKC_2	Comp_of_IOR11A	True	none		H12	H12	62	62	91	91	F1	F1	F1	F1	E6	20	20			F3
IOR13A	I/O	1		True_of_IOR13B	True	none		G12	G12	61	61	89	89	G1	G1	G1	G1						
IOR13B	I/O	1		Comp_of_IOR13A	True	none		G14	G14			87	87	G2	G2	G2	G2						
IOR15A	I/O	1		True_of_IOR15B	True	none		J13	J13			84	84	H1	H1	H1	H1	G6					
IOR15B	I/O	1		Comp_of_IOR15A	True	none		K12	K12			83	83	H2	H2	H2	H2	G7					
IOR17A	I/O	1		True_of_IOR17B	True	none		L14	L14			78	78	J2	J2	J2	J2						G2
IOR17B	I/O	1		Comp_of_IOR17A	True	none		M13	M13			77	77	J3	J3	J3	J3						G1

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	CS42	MG132X <sup>[1]</sup>	MG132X <sup>[2]</sup>	LQ100X <sup>[1]</sup>	LQ100 <sup>[2]</sup>	LQ144 <sup>[1]</sup>	LQ144 <sup>[2]</sup>	MG121X <sup>[1]</sup>	MG121X <sup>[2]</sup>	MG121 <sup>[1]</sup>	MG121 <sup>[2]</sup>	MG49	QN32X <sup>[1]</sup>	QN32X <sup>[2]</sup>	QN88	CS42H	
IOR1A	I/O	1		True_of_IOR1B	True	none		B14	B14			107	107	C2	C2	C2	C2						A2
IOR1B	I/O	1		Comp_of_IOR1A	True	none		C13	C13			106	106	D3	D3	D3	D3						A1
IOR3A/D2	I/O	1	D2	True_of_IOR3B	True	none		C14	C14	71	71	100	100	D2	D2	D2	D2	E5					
IOR3B/D3	I/O	1	D3	Comp_of_IOR3A	True	none		D12	D12	70	70	99	99	D1	D1	D1	D1	E4					
IOR5A/MI/D7	I/O	1	MI/D7	True_of_IOR5B	True	none		E12	E12	67	67	96	96	E2	E2	E2	E2					62	
IOR5B/MO/D6	I/O	1	MO/D6	Comp_of_IOR5A	True	none		E14	E14	66	66	95	95	E1	E1	E1	E1					61	
<b>BANK0 True LVDS Pair</b>																							
IOT11A/GCLKT_0	I/O	0	GCLKT_0	True_of_IOT11B	True	x16		A7	A7	88	88	128	128	B6	B6	B6	B6					77	
IOT11B/GCLKC_0	I/O	0	GCLKC_0	Comp_of_IOT11A	True	none		B7	B7	87	87	127	127	A6	A6	A6	A6					78	
IOT13A	I/O	0		True_of_IOT13B	True	x16	B3	A10	A10	84	84	122	122	A4	A4	A4	A4	A5				75	
IOT13B	I/O	0		Comp_of_IOT13A	True	none	A3	C11	C11	83	83	121	121	B4	B4	B4	B4	B5				73	
IOT15A	I/O	0		True_of_IOT15B	True	x16		A11	A11			117	117	A3	A3	A3	A3	A6				70	
IOT15B	I/O	0		Comp_of_IOT15A	True	none		B12	B12			115	115	B3	B3	B3	B3	B6				69	
IOT17A	I/O	0		True_of_IOT17B	True	x16		C12	C12	78	78	114	114	A2	A2	A2	A2	A7				68	
IOT17B	I/O	0		Comp_of_IOT17A	True	none		A12	A12			113	113	B2	B2	B2	B2	B7				67	
IOT4A	I/O	0		True_of_IOT4B	True	x16		A2	A2	99	99	143	143	A10	A10	A10	A10						
IOT4B	I/O	0		Comp_of_IOT4A	True	none		B3	B3	98	98	142	142	B9	B9	B9	B9						
IOT6A	I/O	0		True_of_IOT6B	True	x16		B5	B5	97	97	139	139	A9	A9	A9	A9						
IOT6B	I/O	0		Comp_of_IOT6A	True	none		C6	C6	96	96	138	138	B8	B8	B8	B8						
IOT8A	I/O	0		True_of_IOT8B	True	x16		C9	C9			133	133	A7	A7	A7	A7	A3				83	
IOT8B	I/O	0		Comp_of_IOT8A	True	none		A9	A9			132	132	B7	B7	B7	B7	B3				81	

<b>注!</b>			
VCCX和电压最高的VCCO必须接在一起使用。			
<b>GW1N-2器件CS42封装电源供电要求</b>			
名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCO0/VCCO2	VCCO0和VCCO2内部短接在一起	1.14V	3.6V
VCCO3/VCCO4/VCCO5	VCCO3, VCCO4和VCCO5内部短接在一起	1.14V	3.6V
VCCD/VCCO1/VCCOD	VCCD, VCCO1和VCCOD内部短接在一起	1.14V	1.26V
VCCX	辅助电压	1.71V	3.6V
<b>GW1N-2器件MG132X/MG132/MG121X/MG121封装LV版本电源供电要求</b>			
名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCO0、VCCO2、VCCO3、 VCCO4、VCCO5	I/O Bank电压	1.14V	3.6V
VCCX/VCCO1	辅助电压VCCX和VCCO1内部短接在一起	1.71V	3.6V
<b>GW1N-2器件MG132X/MG132/MG121X/MG121封装UV版本电源供电要求</b>			
名称	描述	最小值	最大值
VCCX/VCC	核电压VCC和辅助电压VCCX短接在一起	1.71V	3.6V
VCCO0、VCCO1、VCCO2、 VCCO3、VCCO4、VCCO5	I/O Bank电压	1.14V	3.6V
<b>GW1N-2器件LQ100X/LQ100封装LV版本电源供电要求</b>			
名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCO0、VCCO2、VCCO3、 VCCO4、VCCO5	I/O Bank电压	1.14V	3.6V
VCCX/VCCO1	辅助电压VCCX和VCCO1内部短接在一起	1.71V	3.6V
<b>GW1N-2器件LQ100X/LQ100封装UV版本电源供电要求</b>			
名称	描述	最小值	最大值
VCCX/VCC	核电压VCC和辅助电压VCCX短接在一起	2.375V	3.6V
VCCO0、VCCO1、VCCO2、 VCCO3、VCCO4、VCCO5	I/O Bank电压	1.14V	3.6V

注!				
VCCX和电压最高的VCCO必须接在一起使用。				
GW1N-2器件LQ144X/LQ144封装LV版本电源供电要求				
名称	描述		最小值	最大值
VCC	核电压		1.14V	1.26V
VCCO0、VCCO2、VCCO3、VCCO4、VCCO5	I/O Bank电压		1.14V	3.6V
VCCX/VCCO1	辅助电压VCCX和VCCO1内部短接在一起		1.71V	3.6V
GW1N-2器件LQ144X/LQ144封装UV版本电源供电要求				
名称	描述		最小值	最大值
VCCX/VCC	电压VCC和辅助电压VCCX短接在一起		1.71V	3.6V
VCCO0、VCCO1、VCCO2、VCCO3、VCCO4、VCCO5	I/O Bank电压		1.14V	3.6V
GW1N-2器件QN48封装电源供电要求				
名称	描述		最小值	最大值
VCC	核电压	LV版本	1.14V	1.26V
		UV版本	1.71V	3.6V
VCCO0、VCCO1	I/O Bank电压		1.14V	3.6V
VCCO3/VCCO4/VCCO5	I/O Bank电压，VCCO3、VCCO4和VCCO5内部短接在一起		1.14V	3.6V
VCCX/VCCO2	辅助电压VCCX和VCCO2内部短接在一起		1.71V	3.6V
GW1N-2器件QN48H封装电源供电要求				
名称	描述		最小值	最大值
VCC/VCCO1	核电压VCC和I/O Bank电压VCCO1短接在一起		1.14V	1.26V
VCCO0	I/O Bank电压		1.14V	3.6V
VCCO3/VCCO4/VCCO5	I/O Bank电压，VCCO3、VCCO4和VCCO5内部短接在一起		1.14V	3.6V
VCCX/VCCO2	辅助电压VCCX和VCCO2内部短接在一起		1.71V	3.6V
VCCD/VCCOD	VCCD，VCCOD内部短接在一起		1.14V	1.26V

注!					
VCCX和电压最高的VCCO必须接在一起使用。					
GW1N-2器件MG132H封装电源供电要求					
名称	描述			最小值	最大值
VCC	核电压	LV版本		1.14V	1.26V
		UV版本		1.71V	3.6V
VCCO0、VCCO1、VCCO2、VCCO3、VCCO4、VCCO5	I/O Bank电压			1.14V	3.6V
VCCD/VCCOD	VCCD, VCCOD内部短接在一起			1.14V	1.26V
VCCX	辅助电压VCCX			1.71V	3.6V
GW1N-2器件MG49封装电源供电要求					
名称	描述			最小值	最大值
VCC	核电压	LV版本		1.14V	1.26V
		UV版本		1.71V	3.6V
VCCO0、VCCO1	I/O Bank电压			1.14V	3.6V
VCCO2/VCCO3/VCCO4/VCCO5	I/O Bank电压, VCCO2, VCCO3, VCCO4和VCCO5内部短接在一起			1.14V	3.6V
VCCX	辅助电压VCCX			1.71V	3.6V
GW1N-2器件QN32X LV版本封装电源供电要求					
名称	描述			最小值	最大值
VCC	核电压			1.14V	1.26V
VCCO2、VCCO3	I/O Bank电压			1.14V	3.6V
VCCO1/VCCO4/VCCO5	I/O Bank电压, VCCO1, VCCO4和VCCO5内部短接在一起			1.14V	3.6V
VCCO0/VCCX	辅助电压VCCX和VCCO0内部短接在一起			1.71V	3.6V
GW1N-2器件QN32X UV版本封装电源供电要求					
名称	描述			最小值	最大值
VCC/VCCX	核电压与辅助电压VCCX内部短接在一起			1.71V	3.6V
VCCO0、VCCO2、VCCO3	I/O Bank电压			1.14V	3.6V
VCCO1/VCCO4/VCCO5	I/O Bank电压, VCCO1, VCCO4和VCCO5内部短接在一起			1.14V	3.6V

## 注!

VCCX和电压最高的VCCO必须接在一起使用。

**GW1N-2器件QN88封装电源供电要求**

名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCO0、VCCO1、VCCO2、 VCCO3、VCCO4、VCCO5	I/O Bank电压	1.14V	3.6V
VCCD/VCCOD	VCCD, VCCOD内部短接在一起	1.14V	1.26V
VCCX	辅助电压VCCX	1.71V	3.6V

**GW1N-2器件CS42H封装电源供电要求**

名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCO0、VCCO1、VCCO2	I/O Bank电压	1.71V	3.6V
VCCO3/VCCO4/VCCO5	I/O Bank电压, VCCO3, VCCO4和VCCO5内部短接在一起	1.71V	3.6V
VCCD/VCCOD	VCCD, VCCOD内部短接在一起	1.14V	1.26V
VCCX	辅助电压VCCX	1.71V	3.6V