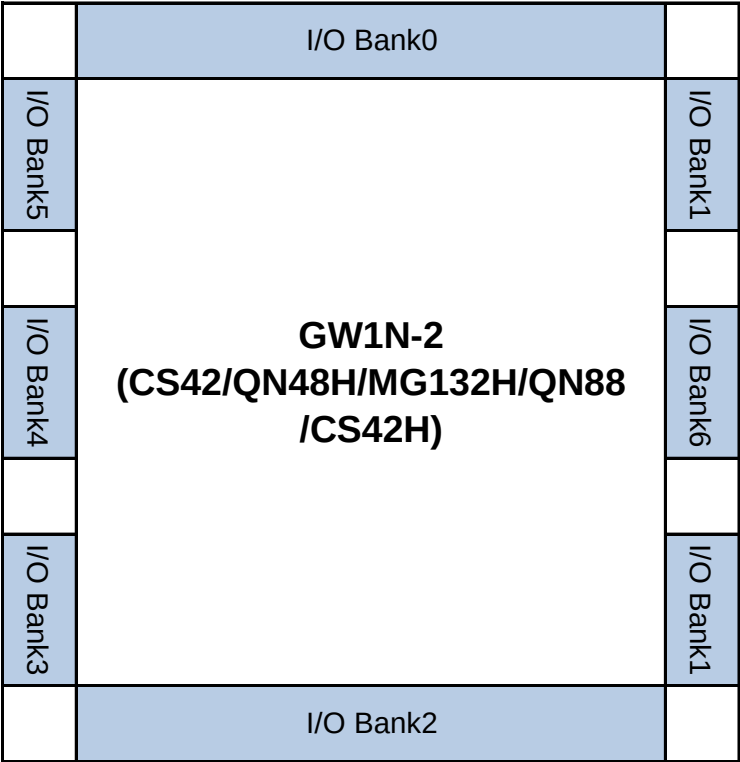
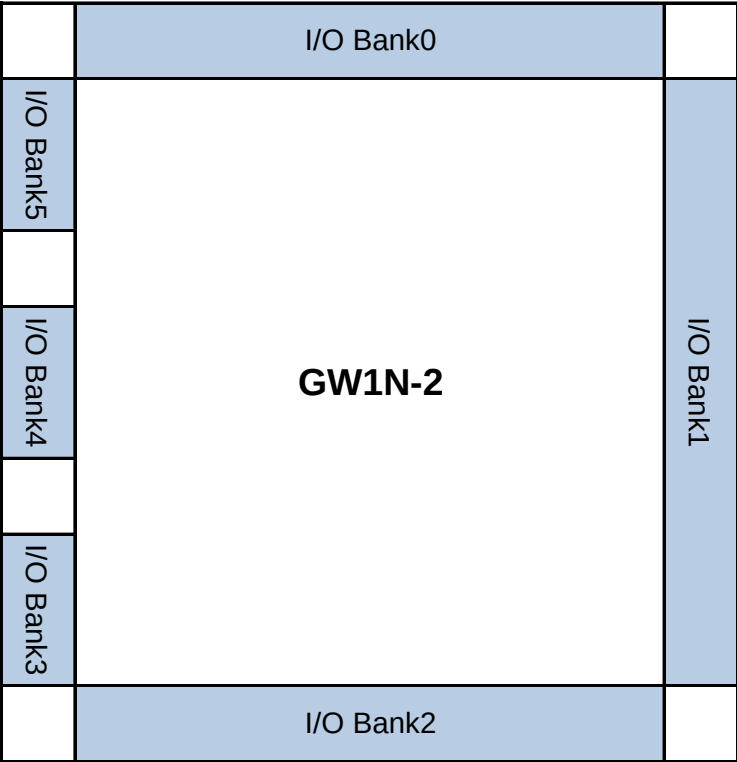


日期	版本	说明
2020/11/23	1.0	初始版本，支持CS42、MG132X、LQ100X、LQ144X封装。
2021/1/20	1.1	新增QN48,QN48M封装。
2021/2/24	1.2	新增MG132封装。
2021/5/14	1.3	MG132封装改名为MG132H，QN48M封装改名为QN48H； 新增MG132、LQ100、LQ144封装。
2021/6/7	1.3.1	增加MG132、LQ100、LQ144封装的IOT14A/IOT14B管脚配置功能说明。
2021/7/21	1.3.2	新增MG121,MG121X封装。
2021/10/29	1.4	更新Pin Definitions； 新增MG49封装。
2021/12/3	1.4.1	更新I ² C配置模式的封装信息。
2022/1/20	1.5	新增QN32X、QN88和CS42H封装。
2022/3/25	1.5.1	更新Pin Definitions； 更新CS42H封装信息。
2022/6/15	1.6	新增QN32和CS100H封装信息； 更新QN32X封装的管脚信息和Power信息。
2022/7/8	1.7	新增LQ144F封装信息； QN88封装分为UV和LV版本。
2022/8/19	1.7.1	更新Pin List中QN32和QN32X管脚信息。
2022/9/8	1.7.2	更新Pin Definitions的注释以及RECONFIG_N的IO状态； 更新QN88封装UV版本的核电压。
2022/11/11	1.7.3	更新Pin Definitions中CLKHOLD_N的管脚说明； 更新QN32封装的Power信息。
2023/5/4	1.7.4	更新Power页。 更新Pin Definitions页。 删除LQ144F封装UV版本。
2023/6/30	1.7.5	优化MODE0、MODE1、MODE2的管脚信息及其管脚定义的描述。

管脚名称	方向	说明
用户I/O管脚		
IO [End][Row/Column Number][A/B]	I/O	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数
		[A/B]提供差分信号对信息
[pin]_[End][Row/Column Number][A/B]	I/O	[pin]管脚名称，其他信息同上
		有封装管脚的短接IO，按数字大小排序，第一个IO使用管脚的名称，其他短接的使用管脚名称和去掉IO字符位置信息拼接，如IOL6A/IOL8A短接，管脚名为E6，则IOL6A对应E6，IOL8A对应E6 L8A
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外一种或多种功能。当这些功能不使用的时 候，这些管脚可以作用户I/O
D0	I/O	CPU模式下的数据端口D0
D1	I/O	CPU模式下的数据端口D1
D2	I/O	CPU模式下的数据端口D2
D3	I/O	CPU模式下的数据端口D3
D4	I/O	CPU模式下的数据端口D4
D5	I/O	CPU模式下的数据端口D5
D6	I/O	CPU模式下的数据端口D6
D7	I/O	CPU模式下的数据端口D7
WE_N	I	CPU模式下选择D[7：0]的数据输入输出方向，“0”选择写入，“1”选择读出
DOUT	O	SERIAL模式下的数据输出
DIN	I，内部弱上拉	SERIAL模式下的数据输入
TMS	I，内部弱上拉	JTAG模式串行模式输入
TCK	I	JTAG模式串行时钟输入
TDO	O	JTAG模式串行数据输出
TDI	I，内部弱上拉	JTAG模式串行数据输入
JTAGSEL_N	I，内部弱上拉	恢复JTAG下载功能信号
RECONFIG_N	I，内部弱上拉	全局复位GowinCONFIG逻辑信号，低电平有效
FASTRD_N	I	访问SPI FLASH方式选择信号，低电平表示Fast Read模式；高电平表示Read模式
DONE ^[1]	O	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
	I	DONE信号为低电平时，延迟芯片启动，直到DONE信号为高电平

管脚名称	方向	说明
READY ^[1]	I/O	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
MI	I	MSPI模式下MI
MO	O	MSPI模式下MO
MCS_N	O	MSPI模式下的使能信号MCS_N，低电平有效
MCLK	O	MSPI模式下时钟输出MCLK，默认频率为 2.5Mhz
SCLK	I	SSPI, SERIAL, CPU模式下的时钟输入
SO	O	SSPI模式下SO
SI	I/O	SSPI模式下SI
SSPI_CS_N	I/O	SSPI模式下的使能信号SSPI_CS_N，低电平有效，内部弱上拉
CLKHOLD_N	I, 内部弱上拉	在SSPI模式下，高电平有效 在CPU模式下，低电平有效
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚，C(Comp)，[x]是全局时钟序号 ^[2]
GCLKT_[x]	I	全局时钟输入管脚，T(True)，[x]: 全局时钟序号
LPLL_C_fb/RPLL_C_fb	I	左边/右边PLL反馈输入管脚，C(Comp)
LPLL_T_fb/RPLL_T_fb	I	左边/右边PLL反馈输入管脚，T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边PLL时钟输入管脚，C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边PLL时钟输入管脚，T(True)
MODE2	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚标记为“VCCIO”，表示该管脚内接电源；若该管脚标记为“GND”，表示该管脚内部接地
MODE1	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚标记为“VCCIO”，表示该管脚内接电源；若该管脚标记为“GND”，表示该管脚内部接地
MODE0	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口；若该管脚标记为“VCCIO”，表示该管脚内接电源；若该管脚标记为“GND”，表示该管脚内部接地
SDA	I/O	I2C串行数据线；当GowinCONFIG配置模式支持I2C时，需要外上拉
SCL	I	I2C串行时钟线；当GowinCONFIG配置模式支持I2C时，需要外上拉
其他管脚		
CKP	DIO ^[3]	MIPI_DPHY_RX的时钟通道输入管脚
CKN	DIO	MIPI_DPHY_RX的时钟通道差分输入管脚
RX0P	DIO	MIPI_DPHY_RX的数据通道0输入管脚
RX0N	DIO	MIPI_DPHY_RX的数据通道0差分输入管脚
RX1P	DIO	MIPI_DPHY_RX的数据通道1输入管脚
RX1N	DIO	MIPI_DPHY_RX的数据通道1差分输入管脚

管脚名称	方向	说明
RX2P	DIO	MIPI_DPHY_RX的数据通道2输入管脚
RX2N	DIO	MIPI_DPHY_RX的数据通道2差分输入管脚
RX3P	DIO	MIPI_DPHY_RX的数据通道3输入管脚
RX3N	DIO	MIPI_DPHY_RX的数据通道3差分输入管脚
NC	NA	预留未使用
VSS	NA	Ground管脚
VCC	NA	核电压供电管脚
VCCIO#	NA	I/O BANK#的I/O电压供电管脚
VCCX	NA	辅助电压供电管脚
注! [1] READY和DONE默认状态为open-drain输出, 内部弱上拉。在配置期间, DONE输出0。 [2] 当输入是单端时,GCLKC_[x]所在管脚不是全局时钟管脚。 [3] DIO是专用管脚。		



注！

[1]每个Bank还提供一个独立的参考电压（VREF）。

[2]用户可以选择使用IOB内置的VREF源（等于0.5*VCCIO）。

[3]用户也可选择外部的VREF输入（使用Bank中任意一个I/O管脚作为外部VREF输入）。

[1]UV版本封装。 [2]LV版本封装。 [3]该管脚内部接地。 [4]该管脚内接VCCIO。 [5] QN32/CS42/QN48/QN48HLQ100/LQ144/MG132/MG121/LQ144F封装的IOT14A/IOT14B管脚不支持SDA/SCL配置功能。																																							
管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	CS42	MG132X ^[4]	MG132X ^[2]	LQ100X ^[4]	LQ144X ^[4]	LQ144X ^[2]	QN48	QN48H	MG132H	MG132 ^[2]	MG132 ^[2]	LQ100 ^[4]	LQ100 ^[2]	LQ144 ^[2]	LQ144 ^[2]	MG121X ^[4]	MG121X ^[2]	MG121 ^[4]	MG121 ^[2]	MG49	QN32X ^[4]	QN32X ^[2]	QN88 ^[4]	QN88 ^[2]	CS42H	QN32 ^[4]	QN32 ^[2]	CS100H	LQ144F				
IOB11A	I/O	2		True_of_IOB11B	True	x16	P8	P8	P8	40	40	57	57		P8	P8	P8	40	40	57	57	K8	K8	K8	K8							G4_B11A		K5	57				
IOB11B	I/O	2		Comp_of_IOB11A	True	none	M8	M8	M8	41	41	58	58		M8	M8	M8	41	41	58	58	L8	L8	L8	L8									J5	58				
IOB12A/FASTRD_N	I/O	2	FASTRD_N	True_of_IOB12B	none	none	P9	P9	P9	42	42	59	59		P9	P9	P9	42	42	59	59	J7	J7	J7	J7							G4_B12A			59				
IOB12B	I/O	2		Comp_of_IOB12A	none	none	N9	N9	N9	43	43	60	60		N9	N9	N9	43	43	60	60														60				
IOB13A	I/O	2		True_of_IOB13B	True	x16	M9	M9	M9			61	61	33	33	M9	M9	M9			61	61	H9	H9	H9	H9	G5		38	38	G3			H5	61				
IOB13B	I/O	2		Comp_of_IOB13A	True	none	N10	N10	N10			62	62	32	32	N10	N10	N10			62	62	J9	J9	J9	J9	F5		37	37				G5	62				
IOB14A	I/O	2		True_of_IOB14B	none	none						63	63							63	63										G3_B14A				63				
IOB14B	I/O	2		Comp_of_IOB14A	none	none																																	
IOB15A	I/O	2		True_of_IOB15B	True	x16	M10	M10	M10			65	65		M10	M10	M10			65	65	K9	K9	K9	K9							G3_B15A		K4	65				
IOB15B	I/O	2		Comp_of_IOB15A	True	none	P11	P11	P11			67	67		P11	P11	P11			67	67	L9	L9	L9	L9								J4	67					
IOB16A	I/O	2		True_of_IOB16B	none	none				45	45	68	68					45	45	68	68								40	40	G3_B16A				68				
IOB16B/DOUTWE_N	I/O	2	DOUTWE_N	Comp_of_IOB16A	none	none				47	47	69	69					47	47	69	69								41	41					69				
IOB17A	I/O	2		True_of_IOB17B	True	x16	M11	M11	M11						M11	M11	M11					K10	K10	K10	K10									H4					
IOB17B	I/O	2		Comp_of_IOB17A	True	none	P12	P12	P12						P12	P12	P12					L10	L10	L10	L10									G4					
IOB18A/SSPI_CS_N	I/O	2	SSPI_CS_N	True_of_IOB18B	none	none	G2	N12	N12	48	48	70	70	34	34	N12	N12	N12	48	48	70	70	L2	L2	L2	L2	16	16	42	42			16	16	K3	70			
IOB18B/SI	I/O	2	SI	Comp_of_IOB18A	none	none	G1	P13	P13	49	49	71	71	35	35	P13	P13	P13	49	49	71	71	K2	K2	K2	K2	17	17	44	44			17	17	J3	71			
IOB2A	I/O	2		True_of_IOB2B	True	x16	P2	P2	P2			38	38		P2	P2	P2			38	38	L3	L3	L3	L3									K10	38				
IOB2B	I/O	2		Comp_of_IOB2A	True	none	N2	N2	N2			39	39		N2	N2	N2			39	39	K3	K3	K3	K3									J10	39				
IOB3A/DIN/CLKHOLD_N	I/O	2	DIN/CLKHOLD_N	True_of_IOB3B	none	none	P3	P3	P3	27	27	40	40		P3	P3	P3	27	27	40	40	L4	L4	L4	L4	8	8	28	28			8	8			40			
IOB3B	I/O	2		Comp_of_IOB3A	none	none	M3	M3	M3	28	28	41	41		M3	M3	M3	28	28	41	41	K4	K4	K4	K4					27	27					41			
IOB4A	I/O	2		True_of_IOB4B	True	x16	N3	N3	N3	29	29	42	42		N3	N3	N3	29	29	42	42	J5	J5	J5	J5							G5				42			
IOB4B	I/O	2		Comp_of_IOB4A	True	none	P4	P4	P4	30	30	43	43		P4	P4	P4	30	30	43	43	J4	J4	J4	J4	G2									H8	43			
IOB5A/SCLK	I/O	2	SCLK	True_of_IOB5B	none	none	F4	M4	M4	31	31	44	44	29	29	M4	M4	M4	31	31	44	44	J8	J8	J8	J8	9	9	30	30	G5_B5A	9	9	K9	44				
IOB5B/SO	I/O	2	SO	Comp_of_IOB5A	none	none	G4	N4	N4	32	32	45	45	28	28	N4	N4	N4	32	32	45	45	H7	H7	H7	H7	10	10	29	29			10	10	J9	45			
IOB6A	I/O	2		True_of_IOB6B	True	x16	N5	N5	N5			47	47		N5	N5	N5			47	47	L5	L5	L5	L5							G5_B6A			K8	47			
IOB6B	I/O	2		Comp_of_IOB6A	True	none	M5	M5	M5			48	48		M5	M5	M5			48	48	K5	K5	K5	K5									J8	48				
IOB7A/GCLKT_4	I/O	2	GCLKT_4	True_of_IOB7B	none	none	M7	M7	M7	34	34	49	49	31	31	M7	M7	M7	34	34	49	49	L6	L6	L6	L6	G3	11	11	34	34	G5_B7A	11	11	K7	49			
IOB7B/GCLKC_4	I/O	2	GCLKC_4	Comp_of_IOB7A	none	none	N8	N8	N8	35	35	50	50	30	30	N8	N8	N8	35	35	50	50	K6	K6	K6	K6	F3	12	12	33	33			12	12	J7	50		
IOB8A	I/O	2		True_of_IOB8B	True	x16	P7	P7	P7	36	36	52	52		P7	P7	P7	36	36	52	52	J6	J6	J6	J6							G4			H7	52			
IOB8B	I/O	2		Comp_of_IOB8A	True	none	N7	N7	N7	37	37	54	54		N7	N7	N7	37	37	54	54														H6	54			
IOB9A/GCLKT_3	I/O	2	GCLKT_3	True_of_IOB9B	none	none	F3	N6	N6	38	38	55	55		N6	N6	N6	38	38	55	55	L7	L7	L7	L7	G4	13	13					G4_B9A	13	13	K6	55		
IOB9B/GCLKC_3	I/O	2	GCLKC_3	Comp_of_IOB9A	none	none	G3	P6	P6	39	39	56	56		P6	P6	P6	39	39	56	56	K7	K7	K7	K7	F4	14	14					14	14	J6	56			
IOI11A	I/O	4		True_of_IOI11B	True	x16	H1	H1	H1			15	15	20	20	H1	H1	H1			15	15	E10	E10	E10	E10			10	10	F6				E10_L11A	15			
IOI11B	I/O	4		Comp_of_IOI11A	True	none	H3	H3	H3			17	17	21	21	H3	H3	H3			17	17	E11	E11	E11	E11			11	11					D10_L11B	17			
IOI12A/GCLKT_6	I/O	4	GCLKT_6	True_of_IOI12B	none	none	G3	G3	G3	12	12	19	19		G3	G3	G3	12	12	19	19	F11	F11	F11	F11	C1								F10	19				
IOI12B/GCLKC_6	I/O	4	GCLKC_6	Comp_of_IOI12A	none	none	H2	H2	H2	13	13	20	20		H2	H2	H2	13	13	20	20	F10	F10	F10	F10	C2								F9	20				
IOI13A	I/O	4		True_of_IOI13B	True	x16	E5	J1	J1	14	14	21	21		J1	J1	J1	14	14	21	21	G11	G11	G11	G11	D1						F6_L13A			G9	21			
IOI13B	I/O	4		Comp_of_IOI13A	True	none	E6	J2	J2	15	15	22	22		J2	J2	J2	15	15	22	22	G10	G10	G10	G10	D2			13	13					G10	22			
IOI14A	I/O	4		True_of_IOI14B	none	none				16	16	23	23					16	16	23	23	F9	F9	F9	F9										F8	23			
IOI14B	I/O	4		Comp_of_IOI14A	none	none				17	17	24	24					17	17	24	24														E8	24			
IOI15A	I/O	3		True_of_IOI15B	True	x16	F5	J3	J3	18	18	25	25	23	23	J3	J3	J3	18	18	25	25	G9	G9	G9	G9							G6		G10_L15A				

注1

[1]UV版本封装。

[2]LV版本封装。

[3]该管脚内部接地。

[4]该管脚内接VCCIO。

[5] QN32/CS42/QN48/LQ100/LQ144/MG132/MG121/LQ144F封装的IOT14A/IOT14B管脚不支持SDA/SCL配置功能。

	管脚	功能	配置功能	差分Pair	LVDS	X16	CS42	MG132X ^[5]	MG132X ^[5]	LQ100X ^[5]	LQ100X ^[5]	LQ144X ^[5]	LQ144X ^[5]	QN48	QN48H	MG132H	MG132 ^[5]	MG132 ^[5]	LQ100 ^[5]	LQ100 ^[5]	LQ144 ^[5]	LQ144 ^[5]	MG121X ^[5]	MG121X ^[5]	MG121 ^[5]	MG121 ^[5]	MG49	QN32X ^[5]	QN32X ^[5]	QN88 ^[5]	QN88 ^[5]	CS42H	QN32 ^[5]	QN32 ^[5]	CS100H	LQ144F				
IOR16B	I/O	1		Comp. of_IOR16A	none	none		K14	K14	57	57	81	81				K14	K14	57	57	81	81	H4	H4	H4	H4											81			
IOR17A	I/O	1		True_of_IOR17B	True	none		L14	L14			78	78			N13	L14	L14			78	78	J2	J2	J2	J2											K1	78		
IOR17B	I/O	1		Comp. of_IOR17A	True	none		M13	M13			77	77			N14	M13	M13			77	77	J3	J3	J3	J3											K2	77		
IOR18A	I/O	1		True_of_IOR18B	none	none		M12	M12	54	54	76	76				M12	M12	54	54	76	76															76			
IOR18B	I/O	1		Comp. of_IOR18A	none	none		M14	M14	53	53	75	75				M14	M14	53	53	75	75															75			
IOR19A	I/O	1		True_of_IOR19B	none	none		N13	N13	52	52	74	74				N13	N13	52	52	74	74	J1	J1	J1	J1											74			
IOR19B	I/O	1		Comp. of_IOR19A	none	none		N14	N14	51	51	73	73				N14	N14	51	51	73	73	K1	K1	K1	K1											73			
IOR1A	I/O	1		True_of_IOR1B	True	none		B14	B14			107	107	47		B14	B14	B14			107	107	C2	C2	C2	C2								A2			A1	107		
IOR1B	I/O	1		Comp. of_IOR1A	True	none		C13	C13			106	106	46		C13	C13	C13			106	106	D3	D3	D3	D3											A2	106		
IOR2A	I/O	1		True_of_IOR2B	none	none				75	75	105	105						75	75	105	105	B1	B1	B1	B1												105		
IOR2B	I/O	1		Comp. of_IOR2A	none	none				74	74	104	104						74	74	104	104	C1	C1	C1	C1												104		
IOR3A/D2	I/O	1	D2	True_of_IOR3B	True	none		C14	C14	71	71	100	100	45		C14	C14	C14	71	71	100	100	D2	D2	D2	D2	E5										B1	103		
IOR3B/D3	I/O	1	D3	Comp. of_IOR3A	True	none		D12	D12	70	70	99	99	44		D12	D12	D12	70	70	99	99	D1	D1	D1	D1	E4											B2		
IOR4A/D0	I/O	1	D0	True_of_IOR4B	none	none				69	69	98	98						69	69	98	98	E4	E4	E4	E4	C7											100		
IOR4B/D1	I/O	1	D1	Comp. of_IOR4A	none	none				68	68	97	97						68	68	97	97	E3	E3	E3	E3	C6											99		
IOR5A/M/D7	I/O	1	M/D7	True_of_IOR5B	True	none		E12	E12	67	67	96	96	43		E12	E12	E12	67	67	96	96	E2	E2	E2	E2											C3	98		
IOR5B/M/D6	I/O	1	M/D6	Comp. of_IOR5A	True	none		E14	E14	66	66	95	95	42		E14	E14	E14	66	66	95	95	E1	E1	E1	E1											D4	97		
IOR6A/MCS_N/D5	I/O	1	MCS_N/D5	True_of_IOR6B	none	none		E13	E13	65	65	94	94			E13	E13	E13	65	65	94	94	F3	F3	F3	F3	D7										D3	96		
IOR6B/MCLK/D4	I/O	1	MCLK/D4	Comp. of_IOR6A	none	none		F12	F12	64	64	93	93			F12	F12	F12	64	64	93	93	F4	F4	F4	F4	D6										E3	95		
IOT11A/GCLKC_0	I/O	0	GCLKC_0	True_of_IOT11B	True	x16		A7	A7	88	88	128	128	6	8	A7	A7	A7	88	88	128	128	B6	B6	B6	B6												D7	128	
IOT11B/GCLKC_0	I/O	0	GCLKC_0	Comp. of_IOT11A	True	none		B7	B7	87	87	127	127	7	9	B7	B7	B7	87	87	127	127	A6	A6	A6	A6												B6	127	
IOT12A	I/O	0		True_of_IOT12B	none	none				89	89	129	129						89	89	129	129																C7	129	
IOT12B	I/O	0		Comp. of_IOT12A	none	none																																		
IOT13A	I/O	0		True_of_IOT13B	True	x16	B3	A10	A10	84	84	122	122		5	A10	A10	A10	84	84	122	122	A4	A4	A4	A4	A5											A6	122	
IOT13B	I/O	0		Comp. of_IOT13A	True	none	A3	C11	C11	83	83	121	121		4	C11	C11	C11	83	83	121	121	B4	B4	B4	B4	B5											A4	121	
IOT14A/GCLKC_1/SCL ^[5]	I/O	0	GCLKC_1/SCL ^[5]	True_of_IOT14B	none	none		C8	C8	86	86	126	126	5	7	C8	C8	C8	86	86	126	126	A5	A5	A5	A5	A4	28	28										A5	126
IOT14B/GCLKC_1/SDA ^[5]	I/O	0	GCLKC_1/SDA ^[5]	Comp. of_IOT14A	none	none		B8	B8	85	85	125	125	4	6	B8	B8	B8	85	85	125	125	B5	B5	B5	B5	B4	27	27										B5	125
IOT15A	I/O	0		True_of_IOT15B	True	x16		A11	A11			117	117			A11	A11	A11			117	117	A3	A3	A3	A3	A6											B4	117	
IOT15B	I/O	0		Comp. of_IOT15A	True	none		B12	B12			115	115			B12	B12	B12			115	115	B3	B3	B3	B3	B6											A6 T15B	115	
IOT16A/JTAGSEL_N	I/O	0	JTAGSEL_N	True_of_IOT16B	none	none	A2	B9	B9	82	82	120	120	3	3	B9	B9	B9	82	82	120	120	C5	C5	C5	C5		26	26										D6	120
IOT16B/RECONFIG_N	I/O	0	RECONFIG_N	Comp. of_IOT16A	none	none		C10	C10	81	81	119	119	48	48	C10	C10	C10	81	81	119	119	C4	C4	C4	C4		25	25										D5	119
IOT17A	I/O	0		True_of_IOT17B	True	x16		C12	C12	78	78	114	114			C12	C12	C12	78	78	114	114	A2	A2	A2	A2	A7												A4 T17A	114
IOT17B	I/O	0		Comp. of_IOT17A	True	none		A12	A12			113	113			A12	A12	A12			113	113	B2	B2	B2	B2	B7												B4 T17B	113
IOT18A/READY	I/O	0	READY	True_of_IOT18B	none	none		B13	B13	77	77	110	110			B13	B13	B13	77	77	110	110	C3	C3	C3	C3													A3	110
IOT18B/DONE	I/O	0	DONE	Comp. of_IOT18A	none	none		A13	A13	76	76	109	109			A13	A13	A13	76	76	109	109	D4	D4	D4	D4		23	23										B3	109
IOT19A	I/O	0		True_of_IOT19B	none	none				112	112								112	112																			C5	112
IOT19B	I/O	0		Comp. of_IOT19A	none	none				111	111								111	111																			C4	111
IOT2A/MODE0	I/O	0	MODE0	True_of_IOT2B	none	none	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	13	14	C4	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	A10	GND ^[5]		
IOT2B/MODE1	I/O	0	MODE1	Comp. of_IOT2A	none	none	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]	GND ^[5]							

注！
[1]UV版本封装。
[2]LV版本封装。
[3]该管脚内部接地。
[4]该管脚内部接VCCIO。
[5] QN32/CS42/QN48/QN48H/LQ100/LQ144/MG132/MG121/LQ144F封装的IOT14A/IOT14B管脚不支持SDA/SCL配置功能。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	CS42	MG132X ^[1]	MG132X ^[2]	LQ100X ^[1]	LQ100X ^[2]	LQ144X ^[1]	LQ144X ^[2]	QN48	QN48H	MG132H	MG132 ^[1]	MG132 ^[2]	LQ100 ^[1]	LQ100 ^[2]	LQ144 ^[1]	LQ144 ^[2]	MG121X ^[1]	MG121X ^[2]	MG121 ^[1]	MG121 ^[2]	MG49	QN32X ^[1]	QN32X ^[2]	QN88 ^[1]	QN88 ^[2]	CS42H	QN32 ^[1]	QN32 ^[2]	CS100H	LQ144F		
VCC/VCCIO4/VCCIO5/VCCX	Power	N/A																										18						18				
VCC/VCCIO4/VCCIO5/VCCX	Power	N/A																										2						2				
VCCD/VCCIO1/VCCIOD	Power	N/A					D3																															
VCCD/VCCIOD	Power	N/A													1	C7															58	58	C3			F4		
VCCIO0	Power	N/A					A8	A8	80	80	118	118	1	12	A8	A8	A8	80	80	118	118	D6	D6	D6	D6	C5	24				71	71	B4	24		D6	118	
VCCIO0	Power	N/A					B10	B10	93	93	123	123			B10	B10	B10	93	93	123	123						31				82	82		31			135	
VCCIO0	Power	N/A					C5	C5			135	135			C5	C5	C5				135	135															123	
VCCIO0/VCCIO2	Power	N/A					A1																															
VCCIO0/VCCX	Power	N/A																												24						24		
VCCIO0/VCCX	Power	N/A																												31						31		
VCCIO1	Power	N/A					D14		55				37		D14	D14		55		79		H5			H5		D5	19	19	65	65	B3	19	19	E4			
VCCIO1	Power	N/A					H14		73						L12	H14		73		88																		
VCCIO1	Power	N/A					L12					102				L12				102																		
VCCIO1/VCCIO4/VCCIO5	Power	N/A																																				
VCCIO1/VCCX	Power	N/A						D14		55		79				D14		55		79			H5		H5												79	
VCCIO1/VCCX	Power	N/A						H14		73		88				H14		73		88																	88	
VCCIO1/VCCX	Power	N/A						L12				102				L12				102																	102	
VCCIO2	Power	N/A					M6	M6	26	26	37	37			M6	M6	M6	26	26	37	37	H6	H6	H6	H6		7	7		23	23	F5	7	7	G6	51		
VCCIO2	Power	N/A					N11	N11	46	46	51	51			N11	N11	N11	46	46	51	51						15	15		39	39		15	15			66	
VCCIO2	Power	N/A					P1	P1			66	66				P1	P1	P1			66	66															37	
VCCIO2/VCCX	Power	N/A											36	36																								
VCCIO2/VCCIO3/VCCIO4/VCCIO5	Power	N/A																								D3												
VCCIO3	Power	N/A					L1	L1	23	23	30	30			L1	L1	L1	23	23	30	30	H8	H8	H8	H8		6	6		17	17		6	6	G7	30		
VCCIO3/VCCIO4/VCCIO5	Power	N/A					C4							25	25																	C4						
VCCIO4	Power	N/A					G1	G1	11	11	16	16			G1	G1	G1	11	11	16	16	F8	F8	F8	F8					12	12					F7	16	
VCCIO5	Power	N/A					D3	D3	5	5	7	7			D3	D3	D3	5	5	7	7	D8	D8	D8	D8					4	4					E7	7	
VCCX	Power	N/A					E3								H14											E3				47	47	D5				F5		
VCCX	Power	N/A																												64	64	F4						
VSS	Ground	N/A					E4	A5	A5					2	2	A5	A5	A5					A1	A1	A1	A1	D4	3	3		2	2	D4	3	3	E6	18	
VSS	Ground	N/A					C3	B11	B11	6	6	8	8	26	26	B11	B11	B11	6	6	8	8	A11	A11	A11	A11	C4				21	21	E4				F6	29
VSS	Ground	N/A						D2	D2	22	22	18	18			D2	D2	D2	22	22	18	18	E6	E6	E6	E6					24	24	E5					46
VSS	Ground	N/A						D13	D13	33	33	29	29			D13	D13	D13	33	33	29	29	E7	E7	E7	E7					43	43					53	
VSS	Ground	N/A						G2	G2	44	44	46	46			G2	G2	G2	44	44	46	46	F5	F5	F5	F5					46	46					64	
VSS	Ground	N/A						H13	H13	56	56	53	53			H13	H13	H13	56	56	53	53	F6	F6	F6	F6											80	
VSS	Ground	N/A						L2	L2	72	72	64	64			L2	L2	L2	72	72	64	64	G5	G5	G5	G5											90	
VSS	Ground	N/A						L13	L13	79	79	80	80			L13	L13	L13	79	79	80	80	G6	G6	G6	G6											101	
VSS	Ground	N/A						P5	P5	92	92	90	90			P5	P5	P5	92	92	90	90	L1	L1	L1	L1											116	
VSS	Ground	N/A						P10	P10			101	101			P10	P10	P10				101	101	L11	L11	L11	L11											124
VSS	Ground	N/A										116	116									116	116														134	
VSS	Ground	N/A										124	124									124	124														8	
VSS	Ground	N/A										134	134									134	134															
NC	N/A	N/A					C7	C7			103	103				C7	C7				103	103					22	22					22	22				
NC	N/A	N/A									31	31									31	31																

注1

1)UV版本封装。
2)LV版本封装。

管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	CS42	MG132X ^[1]	MG132X ^[2]	LQ100X ^[1]	LQ100X ^[2]	LQ144X ^[1]	LQ144X ^[2]	QN48	QN48H	MG132H	MG132 ^[1]	MG132 ^[2]	LQ100 ^[1]	LQ100 ^[2]	LQ144 ^[1]	LQ144 ^[2]	MG121X ^[1]	MG121X ^[2]	MG121 ^[1]	MG121 ^[2]	MG49	QN32X ^[1]	QN32X ^[2]	QN88 ^[1]	QN88 ^[2]	CS42H	QN32 ^[1]	QN32 ^[2]	CS100H	LQ144F				
BANK5 True LVDS Pair																																								
IOL4A/LPLL_T_fb	I/O	5	LPLL_T_fb	True of_IOL4B	True	x16	B5	B1	B1			1	1	15	16	B1	B1	B1			1	1	C9	C9	C9	C9					3	3					C10	1		
IOL4B/LPLL_C_fb	I/O	5	LPLL_C_fb	Comp of_IOL4A	True	none	B6	B2	B2			2	2	14	17	B2	B2	B2			2	2	E8	E8	E8	E8					5	5					C9	2		
IOL6A/GCLKT_7	I/O	5	GCLKT_7	True of_IOL6B	True	x16	D5	C2	C2	3	3	5	5	18	18	C2	C2	C2	3	3	5	5	C10	C10	C10	C10					6	6					D10	5		
IOL6B/GCLKC_7	I/O	5	GCLKC_7	Comp of_IOL6A	True	none	D6	D1	D1	4	4	6	6	19	19	D1	D1	D1	4	4	6	6	C11	C11	C11	C11					7	7					D9	6		
IOL8A	I/O	5		True of_IOL8B	True	x16	C5	E3	E3	9	9	11	11			E3	E3	E3	9	9	11	11	D10	D10	D10	D10					8	8					D9_L8A	11		
IOL8B	I/O	5		Comp of_IOL8A	True	none	C6	F2	F2	10	10	12	12			F2	F2	F2	10	10	12	12	D11	D11	D11	D11					9	9					E10	12		
BANK4 True LVDS Pair																																								
IOL11A	I/O	4		True of_IOL11B	True	x16		H1	H1			15	15	20	20	H1	H1	H1			15	15	E10	E10	E10	E10					10	10					E10_L11A	15		
IOL11B	I/O	4		Comp of_IOL11A	True	none		H3	H3			17	17	21	21	H3	H3	H3			17	17	E11	E11	E11	E11					11	11					D10_L11B	17		
IOL13A	I/O	4		True of_IOL13B	True	x16	E5	J1	J1	14	14	21	21			J1	J1	J1	14	14	21	21	G11	G11	G11	G11	D1				14	14					G9	21		
IOL13B	I/O	4		Comp of_IOL13A	True	none	E6	J2	J2	15	15	22	22			J2	J2	J2	15	15	22	22	G10	G10	G10	G10	D2				13	13					G10	22		
BANK3 True LVDS Pair																																								
IOL15A	I/O	3		True of_IOL15B	True	x16	F5	J3	J3	18	18	25	25	23	23	J3	J3	J3	18	18	25	25	G9	G9	G9	G9					16	16					G10_L15A	25		
IOL15B	I/O	3		Comp of_IOL15A	True	none	F6	K2	K2	19	19	26	26	22	22	K2	K2	K2	19	19	26	26	G8	G8	G8	G8					15	15					E9	26		
IOL17A	I/O	3		True of_IOL17B	True	x16	G5	M1	M1	24	24	32	32	27	27	M1	M1	M1	24	24	32	32	K11	K11	K11	K11	F1				19	19					E9_L17A	34		
IOL17B	I/O	3		Comp of_IOL17A	True	none	G6	M2	M2	25	25	33	33	24	24	M2	M2	M2	25	25	33	33	J10	J10	J10	J10	F2				18	18					G9_L17B	31		
BANK2 True LVDS Pair																																								
IOB11A	I/O	2		True of_IOB11B	True	x16		P8	P8	40	40	57	57			P8	P8	P8	40	40	57	57	K8	K8	K8	K8											K5	57		
IOB11B	I/O	2		Comp of_IOB11A	True	none		M8	M8	41	41	58	58			M8	M8	M8	41	41	58	58	L8	L8	L8	L8											J5	58		
IOB13A	I/O	2		True of_IOB13B	True	x16		M9	M9			61	61	33	33	M9	M9	M9			61	61	H9	H9	H9	H9	G5				38	38					H5	61		
IOB13B	I/O	2		Comp of_IOB13A	True	none		N10	N10			62	62	32	32	N10	N10	N10			62	62	J9	J9	J9	J9	F5				37	37					G5	62		
IOB15A	I/O	2		True of_IOB15B	True	x16		M10	M10			65	65			M10	M10	M10			65	65	K9	K9	K9	K9											K4	65		
IOB15B	I/O	2		Comp of_IOB15A	True	none		P11	P11			67	67			P11	P11	P11			67	67	L9	L9	L9	L9											J4	67		
IOB17A	I/O	2		True of_IOB17B	True	x16		M11	M11							M11	M11	M11					K10	K10	K10	K10											H4			
IOB17B	I/O	2		Comp of_IOB17A	True	none		P12	P12							P12	P12	P12					L10	L10	L10	L10											G4			
IOB2A	I/O	2		True of_IOB2B	True	x16		P2	P2			38	38			P2	P2	P2			38	38	L3	L3	L3	L3					26	26					K10	38		
IOB2B	I/O	2		Comp of_IOB2A	True	none		N2	N2			39	39			N2	N2	N2			39	39	K3	K3	K3	K3					25	25					J10	39		
IOB4A	I/O	2		True of_IOB4B	True	x16		N3	N3	29	29	42	42			N3	N3	N3	29	29	42	42	J5	J5	J5	J5	G1										42			
IOB4B	I/O	2		Comp of_IOB4A	True	none		P4	P4	30	30	43	43			P4	P4	P4	30	30	43	43	J4	J4	J4	J4	G2										H8	43		
IOB6A	I/O	2		True of_IOB6B	True	x16		N5	N5			47	47			N5	N5	N5			47	47	L5	L5	L5	L5					32	32					K8	47		
IOB6B	I/O	2		Comp of_IOB6A	True	none		M5	M5			48	48			M5	M5	M5			48	48	K5	K5	K5	K5					31	31					J8	48		
IOB8A	I/O	2		True of_IOB8B	True	x16		P7	P7	36	36	52	52			P7	P7	P7	36	36	52	52									35	35					H7	52		
IOB8B	I/O	2		Comp of_IOB8A	True	none		N7	N7	37	37	54	54			N7	N7	N7	37	37	54	54									36	36					H6	54		
BANK1 True LVDS Pair																																								
IOR11A/GCLKT_2	I/O	1	GCLKT_2	True of_IOR11B	True	none		G13	G13	63	63	92	92	41		K13	G13	G13	63	63	92	92	F2	F2	F2	F2	E7	21	21							E3	21	21	G3	94
IOR11B/GCLKC_2	I/O	1	GCLKC_2	Comp of_IOR11A	True	none		H12	H12	62	62	91	91	40		K14	H12	H12	62	62	91	91	F1	F1	F1	F1	E6	20	20							F3	20	20	F3	93
IOR13A	I/O	1		True of_IOR13B	True	none		G12	G12	61	61	89	89	38		L14	G12	G12	61	61	89	89	G1	G1	G1	G1											H1	89		
IOR13B	I/O	1		Comp of_IOR13A	True	none		G14	G14			87	87	39		M13	G14	G14			87	87	G2	G2	G2	G2											H2	87		
IOR15A	I/O	1		True of_IOR15B	True	none		J13	J13			84	84			M12	J13	J13			84	84	H1	H1	H1	H1	G6										J1	84		
IOR15B	I/O	1		Comp of_IOR15A	True	none		K12	K12			83	83			M14	K12	K12			83	83	H2	H2	H2	H2	G7										J2	83		
IOR17A	I/O	1		True of_IOR17B	True	none		L14	L14			78	78			N13	L14	L14			78	78	J2	J2	J2	J2											K1	78		
IOR17B	I/O	1		Comp of_IOR17A	True	none		M13	M13			77	77			N14	M13	M13			77	77	J3	J3	J3	J3											K2	77		
IOR1A	I/O	1		True of_IOR1B	True	none		B14	B14			107	107	47		B14	B14	B14			107	107	C2	C2	C2	C2											A1	107		
IOR1B	I/O	1		Comp of_IOR1A	True	none		C13	C13			106	106	46		C13	C13	C13			106	106	D3	D3	D3	D3											A2	106		
IOR3A/D2	I/O	1	D2	True of_IOR3B	True	none		C14	C14	71	71	100	100	45		C14	C14	C14	71	71	100	100	D2	D2	D2	D2	E5											B1	103	
IOR3B/D3	I/O	1	D3	Comp of_IOR3A	True	none		D12	D12	70	70	99	99	44		D12	D12	D12	70	70	99	99	D1	D1	D1	D1	E4											B2		
IOR5A/M1/D7	I/O	1	M1/D7	True of_IOR5B	True	none		E12	E12	67	67	96	96	43		E12	E12	E12	67	67	96	96	E2	E2	E2	E2												C3	98	
IOR5B/M0/D6	I/O	1	M0/D6	Comp of_IOR5A	True	none		E14	E14	66	66	95	95	42		E14	E14	E14	66	66	95	95	E1	E1	E1	E1					62	62					D4	97		
BANK0 True LVDS Pair																																								
IOT11A/GCLKT_0	I/O	0	GCLKT_0	True of_IOT11B	True	x16		A7	A7	88	88	128	128	6	8	A7	A7	A7	88	88	128	128	B6	B6	B6	B6											D7	128		
IOT11B/GCLKC_0	I/O	0	GCLKC_0	Comp of_IOT11A	True	none		B7	B7	87	87	127	127	7	9	B7	B7	B7	87	87	127	127	A6	A6	A6	A6												A6	127	
IOT13A	I/O	0		True of_IOT13B	True	x16	B3	A10	A10	84	84	122	122			A10	A10	A10	84	84	122	122	A4	A4	A4	A4	A5										B6	122		
IOT13B	I/O	0		Comp of_IOT13A	True	none	A3	C11	C11	83	83	121	121		4	C11	C11	C11</																						

注！ VCCX不能小于最大的VCCIO。			
GW1N-2器件CS42封装电源供电要求			
名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO0/VCCIO2	VCCIO0和VCCIO2内部短接在一起	1.14V	3.6V
VCCIO3/VCCIO4/VCCIO5	VCCIO3, VCCIO4和VCCIO5内部短接在一起	1.14V	3.6V
VCCD/VCCIO1/VCCIOD	VCCD, VCCIO1和VCCIOD内部短接在一起	1.14V	1.26V
VCCX	辅助电压	1.71V	3.6V
GW1N-2器件MG132X/MG132/MG121X/MG121封装LV版本电源供电要求			
名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO0、VCCIO2、VCCIO3、 VCCIO4、VCCIO5	I/O Bank电压	1.14V	3.6V
VCCX/VCCIO1	辅助电压VCCX和VCCIO1内部短接在一起	1.71V	3.6V
GW1N-2器件MG132X/MG132/MG121X/MG121封装UV版本电源供电要求			
名称	描述	最小值	最大值
VCCX/VCC	核电压VCC和辅助电压VCCX短接在一起	1.71V	3.6V
VCCIO0、VCCIO1、VCCIO2、 VCCIO3、VCCIO4、VCCIO5	I/O Bank电压	1.14V	3.6V
GW1N-2器件LQ100X/LQ100封装LV版本电源供电要求			
名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO0、VCCIO2、VCCIO3、 VCCIO4、VCCIO5	I/O Bank电压	1.14V	3.6V
VCCX/VCCIO1	辅助电压VCCX和VCCIO1内部短接在一起	1.71V	3.6V
GW1N-2器件LQ100X/LQ100封装UV版本电源供电要求			
名称	描述	最小值	最大值
VCCX/VCC	核电压VCC和辅助电压VCCX短接在一起	2.375V	3.6V
VCCIO0、VCCIO1、VCCIO2、 VCCIO3、VCCIO4、VCCIO5	I/O Bank电压	1.14V	3.6V

注！
VCCX不能小于最大的VCCIO。

GW1N-2器件LQ144X/LQ144封装LV版本电源供电要求				
名称		描述	最小值	最大值
VCC		核电压	1.14V	1.26V
VCCIO0、VCCIO2、VCCIO3、VCCIO4、VCCIO5		I/O Bank电压	1.14V	3.6V
VCCX/VCCIO1		辅助电压VCCX和VCCIO1内部短接在一起	1.71V	3.6V
GW1N-2器件LQ144X/LQ144封装UV版本电源供电要求				
名称		描述	最小值	最大值
VCCX/VCC		电压VCC和辅助电压VCCX短接在一起	1.71V	3.6V
VCCIO0、VCCIO1、VCCIO2、VCCIO3、VCCIO4、VCCIO5		I/O Bank电压	1.14V	3.6V
GW1N-2器件QN48封装电源供电要求				
名称		描述	最小值	最大值
VCC	核电压	LV版本	1.14V	1.26V
		UV版本	1.71V	3.6V
VCCIO0、VCCIO1		I/O Bank电压	1.14V	3.6V
VCCIO3/VCCIO4/VCCIO5		I/O Bank电压，VCCIO3、VCCIO4和VCCIO5内部短接在一起	1.14V	3.6V
VCCX/VCCIO2		辅助电压VCCX和VCCIO2内部短接在一起	1.71V	3.6V
注！ epad强烈推荐接地，但epad非必须接地。				
GW1N-2器件QN48H封装电源供电要求				
名称		描述	最小值	最大值
VCC/VCCIO1		核电压VCC和I/O Bank电压VCCIO1短接在一起	1.14V	1.26V
VCCIO0		I/O Bank电压	1.14V	3.6V
VCCIO3/VCCIO4/VCCIO5		I/O Bank电压，VCCIO3、VCCIO4和VCCIO5内部短接在一起	1.14V	3.6V
VCCX/VCCIO2		辅助电压VCCX和VCCIO2内部短接在一起	1.71V	3.6V
VCCD/VCCIOD		VCCD，VCCIOD内部短接在一起	1.14V	1.26V
注！ epad强烈推荐接地，但epad非必须接地。				

注！
VCCX不能小于最大的VCCIO。

GW1N-2器件MG132H封装电源供电要求				
名称		描述	最小值	最大值
VCC		核电压	1.14V	1.26V
VCCIO0、VCCIO1、VCCIO2、VCCIO3、VCCIO4、VCCIO5		I/O Bank电压	1.14V	3.6V
VCCD/VCCIOD		VCCD，VCCIOD内部短接在一起	1.14V	1.26V
VCCX		辅助电压VCCX	1.71V	3.6V

GW1N-2器件MG49封装电源供电要求				
名称		描述	最小值	最大值
VCC	核电压	LV版本	1.14V	1.26V
		UV版本	1.71V	3.6V
VCCIO0、VCCIO1		I/O Bank电压	1.14V	3.6V
VCCIO2/VCCIO3/VCCIO4/VCCIO5		I/O Bank电压，VCCIO2，VCCIO3，VCCIO4和VCCIO5内部短接在一起	1.14V	3.6V
VCCX		辅助电压VCCX	1.71V	3.6V

GW1N-2器件QN32X封装LV版本电源供电要求				
名称		描述	最小值	最大值
VCCIO1、VCCIO2、VCCIO3		I/O Bank电压	1.14V	3.6V
VCC/VCCIO4/VCCIO5		核电压，I/O Bank电压VCCIO4和VCCIO5内部短接在一起	1.14V	1.26V
VCCIO0/VCCX		辅助电压VCCX和VCCIO0内部短接在一起	1.71V	3.6V

注！
epad强烈推荐接地，但epad非必须接地。

GW1N-2器件QN32X封装UV版本电源供电要求				
名称		描述	最小值	最大值
VCCX		辅助电压VCCX	1.71V	3.6V
VCCIO0、VCCIO1、VCCIO2、VCCIO3		I/O Bank电压	1.14V	3.6V
VCC/VCCIO4/VCCIO5/VCCX		核电压，辅助电压VCCX，I/O Bank电压VCCIO4和VCCIO5内部短接在一起	1.71V	3.6V

注！
epad强烈推荐接地，但epad非必须接地。

注！
VCCX不能小于最大的VCCIO。

GW1N-2器件QN88封装电源供电要求					
名称		描述	最小值	最大值	
VCC		核电压	LV版本	1.14V	1.26V
			UV版本	1.71V	3.6V
VCCIO0、VCCIO1、VCCIO2、VCCIO3、VCCIO4、VCCIO5		I/O Bank电压	1.14V	3.6V	
VCCD/VCCIOD		VCCD，VCCIOD内部短接在一起	1.14V	1.26V	
VCCX		辅助电压VCCX	1.71V	3.6V	

注！
epad强烈推荐接地，但epad非必须接地。

GW1N-2器件CS42H封装电源供电要求				
名称		描述	最小值	最大值
VCC		核电压	1.14V	1.26V
VCCIO0、VCCIO1、VCCIO2		I/O Bank电压	1.71V	3.6V
VCCIO3/VCCIO4/VCCIO5		I/O Bank电压，VCCIO3，VCCIO4和VCCIO5内部短接在一起	1.71V	3.6V
VCCD/VCCIOD		VCCD，VCCIOD内部短接在一起	1.14V	1.26V
VCCX		辅助电压VCCX	1.71V	3.6V

GW1N-2器件LQ144F封装电源供电要求				
名称		描述	最小值	最大值
VCC		核电压	1.14V	1.26V
VCCIO0、VCCIO2、VCCIO3、VCCIO4、VCCIO5		I/O Bank电压	1.71V	3.6V
VCCIO1/VCCX		辅助电压VCCX和VCCIO1内部短接在一起	1.71V	3.6V

GW1N-2器件QN32封装LV版本电源供电要求				
名称		描述	最小值	最大值
VCCIO1、VCCIO2、VCCIO3		I/O Bank电压	1.14V	3.6V
VCC/VCCIO4/VCCIO5		核电压，I/O Bank电压VCCIO4和VCCIO5内部短接在一起	1.14V	1.26V
VCCIO0/VCCX		辅助电压VCCX和VCCIO0内部短接在一起	1.71V	3.6V

注！
epad强烈推荐接地，但epad非必须接地。

注！ VCCX不能小于最大的VCCIO。			
GW1N-2器件QN32封装UV版本电源供电要求			
名称	描述	最小值	最大值
VCCIO0、VCCIO1、VCCIO2、VCCIO3	I/O Bank电压	1.14V	3.6V
VCC/VCCIO4/VCCIO5/VCCX	核电压，辅助电压VCCX，I/O Bank电压VCCIO4和VCCIO5内部短接在一起	1.71V	3.6V
VCCX	辅助电压VCCX	1.71V	3.6V
注！ epad强烈推荐接地，但epad非必须接地。			
GW1N-2器件CS100H封装电源供电要求			
名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO0、VCCIO1、VCCIO2、VCCIO3、VCCIO4、VCCIO5	I/O Bank电压	1.71V	3.6V
VCCD/VCCIOD	VCCD，VCCIOD内部短接在一起	1.14V	1.26V
VCCX	辅助电压VCCX	1.71V	3.6V