GOWIN高云

智慧逻辑 定制未来

GW2AR 系列 FPGA 产品

封装与管脚手册

UG229-1.07, 2018-08-30

版权所有©2018 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和／或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2016/10/21	1.00	初始版本。
2016/12/28	1.01	更新管脚分布示意图。
2017/05/24	1.02	● 添加 LQ176 封装的信息； ● 修改其他封装的管脚数错误； ● 在管脚类型中增加真 LVDS 数量； ● 增加复用管脚说明； ● 将 VCCPLLR0/1 和 VCCPLLL0/1 拆分。
2017/09/13	1.03	● 修改 LQ176 封装的信息； ● 修改 LQ144 封装的尺寸； ● 更改专用引脚和复用引脚的表示方式。
2017/12/04	1.04	● 增加最大用户 I/O 信息说明； ● 更新多功能管脚定义：GCLK[n]_[x] / RPLL_[n]_fb / RPLL_[n]_in。
2018/04/03	1.05	增加关于最大用户 I/O 信息说明。
2018/05/11	1.06	MODE 管脚可以复用为 GPIO，修改用户 IO 信息。
2018/08/30	1.07	QN88 和 LQ144 的 VCCX、VCCO7 相连。

目录

目录 i
图目录 ii
表目录 iii
1 关于本手册 1
1.1 手册内容 1
1.2 适用产品 1
1.3 相关文档 1
1.4 术语、缩略语 2
1.5 技术支持与反馈 2
2 概述 3
2.1 无铅封装 3
2.2 封装和最大用户 I/O 信息 3
2.3 专用管脚 3
2.4 管脚数目 5
2.5 管脚定义说明 6
2.6 I/O BANK 说明 8
3 管脚分布示意图 9
3.1 GW2AR-18 器件管脚分布示意图 9
3.1.1 QN88 管脚分布示意图 10
3.1.2 LQ144 管脚分布示意图 11
3.1.3 LQ176 管脚分布示意图 12
4 封装尺寸 14
4.1 封装尺寸 QN88 Package Outline (10mm x 10mm) 15
4.2 封装尺寸 LQ144Package Outline (22mm x 22mm) 16
4.3 封装尺寸 LQ176 Package Outline (22mm x 22mm) 17

图目录

图 2-1 GW2AR 系列 FPGA 产品 I/O BANK 整体示意图 8
图 3-1 GW2AR-18 器件 QN88 封装管脚分布示意图 10
图 3-2 GW2AR-18 器件 LQ144 封装管脚分布示意图 11
图 3-3 GW2AR-18 器件 LQ176 封装管脚分布示意图 12
图 4-1 封装尺寸 QN88 15
图 4-2 封装尺寸 LQ144 16
图 4-3 封装尺寸 LQ176 17

表目录

表 1-1 术语、缩略语 2
表 2-1 封装和最大用户 I/O 信息 3
表 2-2 GW2AR 专用管脚 ..... **错误! 未定义书签。**
表 2-3 GW2AR 其它管脚 4
表 2-4 GW2AR-18 器件管脚数目列表 5
表 2-5 GW2AR 系列 FPGA 产品管脚定义说明 6
表 3-1 GW2AR-18 器件 QN88 非 I/O 管脚 10
表 3-2 GW2AR-18 器件 LQ144 非 I/O 管脚 11
表 3-3 GW2AR-18 器件 LQ176 非 I/O 管脚 12

1 关于本手册

1.1 手册内容

GW2AR 系列 FPGA 产品封装与管脚手册主要包括高云半导体 GW2AR 系列 FPGA 产品的封装介绍、管脚定义说明、管脚数目列表、管脚分布示意图以及封装尺寸图。

1.2 适用产品

本手册中描述的信息适用于以下产品：

GW2AR 系列 FPGA 产品：GW2AR-18。

1.3 相关文档

通过登录高云半导体网站 http://www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. GW2AR 系列 FPGA 产品数据手册
2. GW2AR-18 器件 Pinout 手册
3. GW2A(R)系列 FPGA 产品编程配置手册
4. Gowin FPGA 产品编程配置用户指南

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
QN88	QFN88	QFN88 封装
LQ144	LQFP144	LQFP144 封装
LQ176	LQFP176	LQFP176 封装

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：http://www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel：+86 755 8262 0391

2 概述

高云半导体 GW2AR 系列 FPGA 产品是高云半导体晨熙®家族第一代产品，是一款系统级封装芯片，在 GW2A 系列基础上集成了丰富容量的 SDRAM 存储芯片，同时具有 GW2A 系列高性能的 DSP 资源，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，这些内嵌的资源搭配精简的 FPGA 架构以及 55nm 工艺使 GW2AR 适用于高速低成本的应用场合。

高云半导体提供面向市场自主研发的新一代 FPGA 硬件开发环境，支持 GW2AR 系列 FPGA 产品，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

2.1 无铅封装

GW2AR 系列 FPGA 产品采用无铅工艺封装，绿色环保，符合欧盟的 RoHS 指令。GW2AR 系列 FPGA 产品物质成分信息符合 IPC-1752 标准文件。

2.2 封装和最大用户 I/O 信息

表 2-1 封装和最大用户 I/O 信息

封装	间距(mm)	尺寸(mm)	GW2AR-18
QN88	0.4	10 x 10	66
LQ144	0.5	22 x 22	120
LQ176	0.4	22 x 22	140

注！

- 本手册中 GW2AR 系列 FPGA 产品封装命名采用缩写的方式，详细信息请参考 1.4 术语、缩略语；
- JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况。

2.3 电源管脚

表 2-2 GW2AR 电源管脚

VCC	VCCO0	VCCO1	VCCO2
VCCO3	VCCO4	VCCO5	VCCO6
VCCO7	VCCX	VSS	NC
VCCPLLL0	VCCPLLL1	VCCPLLR0	VCCPLLR1

2.4 管脚数目

表 2-3 GW2AR-18 器件管脚数目列表

管脚类型		GW2AR-18		
		QN88	LQ144	LQ176
I/O 单端/差分对/LVDS[1]	BANK0	8/4/2	19/8/4	19/9/6
	BANK1	9/4/4	12/6/6	18/9/8
	BANK2[4]	4/2/1	12/6/3	12/5/3
	BANK3[4]	15/5/3	21/9/5	17/6/3
	BANK4	8/3/3	17/8/6	19/9/8
	BANK5	10/5/5	16/8/5	18/8/5
	BANK6[4]	9/4/4	12/6/3	17/8/6
	BANK7[4]	1/0/0	8/4/2	17/6/5
最大用户 I/O 总数[2]		66	120	140
差分对		27	55	60
LVDS		22	34	44
VCC		4	3	4
VCC/VCCPLLL1[3]		0	4	0
VCCX		0	0	4[4]
VCCX/ VCCO2/ VCCO6/VCCO7[3]		3	4	0
VCCO0		1	1	2
VCCO1		1	1	2
VCCO2		0	0	2[4]
VCCO3		1	2	2[4]
VCCO4		1	1	2
VCCO5		1	1	2
VCCO6		0	0	2[4]
VCCO7		0	0	2[4]
VCCPLLL0		0	1	0
VCCPLLL1		1	0	1
VCCPLLR0		0	1	1
VCCPLLR1		1	1	1
VSS		7	6	8
MODE0		1	1	1
MODE1		1	1	1
MODE2		0	1	1
EXTR		1	1	1
JTAGSEL_N		0	0	0

注！

- [1] 单端/差分/LVDS I/O 的数目包含 CLK 管脚、下载管脚；
- [2] JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况；
- [3] 引脚复用；
- [4] LQ176 封装的 VCCX,VCCO2, VCCO3, VCCO6 和 VCCO7 仅支持 2.5V。

2.5 管脚定义说明

GW2AR 系列 FPGA 产品的管脚在不同的封装中对应不同的位置。

表 2-4 中对普通用户 I/O 的管脚定义、具有多功能的管脚定义、专用管脚的定义以及其它管脚定义进行了详细说明。

表 2-4 GW2AR 系列 FPGA 产品管脚定义说明

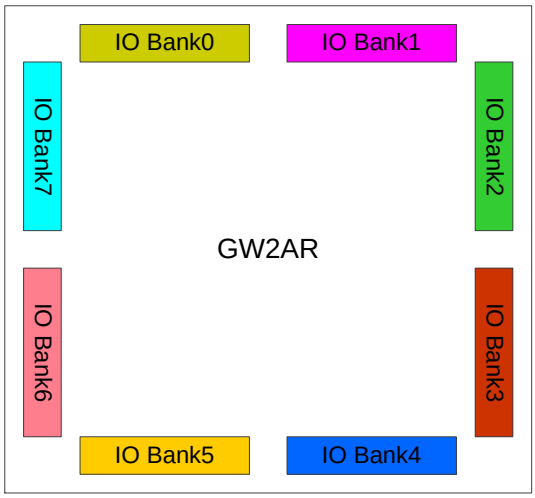
管脚名称	方向	说明
用户 I/O 管脚		
IO[End][Row/Column Number][A/B]	I/O/LVDS	[End]提供管脚在器件中的位置信息，包括 L(left) R(right) B(bottom) T(top) [Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为 T(top)或 B(bottom)，则提供列信息，即管脚对应的 CFU 列数。若[End]为 L(left)或 R(right)，则提供行信息,即管脚对应的 CFU 行数[A/B]提供差分信号对信息
		方向为 LVDS 时表示该管脚只支持真 LVDS 输出
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM 表示在用户 I/O 功能的基础上有另外的一种或多种功能。当这些功能不使用的时候，这些管脚可以用作用户 I/O
RECONFIG_N	I，内部弱上拉	低电平脉冲开始新的 GowinCONFIG 配置
READY	I/O	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
DONE	I/O	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
FASTRD_N/D3	I/O	MSPI 模式下 Flash 访问速度选择端口 FASTRD_N，低电平表示使用高速 Flash 访问模式，高电平表示使用普通 Flash 访问模式 CPU 模式下的数据端口 D3
MCLK/D4	I/O	MSPI 模式下时钟输出 MCLK CPU 模式下的数据端口 D4
MCS_N/D5	I/O	MSPI 模式下的使能信号 MCS_N，低电平有效 CPU 模式下的数据端口 D5
MI/D7	I/O	MSPI 模式下 MISO：Master 数据输入/Slave 数据输出 CPU 模式下的数据端口 D7
MO/D6	I/O	MSPI 模式下 MOSI：Master 数据输出/Slave 数据输入 CPU 模式下的数据端口 D6

管脚名称	方向	说明
SSPI_CS_N/D0	I/O	SSPI 模式下的使能信号 SSPI_CS_N，低电平有效，内部弱上拉 CPU 模式下的数据端口 D0
SO/D1	I/O	SSPI 模式下 MISO：Master 数据输入/Slave 数据输出 CPU 模式下的数据端口 D1
SI/D2	I/O	SSPI 模式下 MOSI：Master 数据输出/Slave 数据输入 CPU 模式下的数据端口 D2
TMS	I，内部弱上拉	JTAG 模式串行模式输入
TCK	I	JTAG 模式串行时钟输入，需要在 PCB 上连接 4.7K 下拉电阻
TDI	I，内部弱上拉	JTAG 模式串行数据输入
TDO	O	JTAG 模式串行数据输出
JTAGSEL_N	I，内部弱上拉	JTAG 模式选择信号，低电平有效。
SCLK	I	SSPI，SERIAL，CPU 模式下的时钟输入
DIN	I，内部弱上拉	SERIAL 模式下的数据输入
DOUT	O	SERIAL 模式下的数据输出
CLKHOLD_N	I，内部弱上拉	高电平表示 SSPI 模式和 CPU 模式操作有效 低电平表示 SSPI 模式和 CPU 模式操作无效
WE_N	I	CPU 模式下选择 D[7：0]的数据输入输出方向
GCLKT_[x]	I	全局时钟输入管脚，T(True) ，[x]：全局时钟序号
GCLKC_[x]	I	全局时钟输入管脚，C(Comp) ，[x]：全局时钟序号
LPLL_T_fb/RPLL_T_fb	I	左边/右边 PLL 反馈输入管脚，T(True)
LPLL_C_fb/RPLL_C_fb	I	左边/右边 PLL 反馈输入管脚，C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边 PLL 时钟输入管脚，T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边 PLL 时钟输入管脚，C(Comp)
MODE2	I，内部弱上拉	GowinCONFIG 配置模式选择信号端口
MODE1	I，内部弱上拉	GowinCONFIG 配置模式选择信号端口
MODE0	I，内部弱上拉	GowinCONFIG 配置模式选择信号端口
EXTR	NA	外接 10K 1%电阻到地
其它管脚		
NC	NA	预留未使用
VSS	NA	Ground 管脚
VCC	NA	核电压供电管脚
VCCO#	NA	I/O BANK#的 I/O 电压供电管脚
VCCX	NA	辅助电压供电管脚
VCCPLLL0/1	NA	左边 PLL0/1 电压供电管脚，LQFP 单独封装出来
VCCPLLR0/1	NA	右边 PLL0/1 电压供电管脚，LQFP 单独封装出来
VCCPLLL	NA	PBGA 封装：左边 PLL0/1 电压供电管脚简称
VCCPLLR	NA	PBGA 封装：右边 PLL0/1 电压供电管脚简称

2.6 I/O BANK 说明

GW2AR 系列 FPGA 产品分为八个 I/O BANK 区，图 2-1 为 GW2AR 系列 FPGA 产品的 I/O BANK 整体示意图。

图 2-1 GW2AR 系列 FPGA 产品 I/O BANK 整体示意图



封装与管脚手册列举了 GW2AR 系列 FPGA 产品每种封装的管脚分布示意图。GW2AR 系列 FPGA 产品的八个 BANK 用八种颜色区分。

用户 I/O 和有复用功能的 I/O、电源、地和专用管脚使用不同的符号和颜色来区分。GW2AR 系列 FPGA 产品管脚示意图中管脚定义如下所示：

- 黄色填充表示 BANK0 的管脚，紫色填充表示 BANK1 的管脚；
- 绿色填充表示 BANK2 的管脚，红色填充表示 BANK3 的管脚；
- 蓝色填充表示 BANK4 的管脚，棕色填充表示 BANK5 的管脚；
- 粉色填充表示 BANK6 的管脚，青色填充表示 BANK7 的管脚；
- “ ”表示 BANK0 中的单端 I/O，填充颜色随 BANK 变化；
- “ ”表示 BANK0 中差分 I/O 的 PADA，填充颜色随 BANK 变化；
- “ ”表示 BANK0 中差分 I/O 的 PADB，填充颜色随 BANK 变化；
- “ ”表示 BANK1 中和下载配置相关的复用的差分 I/O 的 PADA，填充颜色随 BANK 变化；
- “ ”表示 VCC，填充颜色不变；
- “ ”表示 VCCX，填充颜色不变；
- “ ”表示 VCCO3，填充颜色随 I/O BANK 变化；
- “ ”表示 VCCO2，填充颜色随 I/O BANK 变化；
- “ ”表示 VSS，填充颜色不变；
- “ ”表示 MODE；
- “ ”表示 NC；
- “ ”表示专用管脚 EXTR。

3 管脚分布示意图

3.1 GW2AR-18 器件管脚分布示意图

3.1.1 QN88 管脚分布示意图

图 3-1 GW2AR-18 器件 QN88 封装管脚分布示意图

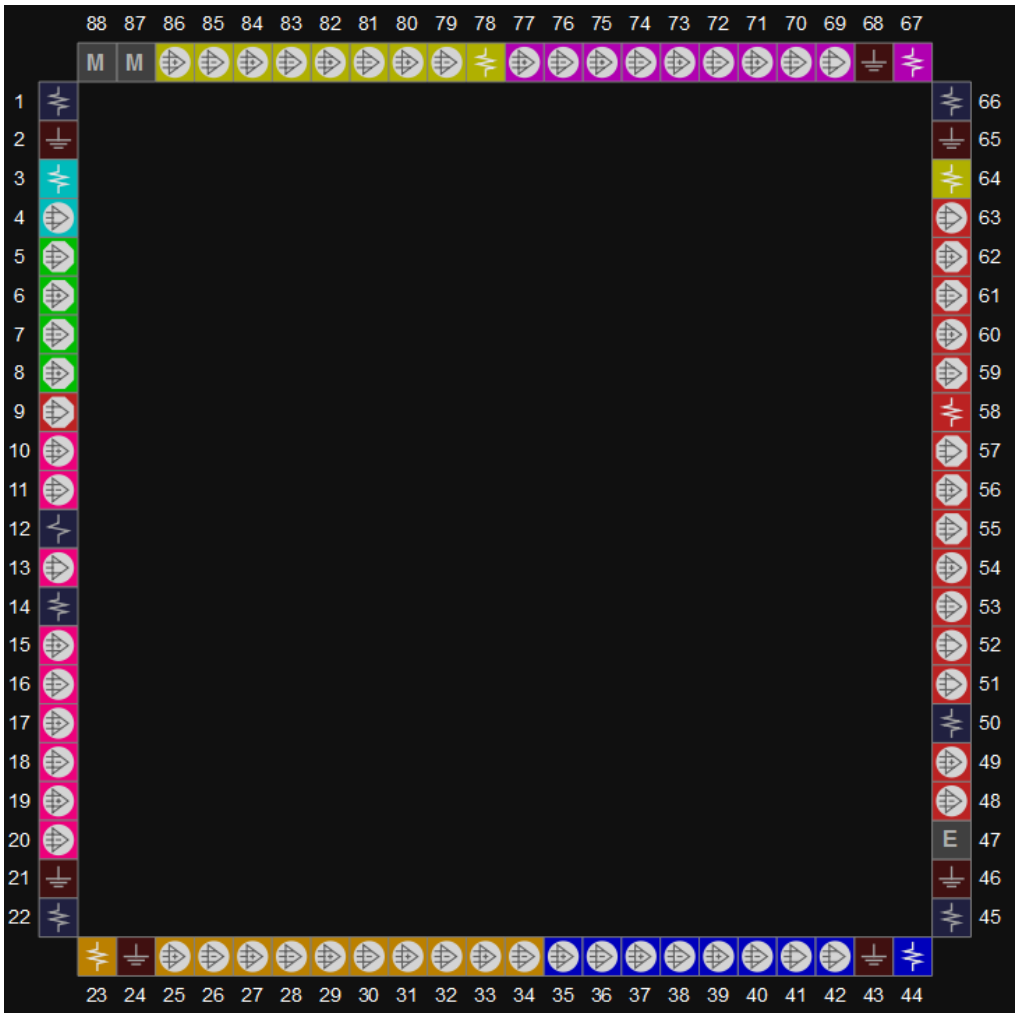


表 3-1 GW2AR-18 器件 QN88 非 I/O 管脚

VCC	1, 22, 45, 66
VCCO0	78
VCCO1	67
VCCO3	58
VCCO4	44
VCCO5	23
VCCX/ VCCO2/ VCCO6/ VCCO7	3,12, 64
VCCPLLL1	14
VCCPLLR1	50
VSS	2, 21, 24, 43, 46, 65, 68
EXTR	47
MODE	87, 88

3.1.2 LQ144 管脚分布示意图

图 3-2 GW2AR-18 器件 LQ144 封装管脚分布示意图

表 3-2 GW2AR-18 器件 LQ144 非 I/O 管脚

VCC/VCCPLLL1	1, 36, 73, 108
VCCO0	127
VCCO1	109
VCCO3	77, 91
VCCO4	55
VCCO5	37
VCCX/ VCCO2/ VCCO6/ VCCO7	5,19,31, 103
VCCPLLL0	8
VCCPLLR0	104
VCCPLLR1	81
VSS	2, 17, 53, 74, 89, 107
EXTR	75
MODE	142, 143, 144

3.1.3 LQ176 管脚分布示意图

图 3-3 GW2AR-18 器件 LQ176 封装管脚分布示意图

表 3-3 GW2AR-18 器件 LQ176 非 I/O 管脚

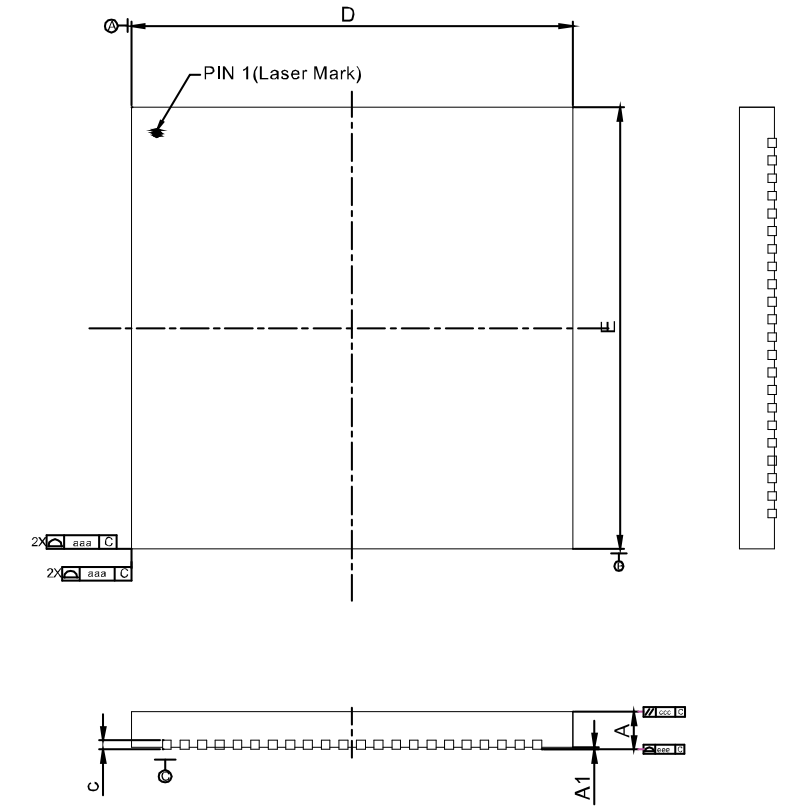
VCC	1, 44, 89, 132
VCCO0	155, 176
VCCO1	133, 153
VCCO2	118, 130
VCCO3	95, 110
VCCO4	67, 88
VCCO5	45, 65
VCCO6	22, 40
VCCO7	5, 13
VCCX	23, 66, 115, 154
VCCPLLL0	N/A
VCCPLLL1	34
VCCPLLR0	127
VCCPLLR1	94

VSS	2, 43, 46, 87, 90, 131, 134, 175
EXTR	91
MODE	111, 112, 113

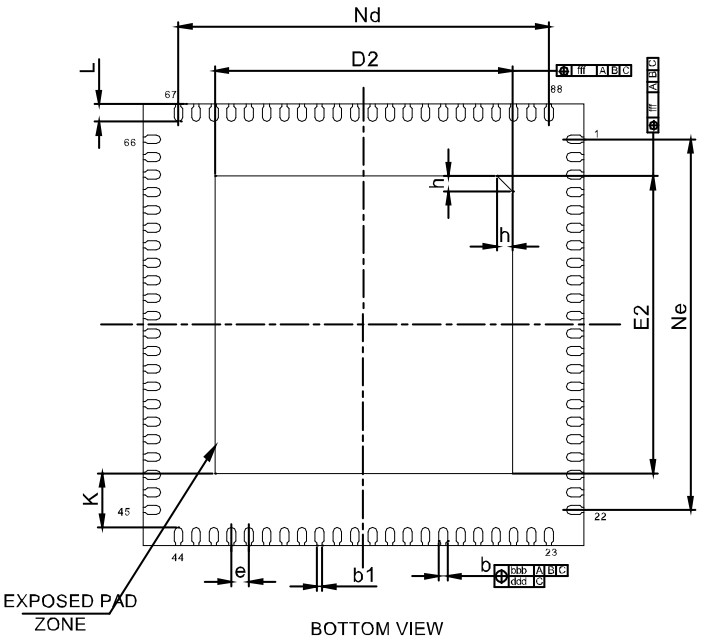
4封装尺寸

4.1 封装尺寸 QN88 Package Outline (10mm x 10mm)

图 4-1 封装尺寸 QN88

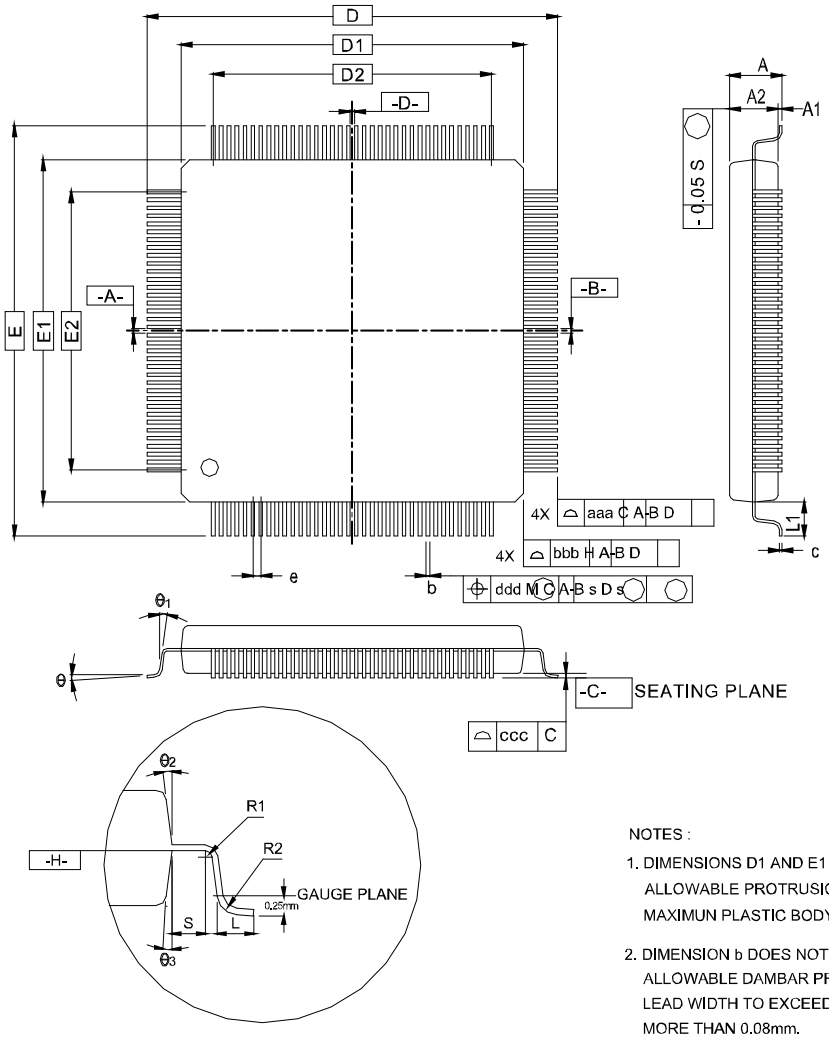


SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.80	0.85	0.90
A1	0	0.02	0.05
b	0.15	0.20	0.25
b1		0.12REF	
c	0.18	0.20	0.25
D	9.90	10.00	10.10
D2	6.64	6.74	6.84
e		0.40BSC	
Nd		8.40BSC	
E	9.90	10.00	10.10
E2	6.64	6.74	6.84
Ne		8.40BSC	
L	0.30	0.40	0.50
K	0.20	-	-
h	0.30	0.35	0.40
aaa		0.10	
bbb		0.07	
ccc		0.10	
ddd		0.05	
eee		0.08	
fff		0.10	



4.2 封装尺寸 LQ144Package Outline (22mm x 22mm)

图 4-2 封装尺寸 LQ144



CONTROL DIMENSIONS ARE IN MILLIMETERS.

SYMBOL	MILLIMETER			INCH		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	—	—	1.60	—	—	0.063
A1	0.05	—	0.15	0.002	—	0.006
A2	1.35	1.40	1.45	0.053	0.055	0.057
D/E	22.00 BSC.			0.866 BSC.		
D1/E1	20.00 BSC.			0.787 BSC.		
b	0.17	0.20	0.27	0.007	0.008	0.011
e	0.50 BSC.			0.020 BSC.		
D2/E2	17.50			0.689		
R_2	0.08	—	0.20	0.003	—	0.008
R_1	0.08	—	—	0.003	—	—
θ	0°	3.5°	7°	0°	3.5°	7°
θ_1	0°	—	—	0°	—	—
θ/θ_3	11°	12°	13°	11°	12°	13°
c	0.09	—	0.20	0.004	—	0.008
L	0.45	0.60	0.75	0.018	0.024	0.030
L_1	1.00 REF			0.039 REF		
S	0.20	—	—	0.008	—	—
aaa/bbb	0.20			0.008		
ccc/ddd	0.08			0.003		

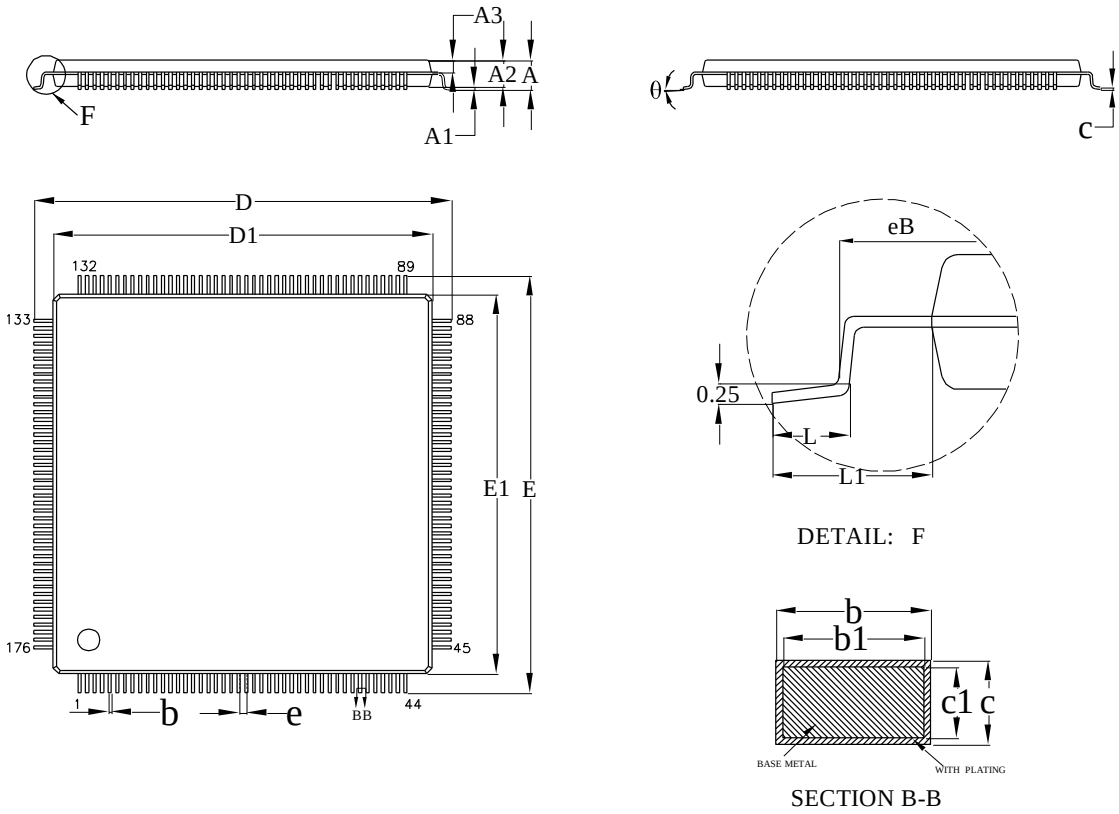
NOTES :

1. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION.
   ALLOWABLE PROTRUSION IS 0.25mm PER SIDE. D1 AND E1 ARE
   MAXIMUN PLASTIC BODY SIZE DIMENSIONS INCLUDING MOLD MISMATCH.

2. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION.
   ALLOWABLE DAMBAR PROTRUSION SHALL NOT CAUSE THE
   LEAD WIDTH TO EXCEED THE MAXIMUM b DIMENSION BY
   MORE THAN 0.08mm.
   DAMBAR CAN NOT BE LOCATED ON THE LOWER RADIUS
   OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSION
   AND AN ADJACENT LEAD IS 0.07mm FOR 0.4mm and
   0.5mm PITCH PACKAGES.

4.3 封装尺寸 LQ176 Package Outline (22mm x 22mm)

图 4-3 封装尺寸 LQ176



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	0.10	0.15
A2	1.30	1.40	1.50
A3	0.59	0.64	0.69
b	0.14	—	0.22
b1	0.13	0.16	0.19
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	21.80	22.00	22.20
D1	19.90	20.00	20.10
E	21.80	22.00	22.20
E1	19.90	20.00	20.10
e	0.40BSC		
eB	21.15	—	21.40
L	0.45	0.60	0.75
L1	1.00REF		
θ	0	—	7°

GOWIN高云
智慧逻辑 定制未来