

# GW1N/GW1NR 系列 FPGA 产品原理图指导手册

## 简介

使用高云半导体 GW1N/GW1NR 系列 FPGA 产品做电路板设计时需遵循一系列规则。本文档详细描述了 GW1N/GW1NR 系列 FPGA 产品相关的一些器件特性和特殊用法，并给出校对表用于指导原理图设计，主要内容如下：

- 电源
- JTAG 下载
- MSPI 下载
- 时钟管脚
- 差分管脚
- READY、RECONFIG\_N、DONE
- MODE
- JTAGSEL\_N
- FASTRD\_N
- 配置管脚复用
- 外接晶振电路参考
- GW1NR Bank 电压
- 各器件支持的配置模式
- 管脚分配

# 电源

## 1. 概述

GW1N/GW1NR 系列 FPGA 产品支持两个版本,即 LV 版本和 UV 版本。LV 版本支持 1.2V 核电压,UV 版本内置线性稳压单元,支持 1.8V, 2.5V 和 3.3V 核电压。LV 版本和 UV 版本功能相同并且管脚兼容。

电压种类包括  $V_{CC}$  核电压、 $V_{CCX}$  辅助电压和  $V_{CCIO}$  Bank 电压。

$V_{CCX}$  为辅助电源,用于给芯片内部部分电路供电,需要接 2.5V 或者 3.3V 电压,如果  $V_{CCX}$  电压不接,会影响 IO、OSC、BSRAM 等电路工作,造成芯片无法使用。

## 2. 电源指标

核电压  $V_{CC}$  和  $V_{CCO3}$  决定了 GW1N/GW1NR 系列 FPGA 产品内部上电复位/置位。 $V_{CCO0}\sim V_{CCO2}$  用于其他 IO BANK 的供电。电源电压必须达到推荐工作范围内,器件才能正常工作。

表 1 列出了各电源电压的推荐工作范围。

**表 1 推荐工作范围**

名称	描述	最小值	最大值
$V_{CC}$	LV 版本电源电压	1.14V	1.26V
	UV 版本电源电压	2.375V	3.465V
$V_{CCO}$	LV 版本 I/O Bank 电源电压	1.14V	3.6V
	UV 版本 I/O Bank 电源电压	2.375V	3.465V
$V_{CCX}$	LV 版本辅助电源电压	2.375V	3.465V
	UV 版本辅助电源电压	2.375V	3.465V

## 3. 总体功耗

针对特定密度、封装和资源利用率,可以使用云源软件内嵌的 GPA 工具进行功耗评估和分析。

## 4. 上电时间

电源上电时间参考范围值: 0.2ms ~2ms。

注!

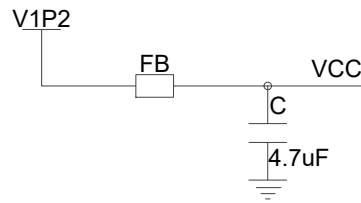
- 如果上电时间 > 2ms, 则需要确保上电顺序为先  $V_{CC}$ , 后  $V_{CCX}/V_{CCIO}$ ;
- 如果上电时间 < 0.2ms, 建议增加电容以延长上电时间。

## 5. 电源滤波

每一个 FPGA 电源输入脚就近连接一个 0.1uF 陶瓷电容到地;

对于  $V_{CC}$  核电压输入端要重点进行噪声处理, 具体参考如:

图 1 V<sub>CC</sub> 核电压输入端噪声处理



其中 FB 为磁珠，参考型号 MH2029-221Y，4.7uF 为陶瓷电容，精度不  
低于±10%。

## JTAG 下载

### 1. JTAG 概述

JTAG 下载是将比特流数据下载到 FPGA 的 SRAM、片内 FLASH 或片  
外 FLASH 中。

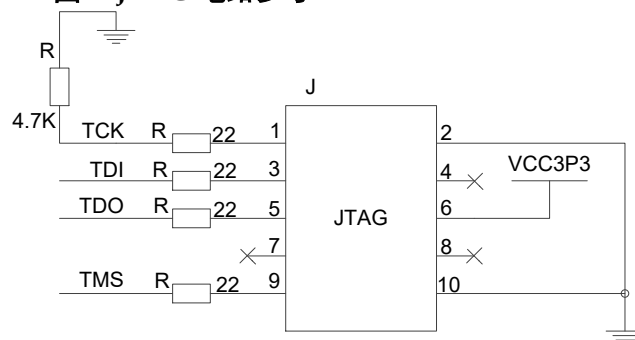
### 2. 信号定义

表 2 JTAG 配置模式信号定义

名称	I/O 类型	说明
TCK	I	JTAG 串行时钟输入
TMS	I, 内部弱上拉	JTAG 串行模式输入
TDI	I, 内部弱上拉	JTAG 串行数据输入
TDO	O	JTAG 串行数据输出

### 3. JTAG 电路参考

图 2 JTAG 电路参考



注！

- 电阻精度不低于±5%；
- JTAG 插座第 6 脚的电源，根据实际情况可调整为 VCC1P2、VCC1P5、VCC1P8、  
VCC2P5。

## MSPI 下载

### 1. MSPI 概述

MSPI 配置模式，即 FPGA 作为主器件，通过 SPI 接口主动从外部 Flash 读取配置数据到 FPGA 的 SRAM 中。

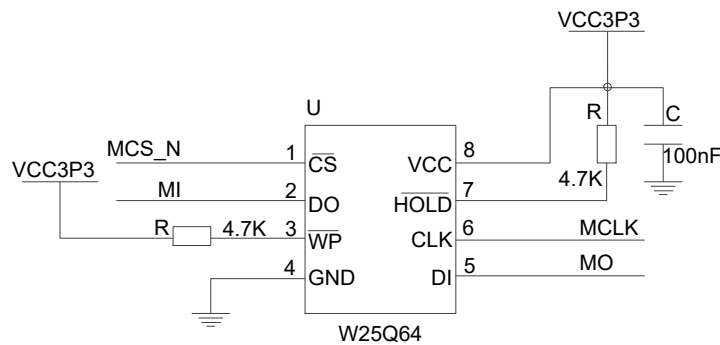
### 2. 信号定义

表 3 MSPI 配置模式的信号定义

名称	I/O 类型	说明
MCLK	O	MSPI 模式下时钟输出
MCS_N	O	MSPI 模式下的使能信号 MCS_N，低电平有效
MI	I	MSPI 模式下数据输入
MO	O	MSPI 模式下数据输出

### 3. MSPI 电路参考

图 3 MSPI 电路参考



注!

串行 Flash 芯片型号仅供参考，可选用其他同指标的串行 Flash；电阻精度不低于±5%

## 时钟管脚

### 1. 概述

时钟管脚包括 GCLK 全局时钟管脚和 PLL 时钟管脚

- **GCLK:** GCLK 在 GW1N/GW1NR 系列产品中按象限分布，分成 L、R 两个象限，每个象限提供 8 个 GCLK 网络，每个 GCLK 可选时钟源包括专用的时钟输入管脚和普通的布线资源单元（CRU），使用专用的时钟输入管脚可以取得更好的时钟性能；
- **PLL:** 通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。

### 2. 信号定义

表 4 时钟管脚的信号定义

名称	I/O 类型	说明
GCLKT_[x]	I/O	全局时钟输入管脚，T(True)，[x]: 全局时钟序号

名称	I/O 类型	说明
GCLKC_[x]	I/O	全局时钟输入管脚, C(Comp) , [x]: 全局时钟序号
LPLL_T_fb/RPLL_T_fb	I	左边/右边 PLL 反馈输入管脚, T(True)
LPLL_C_fb/RPLL_C_fb	I	左边/右边 PLL 反馈输入管脚, C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边 PLL 时钟输入管脚, T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边 PLL 时钟输入管脚, C(Comp)

### 3. 时钟输入选择

如果外部时钟作为 PLL 时钟输入, 建议从专用 PLL 管脚输入, 单端输入时建议从 PLL\_T 端输入。

GCLK 是全局时钟, 直接连接到器件的所有资源, 单端输入时建议从 GCLK\_T 端输入。

## 差分管脚

### 1. 概述

差分传输是一种信号传输的技术, 区别于传统的一根信号线一根地线的做法, 差分传输在这两根线上都传输信号, 这两个信号的振幅相等, 相位相同, 极性相反。

### 2. LVDS

LVDS 即低电压差分信号, 采用极低的电压摆幅高速差动传输数据, 具有低功耗、低误码率、低串扰和低辐射等特点, 不同封装的差分信号不同, 具体信息请参考各个封装 pinout 手册的 True LVDS。

注!

- GW1N/GW1NR 分区 1/2/3 支持 True LVDS 差分输出; GW1N/GW1NR 分区 0 支持内部 100 欧姆输入差分匹配电阻;
- 如果使用分区 1/2/3 作为差分输入, 需要外接 100 欧姆端接电阻;
- PCB 设计时差分线阻抗控制在 100 欧姆左右。

## READY、RECONFIG\_N、DONE

### 1. 概述

RECONFIG\_N, 相当于 FPGA 编程配置的复位功能, RECONFIG\_N 拉低时 FPGA 无法进行任何方式的配置操作。

作为配置管脚时, 需要一个脉冲宽度不少于 25ns 的低电平启动 GowinCONFIG 配置模式, 使器件按照 MODE 设置值重新加载比特流数据。用户也可以通过编写逻辑控制此管脚, 从而按照自身需求触发器件进行重新配置。

READY, 只有 READY 拉高时 FPGA 才能进行配置操作, READY 信号

拉低后需采用器件上电或触发 RECONFIG\_N 的方式恢复状态。

作为配置管脚时，若为 output 类型，可以指示 FPGA 当前能否进行配置。当器件具备配置条件时，READY 信号为高电平；若配置失败，则 READY 信号变为低电平。若为 input 类型，用户可通过自身逻辑或在器件外部人为拉低 READY 信号以延迟配置过程。

DONE，FPGA 配置成功的标志信号，配置成功后 DONE 信号拉高。

作为配置管脚时，若为 output 类型，可以指示 FPGA 当前配置过程是否成功。当配置成功时，DONE 信号为高电平，器件进入工作状态；配置过程未完成或配置失败时，DONE 信号保持低电平状态。若为 input 类型，用户可通过自身逻辑或在器件外部人为拉低 DONE 信号以延迟其进入用户模式。

RECONFIG\_N 或 READY 保持低电平状态时，DONE 信号也会保持在低电平状态。使用 JTAG 电路配置 SRAM 的过程中，DONE 信号的值没有参考意义。

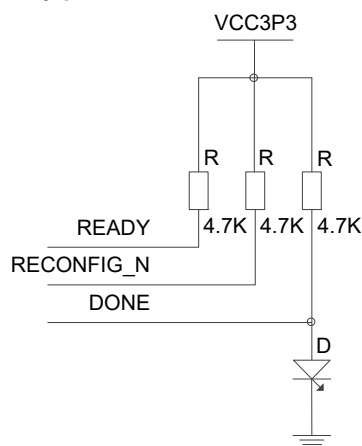
## 2. 信号定义

表 5 信号定义

名称	I/O 类型	说明
RECONFIG_N	I, 内部弱上拉	低电平脉冲：开始新的 GowinCONFIG 配置
READY	I/O	高电平：当前可以对器件进行编程配置
		低电平：无法对器件进行编程配置
DONE	I/O	高电平：成功完成编程配置
		低电平：未完成编程配置或编程配置失败

## 3. READY、RECONFIG\_N、DONE 参考电路

图 4 READY、RECONFIG\_N、DONE 参考电路



注！

- 上拉电源为对应配置管脚位置的 Bank 电压值 VCCO3；
- 电阻精度不低于±5%。

# MODE

## 1. 概述

MODE 包括 MODE0、MODE1、MODE2，GowinCONFIG 配置模式选择信号。FPGA 上电或低电平脉冲触发 RECONFIG\_N 时，器件根据 MODE 值进入相应的 GowinCONFIG 状态。由于每个封装类型的管脚数目不同，有些器件的 MODE 管脚未完全封装出来，未封装出来的 MODE 管脚在器件内部已接地，具体请参考相应器件的 PINOUT 手册。

## 2. 信号定义

表 6 信号定义

名称	I/O 类型	说明
MODE2	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口
MODE1	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口
MODE0	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口

## 3. 模式选择

表 7 模式选择

配置模式		MODE[2:0]	相关说明
JTAG		XXX	外部 Host 通过 JTAG 接口对 GW1N 系列 FPGA 产品进行配置
GowinCONFIG	AUTO BOOT	000	FPGA 从内置 Flash 读取配置数据进行配置
	SSPI	001	外部 Host 通过 SPI 接口对 GW1N 系列 FPGA 产品进行配置
	MSPI	010	GW1N 作为 Master, 通过 SPI 接口从外部 Flash (或其他器件) 读取配置数据进行配置
	DUAL BOOT	100	FPGA 优先选择内置 Flash 读取配置数据进行配置, 内置 Flash 配置失败时选择从外部 Flash 进行配置
	SERIAL	101	外部 Host 通过 DIN 接口对 GW1N 系列 FPGA 产品进行配置
	CPU	111	外部 Host 通过 DBUS 接口对 GW1N 系列 FPGA 产品进行配置

## JTAGSEL\_N

### 1. 概述

JTAG 模式选择信号。若在云源软件中设置 JTAG 管脚复用为 GPIO，则器件上电后进行一次成功的配置后 JTAG 管脚变为 GPIO，JTAG 配置功能失效，用户可通过拉低 JTAGSEL\_N 进行恢复；如果用户未设置 JTAG 管脚复用，则 JTAG 配置功能一直可用。

### 2. 信号定义

表 8 信号定义

管脚名称	I/O 类型	说明
JTAGSEL_N	I,内部弱上拉	将 JTAG 管脚从 GPIO 恢复为配置管脚，低电平有效

注！

JTAGSEL\_N 管脚与 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）设置为 GPIO 时存在互斥关系：JTAGSEL\_N 设置为 GPIO 时，JTAG 管脚只能作为配置管脚；JTAG 管脚设置为 GPIO 时，JTAGSEL\_N 只能作为配置管脚。

## FASTRD\_N

### 1. 概述

MSPI 配置模式读取 SPI Flash 速度选择信号。当 FASTRD\_N 为高电平时为普通读取模式；当 FASTRD\_N 为低电平时为高速读取模式。各个厂家的 Flash 高速读取操作指令不同，具体请参考相应 Flash 的数据手册。

### 2. 信号定义

表 9 信号定义

管脚名称	I/O 类型	说明
FASTRD_N	I	READY 信号上升沿采样 高电平：普通 Flash 访问模式 低电平：高速 Flash 访问模式

注！

高速 Flash 访问模式：时钟频率大于 30MHz。

## 配置管脚复用

### 1. 概述

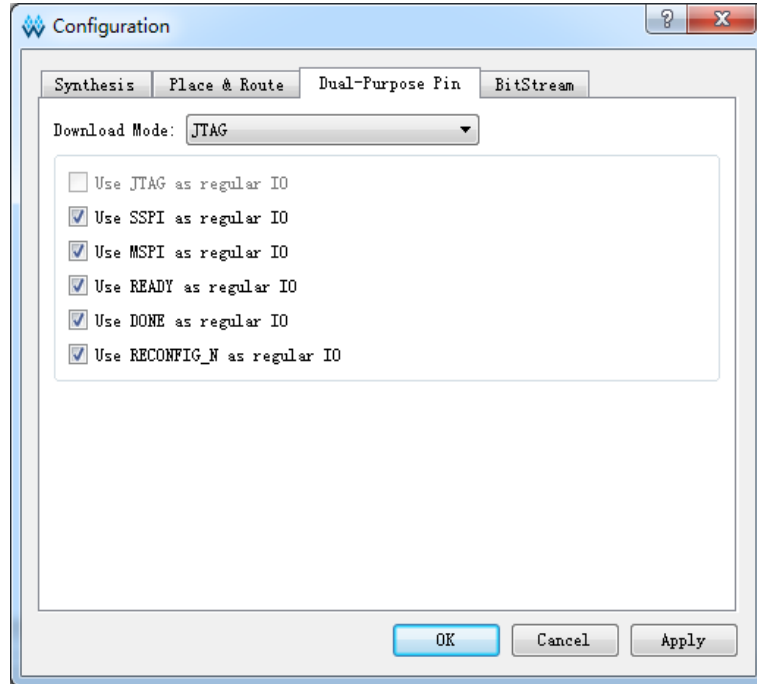
配置管脚复用指的是在上电瞬间执行的是配置功能，下载完比特流文件后作为普通 IO 使用。

通过 Gowin 云源软件配置管脚复用：

- 打开 Gowin 云源软件中相应的工程；
- 在菜单栏中选择“Project>Configuration>Dual-Purpose Pin”，如图 5 所示；
- 勾选对应选项设置配置管脚的复用情况。



图 5 配置管脚复用



## 2. 管脚复用

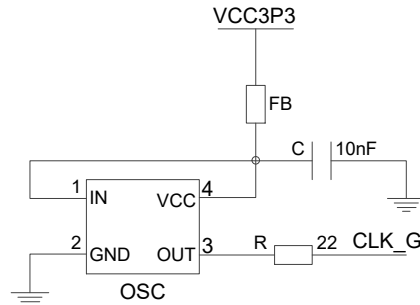
- SSPI: 作为 GPIO 时, 可用作 input 或 output 类型;
- MSPI: 作为 GPIO 时, 可用作 input 或 output 类型;
- RECONFIG\_N: 作为 GPIO 时, 只能用作 output 类型。为保障配置过程顺利进行, 用户复用 RECONFIG\_N 管脚时需将其初始值置为高电平;
- READY: 作为 GPIO 时, 可用作 input 或 output 类型。READY 用作 input 类型的 GPIO 时需保证配置开始前其初始值为 1, 否则 FPGA 无法进行配置;
- DONE: 作为 GPIO 时, 可用作 input 或 output 类型。DONE 用作 input 类型的 GPIO 时需保证配置开始前其初始值为 1, 否则配置结束后 FPGA 无法进入用户模式;
- JTAG: 作为 GPIO 时, 可用作 input 或 output 类型;
- JTAGSEL\_N: 作为 GPIO 时, 可用作 input 或 output 类型。
- MODE: 作为 GPIO 时, 可用作 input 或 output 类型。为保障配置过程顺利进行, 用户复用 MODE 管脚时需要保证在配置的时候 (上电或者低电平脉冲触发 RECONFIG\_N) 提供正确的配置模式值。MODE 最多可复用三个管脚, 未封装出来的器件内部接地, 具体请参考相应器件的 PINOUT 手册。不同的配置模式对应的 MODE 值请参考相应器件的配置与编程手册。

### 注!

如果 IO 口数量够使用, 优先使用非复用管脚。

## FPGA 外接晶振电路参考

图 6 FPGA 外接晶振电路



其中 FB 为磁珠，参考型号 MH2029-221Y；电阻精度不低于 $\pm 5\%$ ；电容精度不低于 $\pm 10\%$

## GW1NR Bank 电压

由于 GW1NR 内部 SIP SDRAM 存储芯片，所以与其连接的 BANK 电压会有固定值要求，具体如下：

### 1. GW1NR-4 QN88 封装

表 10 GW1NR-4 QN88 封装

名称	描述	最小值	最大值
VCC00/2	I/O Bank 电源电压，与 SDR SDRAM 接口相连	3.135V	3.465V

### 2. GW1NR-9 QN88 封装

表 11 GW1NR-9 QN88 封装

名称	描述	最小值	最大值
VCC00/2	I/O Bank 电源电压，与 SDR SDRAM 接口相连	3.135V	3.465V

### 3. GW1NR-9 LQ144 封装

表 12 GW1NR-9 LQ144 封装

名称	描述	最小值	最大值
VCC01/3	I/O Bank 电源电压，与 DDR SDRAM 接口相连	2.375V	2.625V

## 各器件支持的配置模式

### 1. GW1N1

表 13 GW1N1 配置模式

配置模式	JTAG	AUTO BOOT	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
CS30	√	√	√	--	--	--	--
QN32	√	√	√	--	--	--	--

配置模式	JTAG	AUTO BOOT	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
QN48	√	√	√	√	--	--	--
LQ100	√	√	√	--	--	--	--
LQ144	√	√	√	√	--	--	--
MG160	√	√	√	√	√	√	√
PG204	√	√	√	√	√	√	√

## 2. GW1N4

**表 14 GW1N4 配置模式**

配置模式	JTAG	AUTO BOOT	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
QN32	√	√	--	√	--	--	--
QN48	√	√	--	√	--	--	--
CS72	√	√	√	--	--	--	--
QN88	√	√	--	√	--	--	--
LQ100	√	√	√	--	--	--	--
LQ144	√	√	√	√	--	--	--
MG160	√	√	√	√	√	√	√
PG256	√	√	√	√	√	√	√

## 3. GW1N9

**表 15 GW1N9 配置模式**

配置模式	JTAG	AUTO BOOT	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
QN48	√	√	--	--	--	--	--
QN88	√	√	--	√	--	--	--
LQ100	√	√	√	--	--	--	--
LQ144	√	√	√	√	--	--	--
MG160	√	√	√	√	√	√	√
LQ176	√	√	√	√	√	√	√
PG256	√	√	√	√	√	√	√
UG332	√	√	√	√	√	√	√

## 4. GW1NR4

**表 16 GW1NR4 配置模式**

配置模式	JTAG	AUTO BOOT	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
QN88	√	√	--	√	--	--	--

## 5. GW1NR9

表 17 GW1NR9 配置模式

配置模式	JTAG	AUTO BOOT	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
QN88	√	√	--	√	--	--	--
LQ144	√	√	√	√	--	--	--

## 管脚分配

在电路设计前需要对 FPGA 的管脚分配进行全局统筹，针对应用结合器件架构特性做出合理的选择，包括 IO LOGIC、全局时钟资源、PLL 资源等。

GW1N（GW1N-1 除外）/GW1NR Bank1/2/3 支持真 LVDS 输出，当使用真 LVDS 输出时，必须把  $V_{CC0}$  配置成 2.5V 或 3.3V，同时参考 GW1N/GW1NR 系列 FPGA 产品 *Pinout 手册* 确保相应的管脚支持真 LVDS 输出。

为支持 SSTL，HSTL 等 I/O 输入标准，每个 Bank 提供一个独立的参考电压 ( $V_{REF}$ )，用户可以选择使用 IOB 内置的  $V_{REF}$  源(等于  $0.5 \cdot V_{CC0}$ )，也可选择外部的  $V_{REF}$  输入(使用 Bank 中任意一个 I/O 管脚作为外部  $V_{REF}$  输入)。

## 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: 00 86 0755 82620391

## 版本信息

日期	版本	说明
2016/12/13	1.0	初始版本。
2018/01/02	1.1	新增如下相关内容： <ul style="list-style-type: none"><li>● 配置管脚复用；</li><li>● FPGA 外接晶振电路参考；</li><li>● GW1NR Bank 电压；</li><li>● 各器件支持的配置模式。</li></ul>
2018/04/23	1.2	修改上电时间参考范围为“0.2ms~2ms”并增加备注信息。
06/29/2018	1.3	统一修改原理图风格。

## **版权所有© 2018 广东高云半导体科技股份有限公司**

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。