

GW1N/GW1NR 系列 FPGA 产品原理图指导手册

简介

使用高云®半导体 GW1N/GW1NR 系列 FPGA 产品做电路板设计时需遵循一系列规则。本文档详细描述了 GW1N/GW1NR 系列 FPGA 产品相关的一些器件特性和特殊用法，并给出校对表用于指导原理图设计，主要内容如下：

- 电源
- JTAG 下载
- MSPI 下载
- 时钟管脚
- 差分管脚
- READY、RECONFIG_N、DONE
- MODE
- JTAGSEL_N
- FASTRD_N
- 配置管脚复用
- FPGA 外接晶振电路参考
- Bank 电压
- 各器件支持的配置模式
- 管脚分配

电源

概述

GW1N/GW1NR 系列 FPGA 产品支持两个版本,即 LV 版本和 UV 版本。LV 版本支持 1.2V 核电压,UV 版本内置线性稳压单元,支持 1.8V, 2.5V 和 3.3V 核电压。LV 版本和 UV 版本功能相同并且管脚兼容。

电压种类包括 VCC 核电压、VCCX 辅助电压和 VCCIO Bank 电压。

VCCX 为辅助电源,用于给芯片内部部分电路供电,需要接 2.5V 或者 3.3V 电压,如果 VCCX 电压不接,会影响 IO、OSC、BSRAM 等电路工作,造成芯片无法使用。

电源指标

GW1N(R)系列器件有多个不同的电源轨,VCC、VCCX、VCCIO。为了释放上电复位,必须给 VCC、VCCX 和特定的 VCCIO 供电。不同器件所需的 VCCIO 电源轨,请参考 [UG290, Gowin FPGA 产品编程配置手册](#)第 4.1 章“上电时序”中的表 4-1 “不同器件 POR 模块监控电源轨”。VCCX 应始终不低于 VCCIO,否则 VCCIO 上会存在漏电。

电源电压的推荐工作范围,请参考下列 Pinout 中的“Power” sheet。

- [UG107, GW1N-1 器件 Pinout 手册](#)
- [UG167, GW1N-1S 器件 Pinout 手册](#)
- [UG174, GW1N-1P5 器件 Pinout 手册](#)
- [UG171, GW1N-2 器件 Pinout 手册](#)
- [UG105, GW1N-4 器件 Pinout 手册](#)
- [UG114, GW1N-9 器件 Pinout 手册](#)
- [UG804, GW1NR-1 器件 Pinout 手册](#)
- [UG805, GW1NR-2 器件 Pinout 手册](#)
- [UG116, GW1NR-4 器件 Pinout 手册](#)
- [UG803, GW1NR-9 器件 Pinout 手册](#)

上电时序

理论上,器件可以以任何顺序上电和下电。但是在上电过程中,如果 VCCX 低于 VCCIO, VCCIO 可能会产生数百毫安的瞬时电流。这个高电流可能一直持续到 VCCX 不低于 VCCIO 为止。为了防止这种意外电流,我们建议 VCCX 在 VCCIO 之前上电或者保证同时上电。

VCC 没有特殊的上电顺序要求。

上电时间

VCC 电源上电时间的推荐参考范围值为 0.2ms ~2ms。VCCIO 和 VCCX 电源上电时间的推荐参考范围请参考 [DS100, GW1N 系列 FPGA 产品数据手册](#) 第 4.1.3 章“电源上升斜率”的“电源上升斜率”表。若满足下面电源上电时间的计算方法,可忽略上文提及的“电源上升斜率”表(除了 VCCIO)。

注!

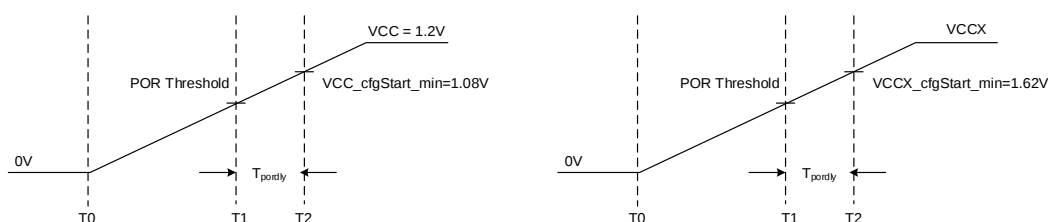
- 如果上电时间 > 2ms, 则需要确保上电顺序为先 VCC, 后 VCCX/VCCIO; 或根据电源斜坡率的计算公式计算安全电源上电时间。
- 如果上电时间 < 0.2ms, 建议增加电容以延长上电时间。

电源斜坡率

GW1N 器件释放 POR 后, 配置逻辑将访问内部闪存以读出工厂区数据进行初始化。为确保内部闪存在该读操作前已经准备好, 对电源上电时间有要求。

内部闪存由 VCC 和 VCCX 供电。在闪存规格中, 读取操作需 $VCC \geq 1.08V$ 且 $VCCX \geq 1.62V$ 。器件开始初始化时, 系统电源轨必须满足该条件。

图 1 电源斜坡波形



VCC 和 VCCX 的 POR 阈值电压参考 [DS100, GW1N 系列 FPGA 产品数据手册](#) 第 4.1.5 章“POR 特性”中的表 4-5“POR 电压参数”。POR 延迟时间: $T_{pordly-min}=500\mu s$ 、 $T_{pordly-typ}=750\mu s$ 、 $T_{pordly-max}=1ms$ 。

计算电源斜坡时间, 首先需知道将最后达到 POR 触发点的电源轨。这就是 T1, 系统 POR 将被释放。然后得到 T2, 相当于 $T1 + T_{pordelay}$, 这时器件开始访问内部闪存。需确保在 T2 时 $VCC \geq 1.08V$ 且 $VCCX \geq 1.62V$ 。

以 GW1N-4 为例, 假设 V_{cc} 最后上电, VCCX 和 VCCIO 在 VCC 之前是稳定的, 那么 POR 释放时间将取决于 VCC 电源轨。如果斜坡时间为 3.3ms, 根据 [DS100, GW1N 系列 FPGA 产品数据手册](#) 第 4.1.5 章“POR 特性”中的表 4-5“POR 电压参数”, VCC 的 POR 阈值约为 0.9V。

$$T1 = 3.3ms * 0.9V/1.2V = 2.475ms$$

$$T2 = T1 + T_{pordly-min} = 2.975ms$$

因此, 我们可以得到 $VCC_{cfgstart} = 1.2V * 2.975ms/3.3ms = 1.08V$, 大于 $Min.=1.08V$ 的要求。那么这就是一个安全电源斜坡率。

注!

以上计算是基于电源是线性的。

如果 VCCX 是最后一个上电的电源轨。需确保它满足 $VCCX_{cfgstart_min}=1.62V$ 的要求。

对于 UV 器件，使用内部 LDO 的 0.3V 电压降来计算 VCC 电源斜坡时间，即在 T2 时，最小电压应该为 $1.08+0.3=1.38V$ 。

总体功耗

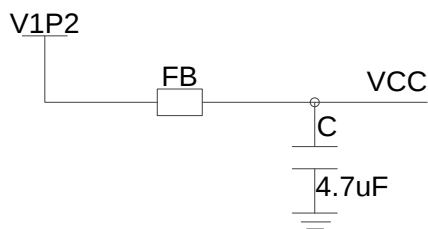
针对特定密度、封装和资源利用率，可以使用高云半导体云源®软件（以下简称云源）内嵌的 GPA 工具进行功耗评估和分析。

电源滤波

每一个 FPGA 电源输入脚就近连接一个 0.1uF 陶瓷电容到地。

对于 VCC 核电压输入端要重点进行噪声处理，具体参考如图 2 所示。

图 2 VCC 核电压输入端噪声处理



其中 FB 为磁珠，参考型号 MH2029-221Y，4.7uF 为陶瓷电容，精度不低于 $\pm 10\%$ 。

JTAG 下载

JTAG 概述

JTAG 下载是将比特流数据下载到 FPGA 的 SRAM、片内 FLASH 或片外 FLASH 中。

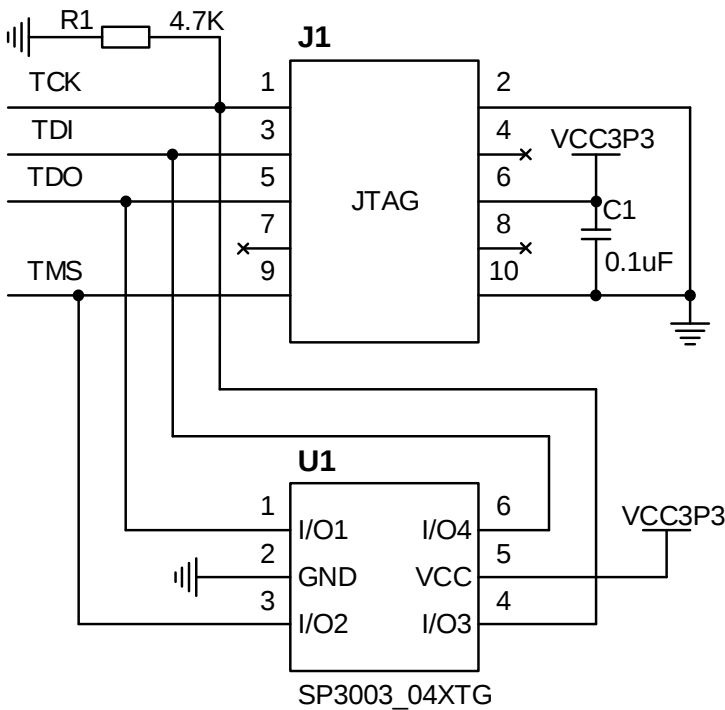
信号定义

表 1 JTAG 配置模式信号定义

名称	I/O 类型	说明
TCK	I	JTAG 串行时钟输入
TMS	I, 内部弱上拉	JTAG 串行模式输入
TDI	I, 内部弱上拉	JTAG 串行数据输入
TDO	O	JTAG 串行数据输出

JTAG 电路参考

图 3 JTAG 电路参考



注！

- 电阻精度不低于 $\pm 5\%$ 。
- JTAG 插座第 6 脚的电源，根据实际情况可调整为 VCC1P2、VCC1P5、VCC1P8、VCC2P5。
- 为了更好保护 JTAG 管脚，防止静电损坏建议 JTAG 信号上增加 ESD 保护芯片，可选型号：SP3003_04XTG。

MSPI 下载

MSPI 概述

MSPI 配置模式，即 FPGA 作为主器件，通过 SPI 接口主动从外部 Flash 读取配置数据到 FPGA 的 SRAM 中。

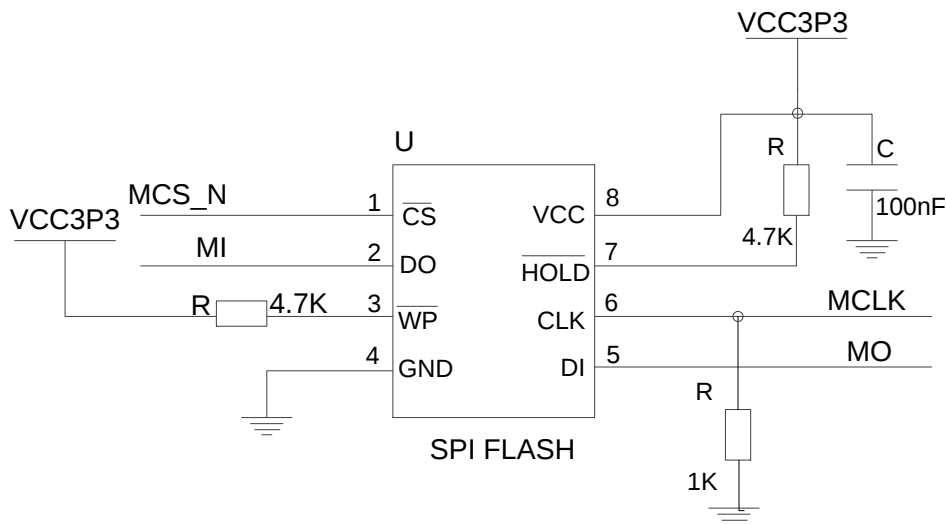
信号定义

表 2 MSPI 配置模式的信号定义

名称	I/O 类型	说明
MCLK	O	MSPI 模式下时钟输出
MCS_N	O	MSPI 模式下的使能信号 MCS_N，低电平有效
MI	I	MSPI 模式下数据输入
MO	O	MSPI 模式下数据输出

MSPI 电路参考

图 4 MSPI 电路参考



- 注!
- MCLK 信号需加 1K 下拉电阻。
 - 电阻精度不低于±5%。

时钟管脚

概述

时钟管脚包括 GCLK 全局时钟管脚和 PLL 时钟管脚

- GCLK: GCLK 在 GW1N/GW1NR 系列产品中按象限分布，分成 L、R 两个象限，每个象限提供 8 个 GCLK 网络，每个 GCLK 可选时钟源包括专用的时钟输入管脚和普通的布线资源单元（CRU），使用专用的时钟输入管脚可以取得更好的时钟性能。
- PLL: 通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。

信号定义

表 3 时钟管脚的信号定义

名称	I/O 类型	说明
GCLKT_[x]	I/O	全局时钟输入管脚，T(True)，[x]: 全局时钟序号
GCLKC_[x]	I/O	全局时钟输入管脚，C(Comp)，[x]: 全局时钟序号
LPLL_T_fb/RPLL_T_fb	I	左边/右边 PLL 反馈输入管脚，T(True)
LPLL_C_fb/RPLL_C_fb	I	左边/右边 PLL 反馈输入管脚，C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边 PLL 时钟输入管脚，T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边 PLL 时钟输入管脚，C(Comp)

时钟输入选择

如果外部时钟作为 PLL 时钟输入，建议从专用 PLL 管脚输入，单端输入时建议从 PLL_T 端输入。

GCLK 是全局时钟，直接连接到器件的所有资源，单端输入时建议从 GCLK_T 端输入。

差分管脚

概述

差分传输是一种信号传输的技术，区别于传统的一根信号线一根地线的做法，差分传输在这两根线上都传输信号，这两个信号的振幅相等，相位相同，极性相反。

LVDS

LVDS 即低电压差分信号，采用极低的电压摆幅高速差动传输数据，具有低功耗、低误码率、低串扰和低辐射等特点，不同封装的差分信号不同，具体信息请参考各个封装 pinout 手册的 True LVDS。

注！

- 差分输入需外接 100 欧姆端接电阻。
- PCB 设计时差分线阻抗控制在 100 欧姆左右。

READY、RECONFIG_N、DONE

概述

RECONFIG_N，相当于 FPGA 编程配置的复位功能，RECONFIG_N 拉低时 FPGA 无法进行任何方式的配置操作。

作为配置管脚时，需要一个脉冲宽度不少于 25ns 的低电平启动 GowinCONFIG 配置模式，使器件按照 MODE 设置值重新加载比特流数据。用户也可以通过编写逻辑控制此管脚，从而按照自身需求触发器件进行重新配置。

READY，只有 READY 拉高时 FPGA 才能进行配置操作，READY 信号拉低后需采用器件上电或触发 RECONFIG_N 的方式恢复状态。

作为配置管脚时，若为 output 类型，可以指示 FPGA 当前能否进行配置。当器件具备配置条件时，READY 信号为高电平；若配置失败，则 READY 信号变为低电平。若为 input 类型，用户可通过自身逻辑或在器件外部人为拉低 READY 信号以延迟配置过程。

DONE，FPGA 配置成功的标志信号，配置成功后 DONE 信号拉高。

作为配置管脚时，若为 output 类型，可以指示 FPGA 当前配置过程是否成功。当配置成功时，DONE 信号为高电平，器件进入工作状态；配置过程未完成或配置失败时，DONE 信号保持低电平状态。若为 input 类型，用户

可通过自身逻辑或在器件外部人为拉低 **DONE** 信号以延迟其进入用户模式。

RECONFIG_N 或 **READY** 保持低电平状态时，**DONE** 信号也会保持在低电平状态。使用 **JTAG** 电路配置 **SRAM** 的过程中，**DONE** 信号的值没有参考意义。

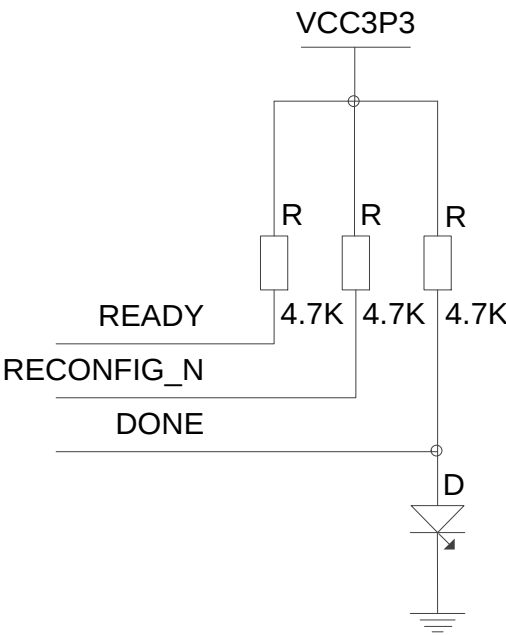
信号定义

表 4 信号定义

名称	I/O 类型	说明
RECONFIG_N	I, 内部弱上拉	低电平脉冲：开始新的 GowinCONFIG 配置
READY	I/O	高电平：当前可以对器件进行编程配置
		低电平：无法对器件进行编程配置
DONE	I/O	高电平：成功完成编程配置
		低电平：未完成编程配置或编程配置失败

READY、RECONFIG_N、DONE 参考电路

图 5 READY、RECONFIG_N、DONE 参考电路



注！

- 上拉电源为对应配置管脚位置的 Bank 电压值 VCCIO3。
- 电阻精度不低于±5%。

MODE

概述

MODE 包括 MODE0、MODE1、MODE2，GowinCONFIG 配置模式选择信号。FPGA 上电或低电平脉冲触发 RECONFIG_N 时，器件根据 MODE 值进入相应的 GowinCONFIG 状态。MODE[2:0]用来选择 GowinCONFIG 的编程配置模式，用户不需要改变模式时可以使用上拉或下拉的方式将其固定在特定的模式，上拉电阻推荐 4.7K，下拉电阻推荐 1K。由于每个封装类型的管脚数目不同，有些器件的 MODE 管脚未完全封装出来，未封装出来的 MODE 管脚在器件内部已接地或内接电源，具体请参考相应器件的 PINOUT 手册。

信号定义

表 5 信号定义

名称	I/O 类型	说明
MODE2	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口
MODE1	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口
MODE0	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口

模式选择

表 6 模式选择

配置模式		MODE[2:0] ^[1]	相关说明
JTAG		XXX ^[2]	外部 Host 通过 JTAG 接口对小蜜蜂®(LittleBee®)家族 FPGA 产品进行配置
GowinCONFIG	AUTO BOOT	000	FPGA 从内置 Flash 读取配置数据进行配置
	I ² C ^[6]	100	外部 Host 通过 I2C 接口对 FPGA 产品进行配置
	SSP ^[3]	001	外部 Host 通过 SPI 接口对小蜜蜂®(LittleBee®)家族 FPGA 产品进行配置
	MSPI ^[3]	010	FPGA 作为 Master，通过 SPI 接口 ³ 从外部 Flash（或其他器件）读取配置数据进行配置
	DUAL BOOT ^[4]	110	FPGA 优先选择外部 Flash 读取配置数据进行配置，外部 Flash 配置失败时选择从内部 Flash 进行配置
	SERIAL ^[5]	101	外部 Host 通过 DIN 接口对小蜜蜂®(LittleBee®)家族 FPGA 产品进行配置
	CPU ^[5]	111	外部 Host 通过 DBUS 接口对小蜜蜂®(LittleBee®)家族 FPGA 产品进行配置

注！

- [1]对于一些 MODE 管脚没有全部封装出来的器件，未封装出来的 MODE 默认已接地或内接电源。

- [2] JTAG 配置模式与 MODE 输入值无关。
- [3] SSPI 和 MSPI 模式的 SPI 接口是互相独立的。
- [4] GW1N(R)-4 /GW1N(R)-4B 目前暂不支持 DUAL BOOT。
- [5] CPU 配置模式的 SCLK、WE_N 和 CLKHOLD_N 管脚与 SERIAL 配置模式共用，CPU 配置模式的数据总线管脚与 MSPI 和 SSPI 配置模式的管脚共用。
- [6]部分产品支持 I2C 配置模式。

JTAGSEL_N

概述

JTAG 模式选择信号。若在云源软件中设置 JTAG 管脚复用为 GPIO，则器件上电后进行一次成功的配置后 JTAG 管脚变为 GPIO，JTAG 配置功能失效，用户可通过拉低 JTAGSEL_N 进行恢复；如果用户未设置 JTAG 管脚复用，则 JTAG 配置功能一直可用。

信号定义

表 7 信号定义

管脚名称	I/O 类型	说明
JTAGSEL_N	I,内部弱上拉	将 JTAG 管脚从 GPIO 恢复为配置管脚，低电平有效

注！

JTAGSEL_N 管脚与 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）设置为 GPIO 时存在互斥关系：JTAGSEL_N 设置为 GPIO 时，JTAG 管脚只能作为配置管脚；JTAG 管脚设置为 GPIO 时，JTAGSEL_N 只能作为配置管脚。

FASTRD_N

概述

MSPI 配置模式读取 SPI Flash 速度选择信号。当 FASTRD_N 为高电平时为普通读取模式；当 FASTRD_N 为低电平时为高速读取模式。各个厂家的 Flash 高速读取操作指令不同，具体请参考相应 Flash 的数据手册。

信号定义

表 8 信号定义

管脚名称	I/O 类型	说明
FASTRD_N	I/O	• 作为配置管脚时，类型输入，内部弱上拉，READY 信号上升沿时采样MSPI配置速度模式； • 作为GPIO时，可用作输入或输出类型。

注！

- 高电平：普通 Flash 访问模式，时钟频率不得高于 30MHz。
- 低电平：高速 Flash 访问模式，时钟频率范围大于 30MHz，小于 80MHz。

配置管脚复用

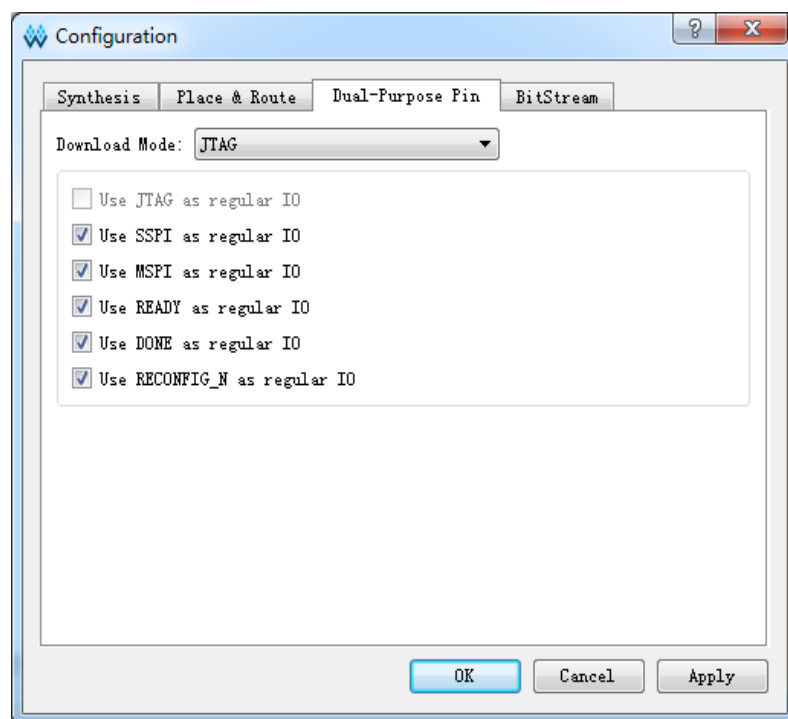
概述

配置管脚复用指的是在上电瞬间执行的是配置功能，下载完比特流文件后作为普通 IO 使用。

通过云源软件配置管脚复用：

- 打开云源软件中相应的工程。
- 在菜单栏中选择“Project > Configuration > Dual-Purpose Pin”，如图 6 所示。
- 勾选对应选项设置配置管脚的复用情况。

图 6 配置管脚复用



管脚复用

- SSPI: 作为 GPIO 时，可用作 input 或 output 类型。
- MSPI: 作为 GPIO 时，可用作 input 或 output 类型。
- RECONFIG_N: 作为 GPIO 时，只能用作 output 类型。为保障配置过程顺利进行，用户复用 RECONFIG_N 管脚时需将其初始值置为高电平。
- READY: 作为 GPIO 时，可用作 input 或 output 类型。READY 用作 input 类型的 GPIO 时需保证配置开始前其初始值为 1，否则 FPGA 无法进行配置。
- DONE: 作为 GPIO 时，可用作 input 或 output 类型。DONE 用作 input

类型的 GPIO 时需保证配置开始前其初始值为 1, 否则配置结束后 FPGA 无法进入用户模式。

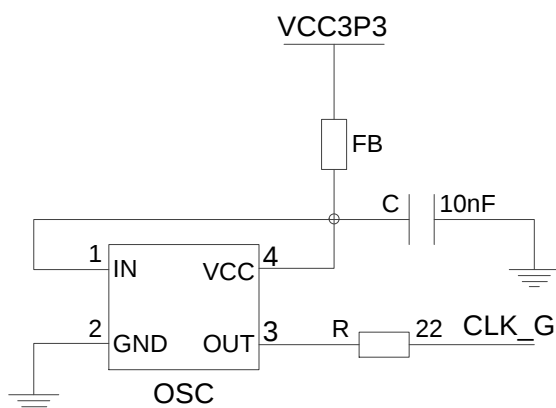
- JTAG: 作为 GPIO 时, 可用作 input 或 output 类型。
- JTAGSEL_N: 作为 GPIO 时, 可用作 input 或 output 类型。
- MODE: 作为 GPIO 时, 可用作 input 或 output 类型。为保障配置过程顺利进行, 用户复用 MODE 管脚时需要保证在配置的时候(上电或者低电平脉冲触发 RECONFIG_N)提供正确的配置模式值。MODE 最多可复用三个管脚, 未封装出来的器件内部接地或内接电源, 具体请参考相应器件的 PINOUT 手册。不同的配置模式对应的 MODE 值请参考 [UG290. Gowin FPGA 产品编程配置手册](#)。

注!

如果 IO 口数量够使用, 优先使用非复用管脚。

FPGA 外接晶振电路参考

图 7 FPGA 外接晶振电路



其中 FB 为磁珠, 参考型号 MH2029-221Y; 电阻精度不低于 $\pm 5\%$; 电容精度不低于 $\pm 10\%$ 。

Bank 电压

各器件的 Bank 供电要求请参考如下文档中的 Power 部分。

- [UG107, GW1N-1 器件 Pinout 手册](#)
- [UG105, GW1N-4 器件 Pinout 手册](#)
- [UG171, GW1N-2 器件 Pinout 手册](#)
- [UG174, GW1N-1P5 器件 Pinout 手册](#)
- [UG114, GW1N-9 器件 Pinout 手册](#)
- [UG167, GW1N-1S 器件 Pinout 手册](#)
- [UG116, GW1NR-4 器件 Pinout 手册](#)

- [UG803, GW1NR-9 器件 Pinout 手册](#)
- [UG804, GW1NR-1 器件 Pinout 手册](#)
- [UG805, GW1NR-2 器件 Pinout 手册](#)

各器件支持的配置模式

GW1N-1

表 9 GW1N-1 配置模式

封装	JTAG	AUTO BOOT	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
CS30	Yes	Yes	Yes	No	No	No	No
QN32	Yes	Yes	Yes	No	No	No	No
QN48	Yes	Yes	Yes	Yes	No	No	No
LQ100	Yes	Yes	Yes	No	No	No	No
LQ144	Yes	Yes	Yes	Yes	No	No	No

GW1N-1S

表 10 GW1N-1S 配置模式

封装	JTAG	AUTO BOOT	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
FN32	Yes	Yes	No	No	No	No	No
CS30	Yes	Yes	No	No	No	No	No

GW1N-2

表 11 GW1N-2 配置模式

封装	JTAG	AUTO BOOT	I ² C	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
CS42	Yes	Yes	No	No	No	No	No	No
CS42H ^[1]	Yes	Yes	Yes	No	No	No	No	No
LQ100	Yes	Yes	No	No	No	No	No	No
LQ144	Yes	Yes	No	No	No	No	No	No
MG121	Yes	Yes	No	No	No	No	No	No
MG132	Yes	Yes	No	No	No	No	No	No
LQ100X ^[1]	Yes	Yes	Yes	No	No	No	No	No
LQ144X ^[1]	Yes	Yes	Yes	No	No	No	No	No
MG121X ^[1]	Yes	Yes	Yes	No	No	No	No	No
MG132X ^[1]	Yes	Yes	Yes	No	No	No	No	No
MG49 ^[1]	Yes	Yes	Yes	No	No	No	No	No
QN48	Yes	Yes	No	Yes	No	No	No	No
QN48H	Yes	Yes	No	Yes	No	No	No	No
MG132H ^[1]	Yes	Yes	Yes	Yes	No	No	No	No
QN32X ^[1]	Yes	Yes	Yes	No	No	No	No	No

封装	JTAG	AUTO BOOT	I ² C	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
QN88	Yes	Yes	Yes	Yes	Yes	Yes	Yes	No
QN32	Yes	Yes	No	No	No	No	No	No
CS100H ^[1]	Yes	Yes	Yes	Yes	No	No	No	No
LQ144F	Yes	Yes	No	No	No	No	No	No

注！

[1]当配置模式支持 I²C 时, SDA 及 SCL 管脚需要外上拉; 配置成 100 模式下使用 Autoboot, SDA 需要保持外部上拉。

GW1N-1P5

表 12 GW1N-1P5 配置模式

封装	JTAG	AUTO BOOT	I ² C	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
LQ100X ^[1]	Yes	Yes	Yes	No	No	No	No	No
LQ100	Yes	Yes	No	No	No	No	No	No
QN48X ^[1]	Yes	Yes	Yes	No	No	No	No	No

注！

[1]当配置模式支持 I²C 时, SDA 及 SCL 管脚需要外上拉; 配置成 100 模式下使用 Autoboot, SDA 需要保持外部上拉。

GW1N-4

表 13 GW1N-4 配置模式

封装	JTAG	AUTO BOOT	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
QN32	Yes	Yes	No	Yes	No	No	No
QN48	Yes	Yes	No	Yes	No	No	No
CS72	Yes	Yes	Yes	No	No	No	No
QN88	Yes	Yes	No	Yes	No	No	No
LQ100	Yes	Yes	Yes	No	No	No	No
LQ144	Yes	Yes	Yes	Yes	No	No	No
MG132X	Yes	Yes	No	No	No	No	No
MG160	Yes	Yes	Yes	Yes	No	Yes	Yes
UG169	Yes	Yes	No	No	No	No	No
PG256	Yes	Yes	Yes	Yes	No	Yes	Yes
PG256M	Yes	Yes	Yes	Yes	No	Yes	Yes

GW1N-9

表 14 GW1N-9 配置模式

封装	JTAG	AUTO BOOT	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
QN48	Yes	Yes	No	Yes	No	No	No
QN48F	Yes	Yes	Yes	No	No	No	No
QN88	Yes	Yes	No	Yes	No	No	No
CM64	Yes	Yes	No	No	No	No	No
CS81M	Yes	Yes	No	No	No	No	No
LQ100	Yes	Yes	Yes	No	No	No	No
LQ144	Yes	Yes	Yes	Yes	No	No	No
EQ144	Yes	Yes	Yes	Yes	No	No	No
MG160	Yes	Yes	Yes	Yes	Yes	Yes	Yes
LQ176	Yes	Yes	Yes	Yes	Yes	Yes	Yes
EQ176	Yes	Yes	Yes	Yes	Yes	Yes	Yes
PG256	Yes	Yes	Yes	Yes	Yes	Yes	Yes
UG169	Yes	Yes	No	No	No	No	No
UG256	Yes	Yes	No	No	No	No	No
UG332	Yes	Yes	Yes	Yes	Yes	Yes	Yes
MG100	Yes	Yes	No	Yes	No	No	No
MG100T	Yes	Yes	No	No	No	No	No
MG196	Yes	Yes	No	No	No	No	No
QN60	Yes	Yes	No	Yes	No	No	No

GW1NR-1

表 15 GW1NR-1 配置模式

封装	JTAG	AUTO BOOT	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
FN32G	Yes	Yes	No	No	No	No	No
QN32X	Yes	Yes	No	No	No	No	No
QN48X	Yes	Yes	No	No	No	No	No
EQ144G	Yes	Yes	Yes	No	No	No	No
LQ100G	Yes	Yes	No	No	No	No	No

GW1NR-2

表 16 GW1NR-2 配置模式

封装	JTAG	AUTO BOOT	I ² C	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
MG49P	Yes	Yes	Yes	No	No	No	No	No
MG49PG	Yes	Yes	Yes	No	No	No	No	No
MG49G	Yes	Yes	Yes	No	No	No	No	No

GW1NR-4

表 17 GW1NR-4 配置模式

封装	JTAG	AUTO BOOT	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
QN88	Yes	Yes	No	Yes	No	No	No
MG81	Yes	Yes	No	Yes	No	No	No

GW1NR-9

表 18 GW1NR-9 配置模式

封装	JTAG	AUTO BOOT	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
QN88	Yes	Yes	No	Yes	No	No	No
QN88P	Yes	Yes	No	Yes	No	No	No
LQ144P	Yes	Yes	Yes	Yes	No	No	No
MG100P	Yes	Yes	No	No	No	No	No
MG100PF	Yes	Yes	No	No	No	No	No
MG100PA	Yes	Yes	No	No	No	No	No
MG100PT	Yes	Yes	No	No	No	No	No
MG100PS	Yes	Yes	No	No	No	No	No

管脚分配

在电路设计前需要对 FPGA 的管脚分配进行全局统筹，针对应用结合器件架构特性做出合理的选择，包括 IO LOGIC、全局时钟资源、PLL 资源等。

关于真 LVDS 的分布，详细信息请参考 GW1N/GW1NR 系列 FPGA 产品 Pinout 手册。

为支持 SSTL, HSTL 等 I/O 输入标准，每个 Bank 提供一个独立的参考电压(V_{REF})，用户可以选择使用 IOB 内置的 V_{REF} 源(等于 $0.5 \cdot V_{CCIO}$)，也可选择外部的 V_{REF} 输入(使用 Bank 中任意一个 I/O 管脚作为外部 V_{REF} 输入)。

注！

配置过程中，器件所有 GPIO 均为高阻，内部弱上拉，配置完成后 I/O 状态由用户程序和约束控制。Config 相关 I/O 的状态根据配置模式的不同有所区别。

技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

版本信息

日期	版本	说明
2016/12/13	1.0	初始版本。
2018/01/02	1.1	新增如下相关内容： ● 配置管脚复用； ● FPGA外接晶振电路参考； ● GW1NR Bank电压； ● 各器件支持的配置模式。
2018/04/23	1.2	修改上电时间参考范围为“0.2ms~2ms”并增加备注信息。
2018/06/29	1.3	统一修改原理图风格。
2019/04/03	1.4	完善 FASTRD_N 信号描述。
2019/04/12	1.5	增加器件 I/O 描述：器件的所有 I/O（除 TCK 外）均为内部弱上拉。
2019/05/10	1.6	增加 MCLK 下拉电阻。
2019/06/04	1.7	修改 Bank 电压描述。
2019/11/29	1.8	● 修正表1推荐工作范围； ● 完善各器件支持的配置模式表。
2022/03/07	1.8.1	完善各器件支持的配置模式表。
2022/03/25	1.8.2	更新各器件支持的配置模式表。
2022/07/15	1.8.3	更新 JTAG 下载的注释。
2022/07/22	1.8.4	更新各器件支持的配置模式表。
2022/08/19	1.8.5	更新管脚分配中的注释。
2022/09/20	1.9	更新“电源”章节。
2022/10/18	1.9.1	更新“电源”章节的上电时间。
2022/11/17	1.9.2	更新“电源”章节的上电时间。
2023/02/02	1.9.3	更新“JTAG 下载”章节的图 3 JTAG 电路参考。
2023/03/10	1.9.4	● 更新“差分管脚”章节的LVDS注释。 ● 更新“管脚分配”章节。 ● 更新“电源”章节“电源斜坡率”中GW1N-4例子的数据。
2023/06/30	1.9.5	● 更新“各器件支持的配置模式”章节的“表14 GW1N-9配置模式”，新增QN60封装。 ● 更新“MODE”章节的概述。
2023/08/10	1.9.6	优化“管脚分配”章节的注释。

日期	版本	说明
2023/08/18	1.9.7	更新“各器件支持的配置模式”章节的“表14 GW1N-9配置模式”，QN60封装支持MSPI模式。

版权所有 © 2023 广东高云半导体科技股份有限公司

GOWIN高云、Gowin、小蜜蜂、LittleBee、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。