



# Gowin 数字信号处理器 (DSP) 用户指南

UG287-1.10,2017-10-09

## **版权所有©2017 广东高云半导体科技股份有限公司**

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

日期	版本	说明
2016/05/16	1.05	初始版本。
2016/07/04	1.06	修改 PADD18 的结构框图。
2016/07/11	1.07	标准化插图。
2016/08/16	1.08	修改 GW2A-18 器件的乘法器数目。
2016/11/08	1.09	修改乘法器框图。
2017/10/09	1.10	根据新原语修改相关内容。

# 目录

目录 .....	i
图目录 .....	ii
表目录 .....	iii
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 适用产品 .....	1
1.3 相关文档 .....	1
1.4 术语、缩略语 .....	2
1.5 技术支持与反馈 .....	2
<b>2 概述 .....</b>	<b>3</b>
<b>3 DSP 结构 .....</b>	<b>5</b>
3.1 前加器 .....	8
3.2 乘法器 .....	11
3.3 算术逻辑单元 .....	11
<b>4 DSP 操作模式 .....</b>	<b>14</b>
4.1 乘法器模式 .....	14
4.1.1 MULT 9 x 9 .....	14
4.1.2 MULT 18 x 18 .....	16
4.1.3 MULT 36 x 36 .....	18
4.2 乘法累加器模式 .....	20
4.2.1 MULTALU 36 x 18 .....	21
4.2.2 MULTALU 18 x 18 .....	23
4.3 乘法求和累加器模式 .....	25
<b>5 DSP 调用 .....</b>	<b>29</b>

# 图目录

图 3-1 宏单元的组成结构.....	6
图 3-2 PADD18 的结构框图.....	8
图 3-3 PADD9 的结构框图.....	10
图 3-4 ALU54D 的结构框图.....	11
图 4-1 MULT 9 x 9 结构框图.....	14
图 4-2 MULT 18 x 18 结构框图.....	17
图 4-3 MULT 36 x 36 结构框图.....	18
图 4-4 MULTALU 36 x 18 结构框图.....	21
图 4-5 MULTALU 18 x 18 结构框图.....	23
图 4-6 MULTADDALU 18 x 18 结构框图.....	26

# 表目录

表 1-1 术语、缩略语 .....	2
表 2-1 高云半导体 FPGA 产品 MULT18 x 18 资源数量 .....	4
表 2-2 DSP 模块支持的模式 .....	4
表 3-1 DSP 模块端口描述及说明 .....	7
表 3-2 内部寄存器描述 .....	8
表 3-3 PADD18 端口信号及说明 .....	9
表 3-4 PADD18 的寄存器及属性说明 .....	9
表 3-5 PADD9 的端口信号及说明 .....	10
表 3-6 PADD9 的寄存器及属性说明 .....	10
表 3-7 ALU54D 的端口信号及说明 .....	12
表 3-8 ALU54D 的寄存器及属性设置说明 .....	12
表 4-1 MULT 9 x 9 端口信号 .....	15
表 4-2 MULT 9 x 9 的寄存器及属性设置说明 .....	16
表 4-3 MULT 18 x 18 端口信号 .....	17
表 4-4 MULT 18 x 18 的寄存器及属性设置说明 .....	17
表 4-5 MULT 36 x 36 端口信号 .....	19
表 4-6 MULT 36 x 36 的寄存器及属性设置说明 .....	19
表 4-7 MULTALU 36 x 18 端口信号 .....	21
表 4-8 MULTALU 36 x 18 的寄存器及属性设置说明 .....	22
表 4-9 MULTALU 18 x 18 端口信号 .....	23
表 4-10 MULTALU 18 x 18 的寄存器及属性设置说明 .....	24
表 4-11 MULTADDALU 18 x 18 端口信号 .....	26
表 4-12 MULTADDALU 18 x 18 的寄存器及属性设置说明 .....	27

# 1 关于本手册

## 1.1 手册内容

本手册主要描述 Gowin 数字信号处理器（DSP）资源的结构、信号定义及用户调用方法等内容，旨在帮助用户快速熟悉 Gowin DSP 的使用流程，提高设计效率。

## 1.2 适用产品

本手册中描述的信息适用于以下产品：

1. GW1N 系列 FPGA 产品：GW1N-2, GW1N-4, GW1N-6, GW1N-9
2. GW1NR 系列 FPGA 产品：GW1NR-4, GW1NR-9
3. GW2A 系列 FPGA 产品：GW2A-55, GW2A-18
4. GW2AR 系列 FPGA 产品：GW2AR-18

## 1.3 相关文档

通过登录高云半导体网站 <http://www.gowinsemi.com.cn> 可以下载、查看以下相关文档：

1. GW2A 系列 FPGA 产品数据手册
2. GW1N 系列 FPGA 产品数据手册
3. GW2AR 系列 FPGA 产品数据手册
4. GW1NR 系列 FPGA 产品数据手册

## 1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

**表 1-1 术语、缩略语**

术语、缩略语	全称	含义
DSP	Digital Signal Processor	数字信号处理器
FPGA	Field Programmable Gate Array	现场可编程门阵列
FIR	Finite Impulse Response	有限脉冲响应滤波器
FFT	Fast Fourier Transformation	快速傅里叶变换
CFU	Configurable Function Unit	可配置功能单元
MULT	Multiplier	乘法器
PADD	Pre-adder	前加器
ALU	Arithmetic Logic Unit	算术逻辑单元

## 1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：<http://www.gowinsemi.com.cn>

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391



# 2 概述

高云半导体 FPGA 产品（GW1N-1 除外）具有丰富的 DSP 资源，可满足用户对高性能数字信号的处理需求，如 FIR 和 FFT 的设计等。DSP 模块具有时序性能稳定、资源利用率高和功耗低等优点。本手册旨在帮助用户快速了解 DSP 的结构和使用方法，详细信息请参考《[Gowin FPGA 原语使用指南](#)》，原语库文件位于 Gowin 云源软件安装目录下 GOWIN/x.x/Pnr/lib/gwxx，其中“x.x”为软件版本号，“gwxx”为器件系列名称，如 gw1n 和 gw2a。

DSP 模块的功能及特性如下：

- 3 种宽度（9-bit，18-bit，36-bit）的乘法器
- 54-bit 的算术/逻辑运算单元
- 多个乘法器可级联以增加数据宽度
- 桶形移位器
- 通过反馈信号做自适应滤波
- 支持寄存器的流水线和旁路功能

高云半导体 FPGA 产品的 18-bit 乘法器资源 MULT18x18 的数量如表 2-1 所示，DSP 模块支持的配置模式如表 2-2 所示。

**表 2-1 高云半导体 FPGA 产品 MULT18 x 18 资源数量**

产品		MULT18 x 18 数量
GW1N 系列 FPGA 产品	GW1N-2	16
	GW1N-4	16
	GW1N-6	20
	GW1N-9	20
GW1NR 系列 FPGA 产品	GW1NR-4	16
	GW1NR-9	20
GW2A 系列 FPGA 产品	GW2A-18	48
	GW2A-55	40
GW2AR 系列 FPGA 产品	GW2AR-18	48

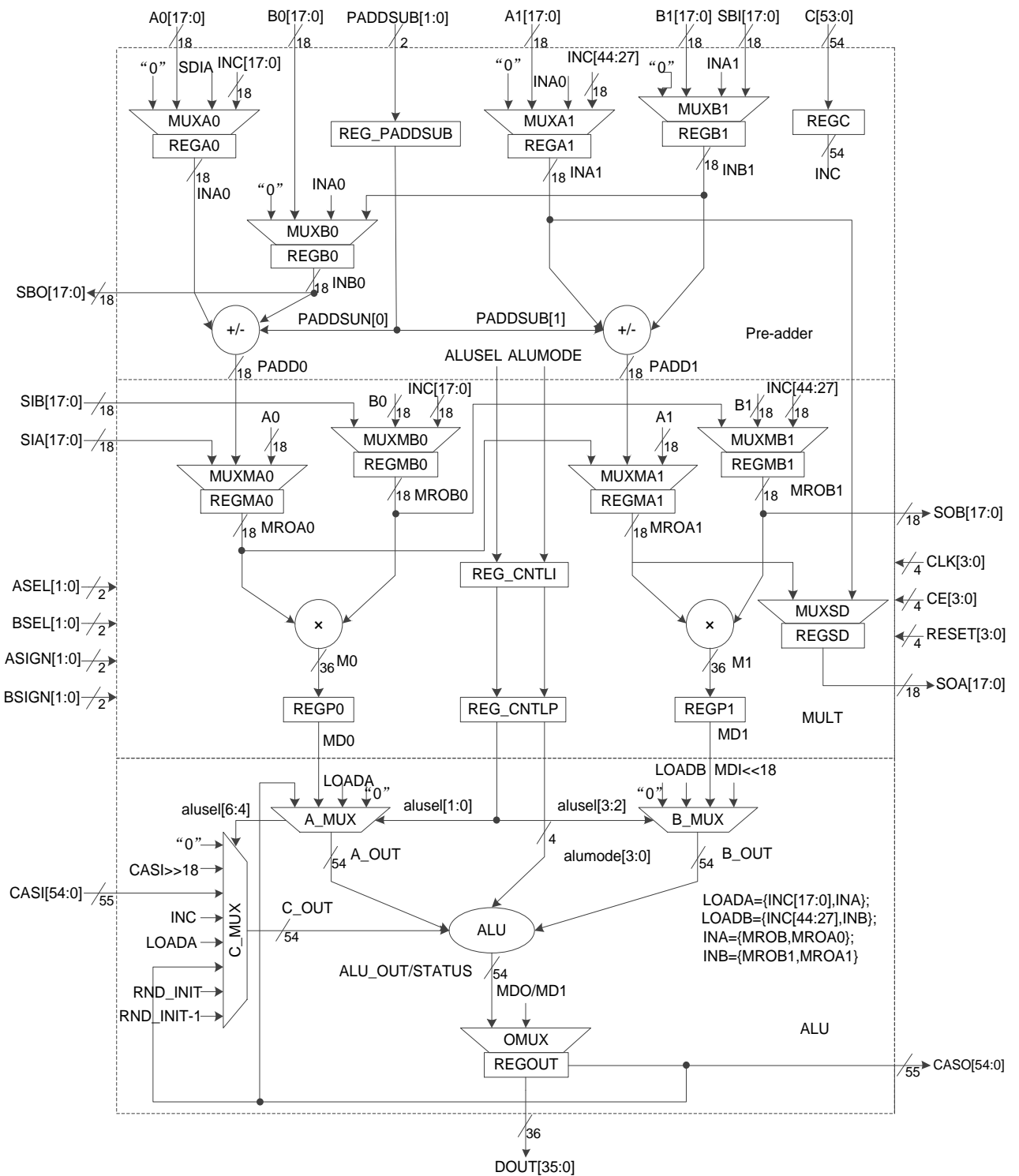
**表 2-2 DSP 模块支持的模式**

模式	原语名称	说明
前加器	PADD9	9-bit 前加器
	PADD18	18-bit 前加器
算术运算单元	ALU54	54-bit 算术运算单元
乘法器	MULT9 x 9	9-bit 乘法器
	MULT18 x 18	18-bit 乘法器
	MULT36 x 36	36-bit 乘法器
乘法累加器	MULTALU18 x 18	MULTALU 18X18 是 18-bit 乘法累加器
	MULTALU36 x 18	MULTALU 36X18 是 36X18-bit 乘法累加器。
乘法求和累加器	MULTADDALU18 x 18	2 个 18-bit 乘法器求和后累加或 reload 运算

# 3 DSP 结构

高云半导体 FPGA 产品的 DSP 模块以行的形式分布在 FPGA 阵列中，DSP 模块由两个宏单元组成，宏单元包含两个前加器（pre-adders）、两个 18-bit 的乘法器（MULT18 x 18）和一个带输入选择端的三输入算术/逻辑运算单元（ALU54），宏单元的结构组成如图 3-1 所示。

图 3-1 宏单元的组成结构



高云半导体 FPGA 产品 DSP 模块包含前加法器，乘法器，ALU 和内部寄存器。DSP 模块端口描述及含义说明如表 3-1 所示。内部寄存器如表 3-2 所示。此外，输入信号 CLK，CE 和 RESET 用于控制寄存器。

**表 3-1 DSP 模块端口描述及说明**

端口名称	I/O 类型	说明
A0[17:0]	I	18-bit 数据输入 A0
B0[17:0]	I	18-bit 数据输入 B0
A1[17:0]	I	18-bit 数据输入 A1
B1[17:0]	I	18-bit 数据输入 B1
C[53:0]	I	54-bit 数据输入 C
SIA[17:0]	I	移位数据输入 A，用于级联连接。输入信号 SIA 直接连接到先前相邻的 DSP 模块的输出信号 SOA，DSP 模块内部从 SIA 到 SOA 的延迟时间是一个时钟周期
SIB[17:0]	I	移位数据输入 B，用于级联连接。输入信号 SIB 直接连接到先前相邻的 DSP 模块的输出信号 SOB，DSP 模块内部从 SIB 到 SOB 的延迟时间是一个时钟周期
SBI[17:0]	I	前加器逻辑移位输入，反向
CASI[54:0]	I	来自前一个 DSP 模块的 ALU 输入，用于级联连接
ASEL[1:0]	I	前加器或乘法器的 A 输入源选择
BSEL[1:0]	I	乘法器的 B 输入源选择
ASIGN[1:0]	I	输入信号 A 符号位
BSIGN[1:0]	I	输入信号 B 符号位
PADDSUB[1:0]	I	前加器的操作控制信号，用于前加器逻辑加减法选择
CLK[3:0]	I	时钟输入
CE[3:0]	I	时钟使能信号
RESET[3:0]	I	同步/异步，复位信号
SOA[17:0]	O	移位数据输出 A
SOB[17:0]	O	移位数据输出 B
SBO[17:0]	O	前加器逻辑移位输出，反向方向
DOUT[35:0]	O	DSP 输出数据
CASO[54:0]	O	ALU 输出到下一个 DSP 模块进行级联连接，最高位符号扩展

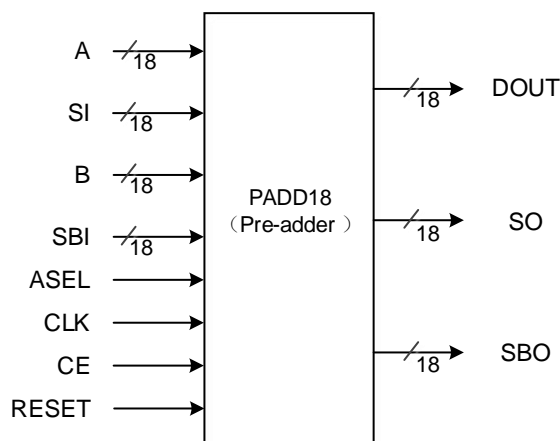
表 3-2 内部寄存器描述

寄存器	说明及相关属性
A0 register	A0输入寄存器
A1 register	A1输入寄存器
B0 register	B0输入寄存器
B1 register	B1输入寄存器
C register	C输入寄存器
P1_A0 register	左乘数A0输入寄存器
P1_A1 register	右乘数A1输入寄存器
P1_B0 register	左乘数B0输入寄存器
P1_B1 register	右乘数B1输入寄存器
P2_0 register	左乘数流水线输入寄存器
P2_1 register	右乘数流水线输入寄存器
OUT register	DOUT输出寄存器
OPMODE register	操作模式控制寄存器
SOA register	寄存器 SOA 的移位输出

## 3.1 前加器

DSP 宏单元包含两个前加器，实现预加、预减和移位功能。前加器位于宏单元的最前端，有两个输入端，一个是并行 18-bit 输入 B 或 SBI，另一个是并行 18-bit 输入 A 或 SIA。为了增强时序功能，每个输入端都增加了对应的寄存器，另外，也可以把输入寄存器旁路使输入端直接连接到乘法器模块。高云半导体 FPGA 产品的前加器可以作为功能模块单独使用，按照位宽不同分为两种，分别是 9-bit 位宽的 PADD9 和 18-bit 位宽的 PADD18。两种前加器的组成结构、寄存器和参数属性都相同。PADD18 的结构框图如图 3-2 所示。

图 3-2 PADD18 的结构框图



PADD18 的端口信号及含义说明如表 3-3 所示，PADD18 的寄存器及属性说明如表 3-4 所示。

**表 3-3 PADD18 端口信号及说明**

端口名称	I/O 类型	说明
A[17:0]	I	18-bit 数据输入 A
B[17:0]	I	18-bit 数据输入 B
SI[17:0]	I	18-bit 移位数据输入 A
SBI[17:0]	I	前加器移位输入，反向
ASEL	I	前加器的输入源选择信号
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	复位输入
SO[17:0]	O	移位数据输出 A
SBO[17:0]	O	前加器移位输出，反向
DOUT[17:0]	O	数据输出

前加器的寄存器和参数属性如表 3-4 所示，用户在使用过程中，可以结合自身需求进行相应的参数设置，选择不同的输入源实现预期功能。

**表 3-4 PADD18 的寄存器及属性说明**

属性名称	值（默认值）	说明
AREG	1'b0,1'b1 (1'b0)	A 输入寄存器（A 或 SI） <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
BREG	1'b0,1'b1 (1'b0)	B 输入寄存器（B 或 SBI） <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
ADD_SUB	1'b0,1'b1 (1'b0)	前加器 加减法选择 <ul style="list-style-type: none"> <li>● 1'b0: 加法</li> <li>● 1'b1: 减法</li> </ul>
PADD_RESET_MODE	SYNC,ASYNC (SYNC)	同步或异步
SOREG	1'b0,1'b1 (1'b0)	SO 移位输出寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
BSEL_MODE	1'b0,1'b1 (1'b1)	B 输入选择 <ul style="list-style-type: none"> <li>● 1'b1: 选择输入 SBI</li> <li>● 1'b0: 选择输入 B</li> </ul>

PADD9 实现了 9-bit 的预加、预减和移位功能，PADD9 的结构框图如图 3-3 所示。PADD9 的端口信号及说明如表 3-5 所示。

图 3-3 PADD9 的结构框图

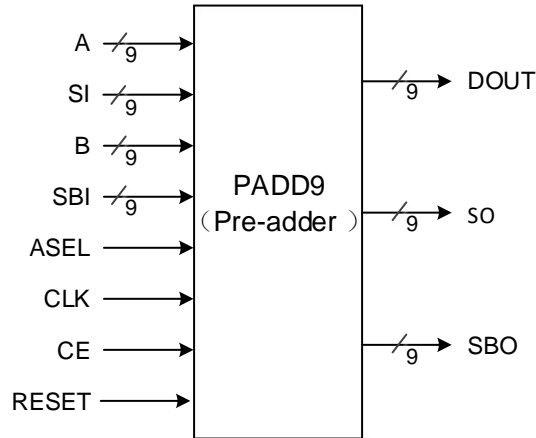


表 3-5 PADD9 的端口信号及说明

端口名称	I/O 类型	说明
A[8:0]	I	9-bit 数据输入 A
B[8:0]	I	9-bit 数据输入 B
SI[8:0]	I	移位数据输入 A
SBI[8:0]	I	前加器移位输入，反向
ASEL	I	前加器的输入源选择信号
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	复位输入
SO[8:0]	O	移位数据输出 A
SBO[8:0]	O	前加器移位输出，反向
DOUT[8:0]	O	数据输出

表 3-6 PADD9 的寄存器及属性说明

属性名称	值（默认值）	说明
AREG	1'b0,1'b1 (1'b0)	A 输入寄存器 (A 或 SI) <ul style="list-style-type: none"> <li>1'b0: 旁路模式</li> <li>1'b1: 寄存器模式</li> </ul>
BREG	1'b0,1'b1 (1'b0)	B 输入寄存器 (B 或 SBI) <ul style="list-style-type: none"> <li>1'b0: 旁路模式</li> <li>1'b1: 寄存器模式</li> </ul>
ADD_SUB	1'b0,1'b1 (1'b0)	前加器 加减法选择 <ul style="list-style-type: none"> <li>1'b0: 加法</li> </ul>



属性名称	值（默认值）	说明
		<ul style="list-style-type: none"> <li>● 1'b1: 减法</li> </ul>
PADD_RESET_MODE	SYNC,ASYNC (SYNC)	同步或异步
SOREG	1'b0,1'b1 (1'b0)	SO 移位输出寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
BSEL_MODE	1'b0,1'b1 (1'b1)	输入 B 选择 <ul style="list-style-type: none"> <li>● 1'b1: 选择输入 SBI</li> <li>● 1'b0: 选择输入 B</li> </ul>

### 3.2 乘法器

DSP 宏单元包含两个乘法器来进行乘法运算。为了满足不同的乘法位宽的需求，乘法器可以配置为 9 x 9、18 x 18、36 x 18 或 36 x 36。宏单元可以配置为一个 36 x 18 乘法器、两个 18 x 18 乘法器或四个 9 x 9 乘法器。36 x 36 乘法器模式需要一个 DSP 模块（即两个宏单元）进行配置。

乘法器输入端和输出端均带有寄存器，对于输入信号或输出信号的每一位，可以选择寄存器模式或旁路。DSP 模块有时钟信号、时钟使能信号和复位信号。时钟信号可以为全局时钟（GCLK）、第二全局时钟（SCLK）或普通逻辑驱动。时钟使能信号或复位信号可以由第二全局时钟或普通逻辑驱动。寄存器可以任意选择时钟信号、时钟使能信号和复位信号组合作为输入。详细信息请参考 [4 DSP 操作模式 > 4.1 乘法器模式](#)。

### 3.3 算术逻辑单元

每个 DSP 宏单元包含一个 54-bit ALU, 为 MULT 部件提供强大的扩展，它可以独立使用。算术逻辑单元的原语名称是 ALU54D，结构框图如图 3-4 所示，ALU54D 的端口信号如表 3-7 所示。

图 3-4 ALU54D 的结构框图

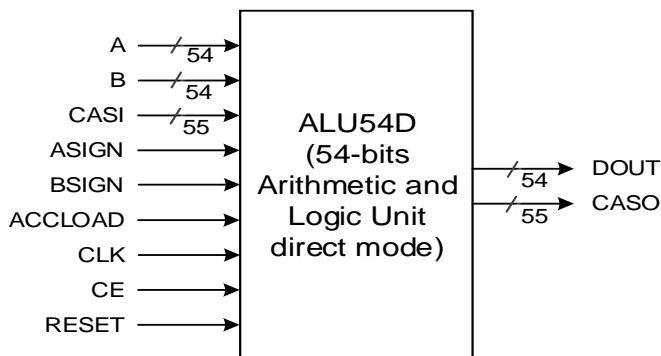


表 3-7 ALU54D 的端口信号及说明

端口名称	I/O 类型	说明
A[53:0]	I	54-bit 数据输入 A
B[53:0]	I	54-bit 数据输入 B
ASIGN	I	输入信号 A 符号位
BSIGN	I	输入信号 B 符号位
ACCLOAD	I	用于累加器重载选择
CASII[54:0]	I	55-bit 数据进位输入
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	复位输入
DOUT[53:0]	O	54-bit 数据输出
CASO[54:0]	O	55-bit 数据进位输出

### ALU54D 属性

ALU54D 属性如表 3-8 所示。

表 3-8 ALU54D 的寄存器及属性设置说明

属性名称	值（默认值）	说明
AREG	1'b0,1'b1(1'b0)	A 输入寄存器 <ul style="list-style-type: none"> <li>● 1'b0:旁路模式</li> <li>● 1'b1:寄存器模式</li> </ul>
BREG	1'b0,1'b1(1'b0)	B 输入寄存器 <ul style="list-style-type: none"> <li>● 1'b0:旁路模式</li> <li>● 1'b1:寄存器模式</li> </ul>
ASIGN_REG	1'b0,1'b1(1'b0)	A 输入符号寄存器 <ul style="list-style-type: none"> <li>● 1'b0:旁路模式</li> <li>● 1'b1:寄存器模式</li> </ul>
BSIGN_REG	1'b0,1'b1(1'b0)	B 输入符号寄存器 <ul style="list-style-type: none"> <li>● 1'b0:旁路模式</li> <li>● 1'b1:寄存器模式</li> </ul>
ACCLOAD_REG	1'b0,1'b1(1'b0)	累加器寄存器 <ul style="list-style-type: none"> <li>● 1'b0:旁路模式</li> <li>● 1'b1:寄存器模式</li> </ul>
OUT_REG	1'b0,1'b1(1'b0)	输出寄存器 <ul style="list-style-type: none"> <li>● 1'b0:旁路模式</li> <li>● 1'b1:寄存器模式</li> </ul>
B_ADD_SUB	1'b0,1'b1(1'b0)	B 输出加减法选择 <ul style="list-style-type: none"> <li>● 1'b0:加法</li> </ul>

属性名称	值（默认值）	说明
		<ul style="list-style-type: none"> <li>● 1'b1:减法</li> </ul>
C_ADD_SUB	1'b0,1'b1(1'b0)	C输出加减法选择 <ul style="list-style-type: none"> <li>● 1'b0:加法</li> <li>● 1'b1:减法</li> </ul>
ALU54D_MODE	0,1,2(0)	ALU54D 操作模式: <ul style="list-style-type: none"> <li>● 0: ACC/0 +/- B +/- A;</li> <li>● 1: ACC/0 +/- B + CASI;</li> <li>● 2: A +/- B + CASI;</li> </ul>
ALU_RESET_MODE	SYNC,ASYNC(SYNC)	同步/异步复位

# 4 DSP 操作模式

Gowin DSP 可支持以下几种模式：

- 乘法器模式
- 乘法累加器模式
- 乘法求和累加器模式

## 4.1 乘法器模式

乘法器根据数据位宽可配置成  $9 \times 9$ 、 $18 \times 18$ 、 $36 \times 36$  等，DSP 宏单元可有两个独立的  $18 \times 18$  乘法器。

DSP 模块可以配置高达 36-bit 数据宽度的 DSP 模式，包括  $9 \times 9$ 、 $18 \times 18$  和  $36 \times 36$  等乘法器。

### 4.1.1 MULT 9 x 9

MULT 9 X 9 实现了 9-bit 乘法运算，端口信号如表 4-1 所示，MULT 9 x 9 的结构框图如图 4-1 所示。

图 4-1 MULT 9 x 9 结构框图

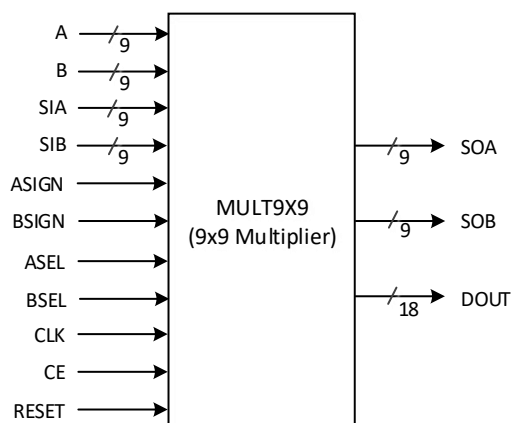


表 4-1 MULT 9 x 9 端口信号

端口名称	I/O 类型	说明
A[8:0]	I	9-bit 数据输入 A
SIA[8:0]	I	9-bit 移位数据输入 A
B[8:0]	I	9-bit 数据输入 B
SIB[8:0]	I	9-bit 移位数据输入 B
ASIGN	I	输入信号 A 符号位
BSIGN	I	输入信号 B 符号位
ASEL	I	输入源选择信号
BSEL	I	输入源选择信号
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	复位输入
DOUT[17:0]	O	乘数数据输出
SOA[8:0]	O	移位数据输出A
SOB[8:0]	O	移位数据输出B

## MULT 9 x 9 属性

本节介绍 MULT 9 x 9 属性，如表 4-2 所示。

表 4-2 MULT 9 x 9 的寄存器及属性设置说明

属性名称	值（默认值）	说明
AREG	1'b0,1'b1(1'b0)	A (A/SIA) 输入寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
BREG	1'b0,1'b1(1'b0)	B (B/SIB) 输入寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
ASIGN_REG	1'b0,1'b1(1'b0)	A 输入符号寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
BSIGN_REG	1'b0,1'b1(1'b0)	B 输入符号寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
SOA_REG	1'b0,1'b1(1'b0)	SOA 寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
OUT_REG	1'b0,1'b1(1'b0)	输出寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
PIPE_REG	1'b0,1'b1(1'b0)	流水线寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
MULT_RESET_MODE	SYNC,ASYNC(SYNC)	同步/异步复位

## 4.1.2 MULT 18 x 18

MULT 18 x 18 实现了 18-bit 的乘法运算，端口信号如表 4-3 所示。MULT 18 x 18 的结构框图如图 4-2 所示。

图 4-2 MULT 18 x 18 结构框图

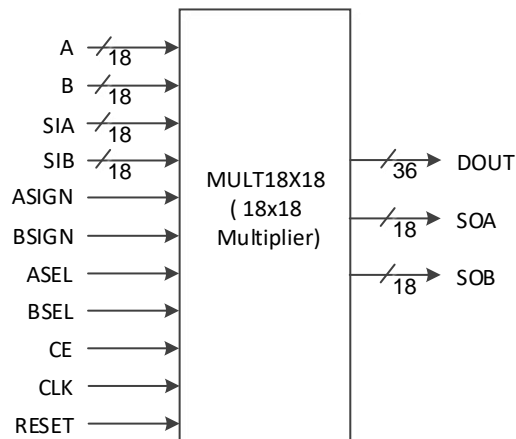


表 4-3 MULT 18 x 18 端口信号

端口名称	I/O 类型	说明
A[17:0]	I	18-bit 数据输入 A
SIA[17:0]	I	18-bit 移位数据输入 A
B[17:0]	I	18-bit 数据输入 B
SIB[17:0]	I	18-bit 移位数据输入 B
ASIGN	I	输入信号 A 符号位
BSIGN	I	输入信号 B 符号位
ASEL	I	输入源选择信号
BSEL	I	输入源选择信号
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	复位输入
DOUT[35:0]	O	乘数数据输出
SOA[17:0]	O	移位数据输出 A
SOB[17:0]	O	移位数据输出 B

### MULT 18 x 18 属性

MULT18 x 18 属性如表 4-4 所示。

表 4-4 MULT 18 x 18 的寄存器及属性设置说明

属性名称	值 (默认值)	说明
AREG	1'b0,1'b1(1'b0)	A (A/SIA) 输入寄存器 <ul style="list-style-type: none"> <li>1'b0: 旁路模式</li> <li>1'b1: 寄存器模式</li> </ul>
BREG	1'b0,1'b1(1'b0)	B (B/SIB) 输入寄存器

属性名称	值（默认值）	说明
		<ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
ASIGN_REG	1'b0,1'b1(1'b0)	A 输入符号寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
BSIGN_REG	1'b0,1'b1(1'b0)	B输入符号寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
SOA_REG	1'b0,1'b1(1'b0)	SOA 寄存器 <ul style="list-style-type: none"> <li>● 1'b0:旁路模式</li> <li>● 1'b1:寄存器模式</li> </ul>
OUT_REG	1'b0,1'b1(1'b0)	输出寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
PIPE_REG	1'b0,1'b1(1'b0)	流水线寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
MULT_RESET_MODE	SYNC,ASYNC(SYNC)	同步/异步复位

### 4.1.3 MULT 36 x 36

MULT 36 x 36 实现了 36-bit 的乘法运算，36 x 36 乘法器由一个 DSP 模块构成。36 x 36 乘法器的端口信号如表 4-5 所示，MULT 36 x 36 的结构框图如图 4-3 所示。

图 4-3 MULT 36 x 36 结构框图

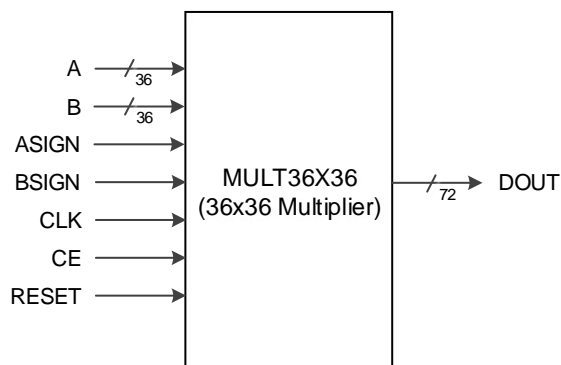




表 4-5 MULT 36 x 36 端口信号

端口名称	I/O 类型	说明
A[35:0]	I	36-bit 数据输入 A
B[35:0]	I	36-bit 数据输入 B
ASIGN	I	输入信号 A 符号位
BSIGN	I	输入信号 B 符号位
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	复位输入
DOUT[71:0]	O	乘法数据输出

### MULT 36 x 36 属性

MULT 36 x 36 属性如表 4-6 所示。

表 4-6 MULT 36 x 36 的寄存器及属性设置说明

属性名称	值（默认值）	说明
AREG	1'b0,1'b1(1'b0)	A输入寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
BREG	1'b0,1'b1(1'b0)	B输入寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
OUT0_REG	1'b0,1'b1(1'b0)	第一级输出寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
OUT1_REG	1'b0,1'b1(1'b0)	第二级输出寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
PIPE_REG	1'b0,1'b1(1'b0)	流水线寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
ASIGN_REG	1'b0,1'b1(1'b0)	A输入符号寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>

属性名称	值（默认值）	说明
BSIGN_REG	1'b0,1'b1(1'b0)	<b>B</b> 输入符号寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
MULT_RESET_MODE	SYNC,ASYNC(SYNC)	同步/异步复位

## 4.2 乘法累加器模式

MULTALU 是乘法累加器，分为 36 x 18 乘法累加器和 18 x 18 乘法累加器。

MULTALU36 x 18 有三种运算模式：

$$DOUT = A * B \pm C$$

$$DOUT = \sum(A * B)$$

$$DOUT = A * B + CASI$$

MULTALU18 x 18 有三种运算模式：

$$DOUT = \sum(A * B) \pm C$$

$$DOUT = \sum(A * B) + CASI$$

$$DOUT = A * B \pm D + CASI$$

## 4.2.1 MULTALU 36 x 18

MULTALU 36 x 18 为 36 x 18 乘法累加器，端口信号如表 4-7 所示，MULTALU 36 x 18 的结构框图如图 4-4 所示。它可以由两个 18 x 18 乘法器和一个 ALU 组成。

图 4-4 MULTALU 36 x 18 结构框图

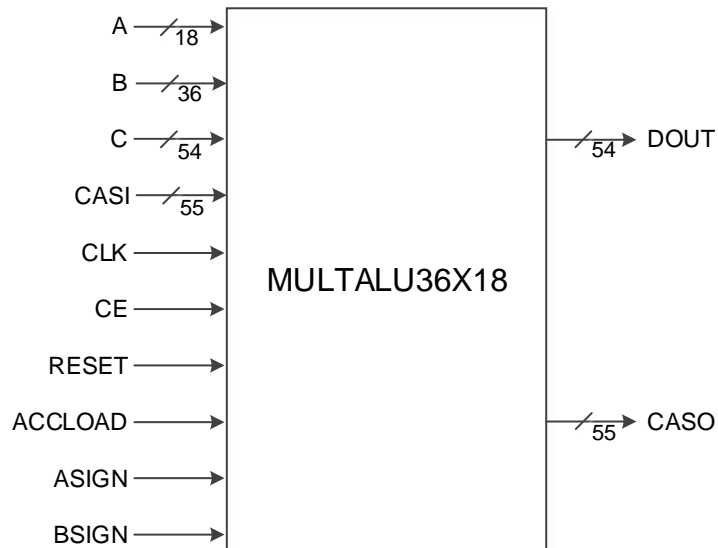


表 4-7 MULTALU 36 x 18 端口信号

端口名称	I/O 类型	说明
A[17:0]	I	18-bit 数据输入 A
B[35:0]	I	36-bit 数据输入 B
C[53:0]	I	54-bit 重载数据输入
ASIGN	I	输入信号 A 符号位
BSIGN	I	输入信号 B 符号位
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	复位输入
ACCLOAD	I	用于累加器重载选择
CASI[54:0]	I	55-bit 数据进位输入
DOUT[53:0]	O	54-bit 数据输出
CASO[54:0]	O	55-bit 数据进位输出

**MULTALU 36 x 18 属性**

MULTALU 36 x 18 属性如表 4-8 所示。

**表 4-8 MULTALU 36 x 18 的寄存器及属性设置说明**

属性名称	值（默认值）	说明
AREG	1'b0,1'b1(1'b0)	A输入寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
BREG	1'b0,1'b1(1'b0)	B输入寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
CREG	1'b0,1'b1(1'b0)	C输入寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
ASIGN_REG	1'b0,1'b1(1'b0)	A输入符号寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
BSIGN_REG	1'b0,1'b1(1'b0)	B输入符号寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
ACCLOAD_REG0	1'b0,1'b1(1'b0)	累加器的第一级寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
ACCLOAD_REG1	1'b0,1'b1(1'b0)	累加器的第二级寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
PIPE_REG	1'b0,1'b1(1'b0)	流水线寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
OUT_REG	1'b0,1'b1(1'b0)	输出寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
C_ADD_SUB	1'b0,1'b1(1'b0)	C输出加减法选择 <ul style="list-style-type: none"> <li>● 1'b0: 加法</li> <li>● 1'b1: 减法</li> </ul>
MULTALU36X18_MODE	0,1,2(0)	MULTALU36 X 18 操作模式 <ul style="list-style-type: none"> <li>● 0: 36x18 +/- INC</li> <li>● 1: ACC/0 + 36x18</li> <li>● 2: 36x18 + CASI</li> </ul>
MULT_RESET_MODE	SYNC,ASYNC(SYNC)	同步或异步

## 4.2.2 MULTALU 18 x 18

MULTALU 18 x 18 是 18-bit 乘法累加器，MULTALU 18 x 18 结构框图如图 4-5 所示，端口信号如表 4-9 所示。

图 4-5 MULTALU 18 x 18 结构框图

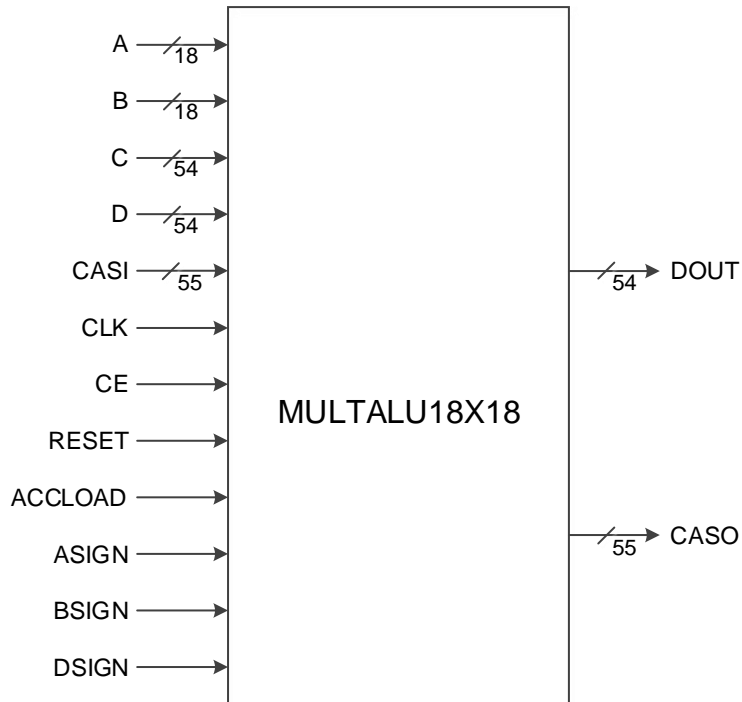


表 4-9 MULTALU 18 x 18 端口信号

端口名称	I/O 类型	说明
A[17:0]	I	18-bit 数据输入 A
B[17:0]	I	18-bit 数据输入 B
C[53:0]	I	54-bit 数据输入 C
D[53:0]	I	54-bit 数据输入 D
ASIGN	I	输入信号 A 符号位
BSIGN	I	输入信号 B 符号位
DSIGN	I	输入信号 D 符号位
CASI[54:0]	I	55-bit 数据进位输入
ACCLOAD	I	用于累加器重载选择
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	复位输入
DOUT[53:0]	O	数据输出
CASO[54:0]	O	55-bit 数据进位输出

**MULTALU 18 x 18 属性**

MULTALU 18 x 18 属性如表 4-10 所示。

**表 4-10 MULTALU 18 x 18 的寄存器及属性设置说明**

属性名称	值（默认值）	说明
AREG	1'b0,1'b1(1'b0)	A 输入寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
BREG	1'b0,1'b1(1'b0)	B 输入寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
CREG	1'b0,1'b1(1'b0)	C 输入寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
DREG	1'b0,1'b1(1'b0)	D 输入寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
DSIGN_REG	1'b0,1'b1(1'b0)	D 输入符号寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
ASIGN_REG	1'b0,1'b1(1'b0)	A 输入符号寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
BSIGN_REG	1'b0,1'b1(1'b0)	B 输入符号寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
ACCLOAD_REG0	1'b0,1'b1(1'b0)	累加器的第一级寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
ACCLOAD_REG1	1'b0,1'b1(1'b0)	累加器的第二级寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
OUT_REG	1'b0,1'b1(1'b0)	输出寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
PIPE_REG	1'b0,1'b1(1'b0)	流水线寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
MULTALU18X18_MODE	0,1,2(0)	MULTALU18X18 模式 <ul style="list-style-type: none"> <li>● 0: ACC/0 +/- 18x18 +/- C</li> </ul>

属性名称	值（默认值）	说明
		<ul style="list-style-type: none"> <li>● 1: ACC/0 +/- 18x18 + CASI</li> <li>● 2: 18x18 +/- D + CASI</li> </ul>
B_ADD_SUB	1'b0,1'b1(1'b0)	加减法选择 <ul style="list-style-type: none"> <li>● 1'b0: 加法</li> <li>● 1'b1: 减法</li> </ul>
C_ADD_SUB	1'b0,1'b1(1'b0)	加减法选择 <ul style="list-style-type: none"> <li>● 1'b0: 加法</li> <li>● 1'b1: 减法</li> </ul>
MULT_RESET_MODE	SYNC,ASYNC(SYNC)	同步/异步复位

### 4.3 乘法求和累加器模式

MULTADDALU 实现乘法求和后累加或 reload 运算，MULTADDALU 18 x 18 结构框图如图 4-6 所示，端口信号如表 4-11 所示。

三种运算模式如下：

$$DOUT = A0 * B0 \pm A1 * B1 \pm C$$

$$DOUT = \sum (A0 * B0 \pm A1 * B1)$$

$$DOUT = A0 * B0 \pm A1 * B1 + CASI$$

图 4-6 MULTADDALU 18 x 18 结构框图

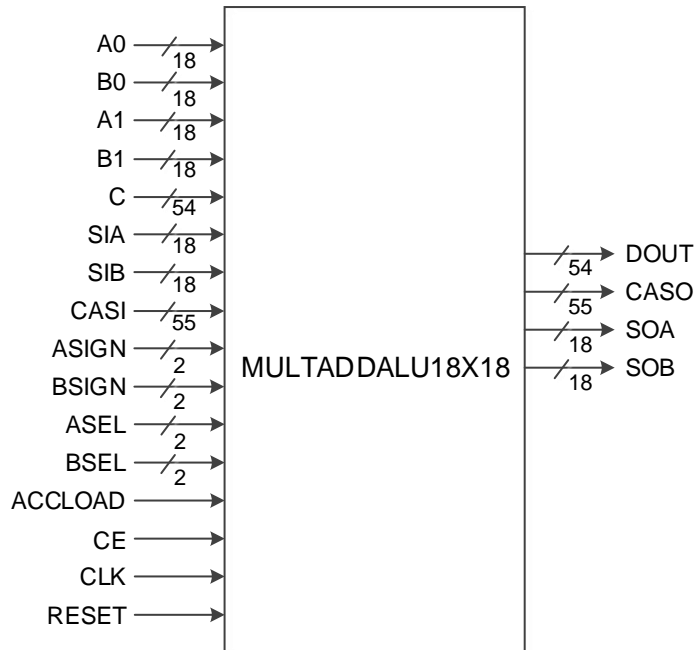


表 4-11 MULTADDALU 18 x 18 端口信号

端口名称	I/O 类型	说明
A0[17:0]	I	18-bit 数据输入 A0
B0[17:0]	I	18-bit 数据输入 B0
A1[17:0]	I	18-bit 数据输入 A1
B1[17:0]	I	18-bit 数据输入 B1
C[53:0]	I	54-bit 重载数据输入
SIA[17:0]	I	18-bit 移位数据输入 A
SIB[17:0]	I	18-bit 移位数据输入 B
ASIGN[1:0]	I	输入信号 A0 及信号 A1 的符号位
BSIGN[1:0]	I	输入信号 B0 及信号 B1 的符号位
ASEL[1:0]	I	输入源选择信号
BSEL[1:0]	I	输入源选择信号
CASI[54:0]	I	55-bit 数据进位输入
ACCLOAD	I	用于累加器重载选择
CLK	I	时钟输入
CE	I	时钟使能信号
RESET	I	复位输入
DOUT[53:0]	O	数据输出
CASO[54:0]	O	55-bit 数据进位输出



端口名称	I/O 类型	说明
SOA[17:0]	O	移位数据输出 A
SOB[17:0]	O	移位数据输出 B

### MULTADDALU 18 x 18 属性

MULTADDALU 18 x 18 属性如表 4-12 所示。

表 4-12 MULTADDALU 18 x 18 的寄存器及属性设置说明

属性名称	值（默认值）	说明
A0REG	1'b0,1'b1(1'b0)	A0 或 SIA 输入寄存器 <ul style="list-style-type: none"> <li>1'b0: 旁路模式</li> <li>1'b1: 寄存器模式</li> </ul>
A1REG	1'b0,1'b1(1'b0)	A1 或 A0REG 输出值的输入寄存器 <ul style="list-style-type: none"> <li>1'b0: 旁路模式</li> <li>1'b1: 寄存器模式</li> </ul>
B0REG	1'b0,1'b1(1'b0)	B0 或 SIB 输入寄存器 <ul style="list-style-type: none"> <li>1'b0: 旁路模式</li> <li>1'b1: 寄存器模式</li> </ul>
B1REG	1'b0,1'b1(1'b0)	B1 或 B0REG 输出值的输入寄存器 <ul style="list-style-type: none"> <li>1'b0: 旁路模式</li> <li>1'b1: 寄存器模式</li> </ul>
CREG	1'b0,1'b1(1'b0)	C 输入寄存器 <ul style="list-style-type: none"> <li>1'b0: 旁路模式</li> <li>1'b1: 寄存器模式</li> </ul>
PIPE0_REG	1'b0,1'b1(1'b0)	乘法器 0 流水线寄存器 <ul style="list-style-type: none"> <li>1'b0: 旁路模式</li> <li>1'b1: 寄存器模式</li> </ul>
PIPE1_REG	1'b0,1'b1(1'b0)	乘法器 1 流水线寄存器 <ul style="list-style-type: none"> <li>1'b0: 旁路模式</li> <li>1'b1: 寄存器模式</li> </ul>
OUT_REG	1'b0,1'b1(1'b0)	输出寄存器 <ul style="list-style-type: none"> <li>1'b0: 旁路模式</li> <li>1'b1: 寄存器模式</li> </ul>
ASIGN0_REG	1'b0,1'b1(1'b0)	A 输入符号寄存器 0 <ul style="list-style-type: none"> <li>1'b0: 旁路模式</li> <li>1'b1: 寄存器模式</li> </ul>

属性名称	值（默认值）	说明
ASIGN1_REG	1'b0,1'b1(1'b0)	A输入符号寄存器1 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
BSIGN0_REG	1'b0,1'b1(1'b0)	B 输入符号寄存器 0 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
BSIGN1_REG	1'b0,1'b1(1'b0)	B 输入符号寄存器 1 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
ACCLOAD_REG0	1'b0,1'b1(1'b0)	累加器的第一级寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
ACCLOAD_REG1	1'b0,1'b1(1'b0)	累加器的第二级寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
SOA_REG	1'b0,1'b1(1'b0)	SOA 寄存器 <ul style="list-style-type: none"> <li>● 1'b0: 旁路模式</li> <li>● 1'b1: 寄存器模式</li> </ul>
MULTADDALU18X18_MODE	0,1,2(0)	MULTADDALU 18 x 18 模式 <ul style="list-style-type: none"> <li>● 0: 18 x 18 +/- 18 x 18 +/- C</li> <li>● 1: ACC/0 + 18 x 18 +/- 18 x 18</li> <li>● 2: 18 x 18 +/- 18 x 18 + CASI</li> </ul>
B_ADD_SUB	1'b0,1'b1(1'b0)	加减法选择 <ul style="list-style-type: none"> <li>● 1'b0: 加法</li> <li>● 1'b1: 减法</li> </ul>
C_ADD_SUB	1'b0,1'b1(1'b0)	加减法选择 <ul style="list-style-type: none"> <li>● 1'b0: 加法</li> <li>● 1'b1: 减法</li> </ul>
MULT_RESET_MODE	SYNC,ASYNC(SYNC)	同步/异步复位

# 5 DSP 调用

关于 DSP 的配置及调用信息请参考 《Gowin IP Core Generator 用户指南》>3 使用>3.2 DSP。

