



Gowin 系统管脚(systemIO) 用户指南

UG289-1.3,2018-04-08

版权所有©2018 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2016/05/17	1.05	初始版本。
2016/07/15	1.06	标准化插图。
2016/08/02	1.07	适用 GW2A 系列 FPGA 产品。
2016/10/27	1.08	适用 GW2AR 系列 FPGA 产品。
2017/09/01	1.09	更新 GW1N-6K/9K 新特性及 GW1NR 相关内容。
2017/10/12	1.10	增加 IDES16/OSER16 相关备注信息。
2017/12/12	1.2	去掉 IDDR/ODDR RESET 信号，更新 LVDS 描述，添加带 memory 的输入/输出描述。
2018/04/08	1.3	更新第 7 章图表内容。

目录

目录	i
图目录	iii
表目录	v
1 关于本手册	1
1.1 手册内容	1
1.2 适用产品	1
1.3 相关文档	1
1.4 术语、缩略语	1
1.5 技术支持与反馈	2
2 系统管脚总览	3
3 支持的管脚电平标准	5
4 系统管脚分区策略	8
5 供电要求	11
6 系统管脚缓存配置	12
6.1 LVCMOS 缓存配置	12
6.2 差分缓存配置	12
6.3 输入输出逻辑	13
6.3.1 延迟模块	14
6.3.2 输入输出寄存器	14
6.3.3 取样模块	15
6.3.4 解串器 DES 及跨时钟域转换模块	15
6.3.5 串化器 SER 模块	15
7 软件系统管脚属性	16
7.1 软件系统管脚设置	16
7.1.1 位置	16
7.1.2 电平标准	16
7.1.3 驱动能力	16
7.1.4 上下拉模式	16

7.1.5 参考电压.....	16
7.1.6 迟滞.....	16
7.1.7 漏极开路.....	17
7.1.8 转换速率.....	17
7.1.9 单端匹配电阻	17
7.1.10 差分匹配电阻	17
7.2 系统管脚原语	17
7.2.1 IBUF/OBUF/IOBUF/TBUF	17
7.2.2 LVDS_IBUF/LVDS_OBUF/LVDS_IOBUF/LVDS_TBUF	18
7.2.3 SDR	19
7.2.4 IDDR/ODDR	19
7.2.5 IDER4/OSER4	20
7.2.6 IVIDEO/OVIDEO.....	21
7.2.7 IDER8/OSER8	22
7.2.8 IDER10/OSER10	23
7.2.9 IDER16/OSER16	25
7.2.10 IDDR_MEM/IDER4_MEM/IDER8_MEM.....	26
7.2.11 ODDR_MEM/OSER4_MEM/OSER8_MEM.....	27
8 模拟差分电路匹配网络.....	29
8.1 模拟 LVDS.....	29
8.2 模拟 LVPECL	29
8.3 模拟 RSDS	29
8.4 模拟 BLVDS	30
9 设计考虑和用法.....	31
9.1 系统管脚通用属性	31
9.2 系统管脚专用属性	31

图目录

图 2-1 输入输出模块结构示意图.....	3
图 4-1 GW1N 系列 FPGA 产品分区分布示意图.....	8
图 4-2 GW1NR 系列 FPGA 产品分区分布示意图.....	9
图 4-3 GW2A 系列 FPGA 产品分区分布示意图.....	9
图 4-4 GW2AR 系列 FPGA 产品分区分布示意图.....	10
图 6-1 输入输出逻辑输出示意图 – 输出部分.....	13
图 6-2 输入输出逻辑输入示意图 – 输入部分.....	14
图 6-3 IODELAY 示意图.....	14
图 6-4 输入输出寄存器示意图.....	14
图 6-5 高云半导体 FPGA 产品的 IEM 示意图.....	15
图 7-1 普通模式下的输入输出逻辑结构示意图.....	17
图 7-2 LVDS 输入输出逻辑结构示意图.....	18
图 7-3 SDR 模式下的输入输出逻辑结构示意图.....	19
图 7-4 IDDR 结构示意图.....	20
图 7-5 ODDR 结构示意图.....	20
图 7-6 IDES4 结构示意图.....	20
图 7-7 OSER4 结构示意图.....	21
图 7-8 IVIDEO 结构示意图.....	22
图 7-9 OVIDEO 结构示意图.....	22
图 7-10 IDES8 结构示意图.....	23
图 7-11 OSER8 结构示意图.....	23
图 7-12 IDES10 结构示意图.....	24
图 7-13 OSER10 结构示意图.....	24
图 7-14 IDES16 结构示意图.....	25
图 7-15 OSER16 结构示意图.....	26
图 7-16 带 memory 的 IO 接口倍频输入框图.....	27
图 7-17 带 memory 的 IO 接口倍频输出框图.....	28
图 8-1 LVDS25E 匹配网络.....	29
图 8-2 LVPECL 匹配网络.....	29

图 8-3 RSDS 匹配网络 30

图 8-4 BLVDS 匹配网络..... 30

表目录

表 1-1 术语、缩略语	1
表 3-1 高云半导体 FPGA 产品支持的输出电平标准及部分可选配置	5
表 3-2 高云半导体 FPGA 产品支持的输入电平标准及部分可选配置	6
表 7-1 单端输入缓存(IBUF)信号定义	17
表 7-2 单端输出缓存(OBUF)信号定义	17
表 7-3 单端双向缓存(IOBUF)信号定义	18
表 7-4 单端三态输出缓存(TBUF)示意图	18
表 7-5 差分输入缓存信号定义	18
表 7-6 差分输出缓存信号定义	18
表 7-7 差分双向缓存信号定义	18
表 7-8 差分三态缓存信号定义	19
表 7-9 IDDR 信号定义	20
表 7-10 ODDR 信号定义	20
表 7-11 IDES4 信号定义	21
表 7-12 OSER4 信号定义	21
表 7-13 IVIDEO 信号定义	22
表 7-14 OVIDEO 信号定义	22
表 7-15 IDES8 信号定义	23
表 7-16 OSER8 信号定义	23
表 7-17 IDES10 信号定义	24
表 7-18 OSER10 信号定义	25
表 7-19 IDES16 信号定义	26
表 7-20 OSER16 信号定义	26
表 7-21 带 memory 的 IO 接口倍频输入信号定义	27
表 7-22 带 memory 的 IO 接口倍频输出信号定义	28

1 关于本手册

1.1 手册内容

Gowin 系统管脚(systemIO)主要描述了高云半导体 FPGA 产品支持的系统管脚电平标准及其系统管脚分区策略，同时阐述了系统管脚的架构和 Gowin 云源软件用法以便客户对系统管脚功能和分配规则有一个更深刻的理解。

1.2 适用产品

本手册中描述的信息适用于以下产品：

1. GW1N 系列 FPGA 产品：GW1N-2, GW1N-4, GW1N-6, GW1N-9
2. GW1NR 系列 FPGA 产品：GW1NR-4
3. GW2A 系列 FPGA 产品：GW2A-18, GW2A-55
4. GW2AR 系列 FPGA 产品：GW2AR-18

1.3 相关文档

通过登录高云半导体网站 <http://www.gowinsemi.com.cn> 可以下载、查看以下相关文档：

1. GW2A 系列 FPGA 产品数据手册
2. GW1N 系列 FPGA 产品数据手册
3. GW1NR 系列 FPGA 产品数据手册
4. GW2AR 系列 FPGA 产品数据手册

1.4 术语、缩略语

表 1-1 列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
IOB	Input/Output Block	输入输出模块
IO Buffer	Input/Output Buffer	输入输出缓存
IO Logic	Input/Output Logic	输入输出逻辑

术语、缩略语	全称	含义
CFU	Configurable Function Unit	可配置功能单元
CRU	Configurable Routing Unit	可编程布线单元
Slew Rate	Slew Rate	转换速率
Bus Keeper	Bus Keeper	总线保持
Open Drain	Open Drain	漏极开路
SDR	Single Data Rate	单倍速率
DDR	Double Data Rate	双倍速率
SER	Serializer	串行器
DES	Deserializer	解串器
TLDO	True LVDS Output	真 LVDS 输出(电流输出)
ELDO	Emulated LVDS Output	模拟 LVDS 输出(电压输出)

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：<http://www.gowinsemi.com.cn>

E-mail：support@gowinsemi.com

Tel: +86 0755 8262 0391

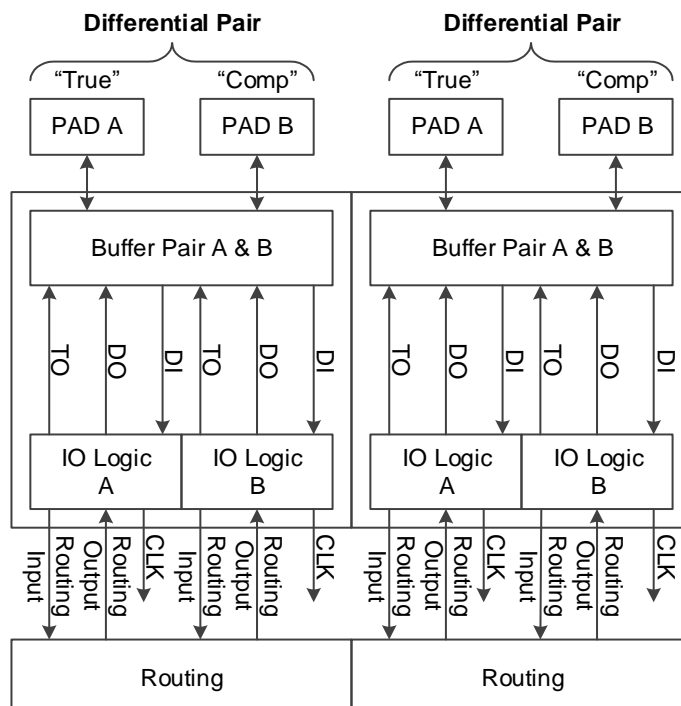
2 系统管脚总览

高云半导体 FPGA 产品的系统管脚灵活适配多种业界通用管脚电平标准，从单端电平标准到差分电平标准的支持方便用户对接不同的外部总线、存储器设备、视频应用以及其他标准协议。

高云半导体 FPGA 产品系统管脚的基本单元是输入输出模块(IOB)，主要包括输入输出缓存(IO Buffer)、输入输出逻辑(IO Logic)以及相应的可编程布线资源单元三个部分。其中可编程布线资源单元与可配置功能单元(CFU)中的可编程布线单元(CRU)类似。

如图 2-1 所示，每个输入输出模块包括两个输入输出管脚，分别标记为 A 和 B，它们可以配置成一组差分信号对，也可以作为单端信号分别使用。输入输出缓存主要用于支持各种单端电平标准和差分电平标准，输入输出逻辑集成了串并转换、并串转换、延迟控制以及字节对齐等功能，主要用于高速数据传输场合。可编程布线资源单元用于输入输出模块和其他片内资源之间的互联。

图 2-1 输入输出模块结构示意图



高云半导体 FPGA 系列产品中输入输出模块的功能特点:

- 基于分区(Bank)的管脚供电(V_{CC0})机制
- 支持 LVCMOS、PCI、LVTTTL、LVDS、SSTL 以及 HSTL 等多种电平标准
- GW1N-6K 以及 GW1N-9K 支持 MIPI 电平标准以及 MIPI I3C OpenDrain/PushPull 转换
- 提供输入信号去迟滞选项
- 提供输出信号驱动电流选项
- 提供输出信号转换速率(Slew Rate)选项
- 对每个管脚提供独立的总线保持(Bus Keeper)、上拉/下拉电阻及漏极开路(Open Drain)输出选项
- 支持热插拔
- 输入输出逻辑支持普通模式、单倍速率(SDR)模式以及双倍速率(DDR)等多种模式

3 支持的管脚电平标准

高云半导体 **FPGA** 产品同时支持单端电平标准和差分电平标准。单端电平标准可以采用内置的管脚电压作为参考电压，也可以使用任意一个管脚作为外部参考电压输入。高云半导体 **FPGA** 产品所有分区都支持差分输入，伪 **LVDS** 差分输出使用外部电阻匹配和差分 **LVC MOS** 缓存输出实现。特定分区支持真 **LVDS** 差分输出和差分输入匹配，详细信息请参考 [4 系统管脚分区策略](#)。

高云半导体 **FPGA** 产品不同的电平标准对管脚电压的要求，如表 3-1 和表 3-2 所示。

表 3-1 高云半导体 FPGA 产品支持的输出电平标准及部分可选配置

I/O 输出标准	单端/差分	Bank $V_{CC0}(V)$	输出驱动能力(mA)
LVTTTL33	单端	3.3	4,8,12,16,24
LVC MOS33	单端	3.3	4,8,12,16,24
LVC MOS25	单端	2.5	4,8,12,16
LVC MOS18	单端	1.8	4,8,12
LVC MOS15	单端	1.5	4,8
LVC MOS12	单端	1.2	4,8
SSTL25_I	单端	2.5	8
SSTL25_II	单端	2.5	8
SSTL33_I	单端	3.3	8
SSTL33_II	单端	3.3	8
SSTL18_I	单端	1.8	8
SSTL18_II	单端	1.8	8
SSTL15	单端	1.5	8
HSTL18_I	单端	1.8	8
HSTL18_II	单端	1.8	8
HSTL15_I	单端	1.5	8
PCI33	单端	3.3	N/A
LVPECL33E	差分	3.3	16
MVLDS25E	差分	2.5	16

I/O 输出标准	单端/差分	Bank V _{CCO} (V)	输出驱动能力(mA)
BLVDS25E	差分	2.5	16
RSDS25E	差分	2.5	8
LVDS25E	差分	2.5	8
LVDS25	差分	2.5/3.3	1.25,2.0,2.5,3.5
RSDS	差分	2.5/3.3	2
MINILVDS	差分	2.5/3.3	2
PPLVDS	差分	2.5/3.3	3.5
SSTL15D	差分	1.5	8
SSTL25D_I	差分	2.5	8
SSTL25D_II	差分	2.5	8
SSTL33D_I	差分	3.3	8
SSTL33D_II	差分	3.3	8
SSTL18D_I	差分	1.8	8
SSTL18D_II	差分	1.8	8
HSTL18D_I	差分	1.8	8
HSTL18D_II	差分	1.8	8
HSTL15D_I	差分	1.5	8
MIPI	差分	TBD	TBD

表 3-2 高云半导体 FPGA 产品支持的输入电平标准及部分可选配置

I/O 输入标准	单端/差分	Bank V _{CCO} (V)	支持去迟滞选项	是否需要 V _{REF}
LVTTTL33	单端	1.5/1.8/2.5/3.3	是	否
LVC MOS33	单端	1.5/1.8/2.5/3.3	是	否
LVC MOS25	单端	1.5/1.8/2.5/3.3	是	否
LVC MOS18	单端	1.5/1.8/2.5/3.3	是	否
LVC MOS15	单端	1.2/1.5/1.8/2.5/3.3	是	否
LVC MOS12	单端	1.2/1.5/1.8/2.5/3.3	是	否
SSTL15	单端	1.5/1.8/2.5/3.3	否	是
SSTL25_I	单端	2.5/3.3	否	是
SSTL25_II	单端	2.5/3.3	否	是
SSTL33_I	单端	3.3	否	是
SSTL33_II	单端	3.3	否	是
SSTL18_I	单端	1.8/2.5/3.3	否	是
SSTL18_II	单端	1.8/2.5/3.3	否	是
HSTL18_I	单端	1.8/2.5/3.3	否	是
HSTL18_II	单端	1.8/2.5/3.3	否	是
HSTL15_I	单端	1.5/1.8/2.5/3.3	否	是
PCI33	单端	3.3	是	否
LVDS	差分	2.5/3.3	否	否

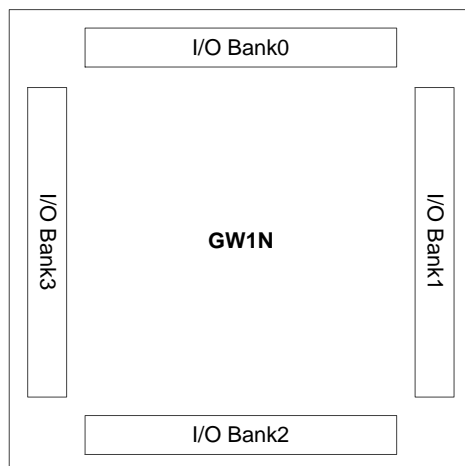
I/O 输入标准	单端/差分	Bank $V_{CC0}(V)$	支持去迟滞选项	是否需要 V_{REF}
RSDS	差分	2.5/3.3	否	否
MINILVDS	差分	2.5/3.3	否	否
PPLVDS	差分	2.5/3.3	否	否
LVDS25E	差分	2.5/3.3	否	否
MLVDS25E	差分	2.5/3.3	否	否
BLVDS25E	差分	2.5/3.3	否	否
RSDS25E	差分	2.5/3.3	否	否
LVPECL33E	差分	3.3	否	否
SSTL15D	差分	1.5/1.8/2.5/3.3	否	否
SSTL25D_I	差分	2.5/3.3	否	否
SSTL25D_II	差分	2.5/3.3	否	否
SSTL33D_I	差分	3.3	否	否
SSTL33D_II	差分	3.3	否	否
SSTL18D_I	差分	1.8/2.5/3.3	否	否
SSTL18D_II	差分	1.8/2.5/3.3	否	否
HSTL18D_I	差分	1.8/2.5/3.3	否	否
HSTL18D_II	差分	1.8/2.5/3.3	否	否
HSTL15D_I	差分	1.5/1.8/2.5/3.3	否	否
MIPI	差分	TBD	TBD	TBD

4 系统管脚分区策略

GW1N 系列 FPGA 产品

GW1N 系列 FPGA 产品的管脚被划分为 4 个分区, 每个分区由独立的管脚电源(Vcco)供电, 管脚电源可以配置为 3.3V、2.5V、1.8V、1.5V 或 1.2V。

图 4-1 GW1N 系列 FPGA 产品分区分布示意图

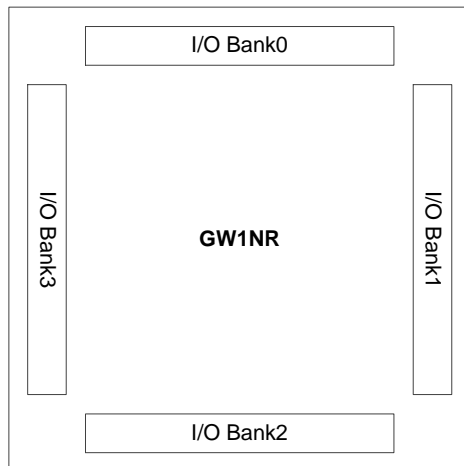


GW1N 系列 FPGA 产品在分区 1/2/3 支持真 LVDS 差分输出, 分区 0 支持 100 欧姆输入差分匹配电阻。GW1N-6K/GW1N-9K 的分区 0 支持 MIPI 输入, 分区 2 支持 MIPI 输出。

GW1NR 系列 FPGA 产品

GW1NR 系列 FPGA 产品的管脚被划分为 4 个分区, 每个分区由独立的管脚电源(Vcco)供电, 管脚电源可以配置为 3.3V、2.5V、1.8V、1.5V 或 1.2V。

图 4-2 GW1NR 系列 FPGA 产品分区分布示意图

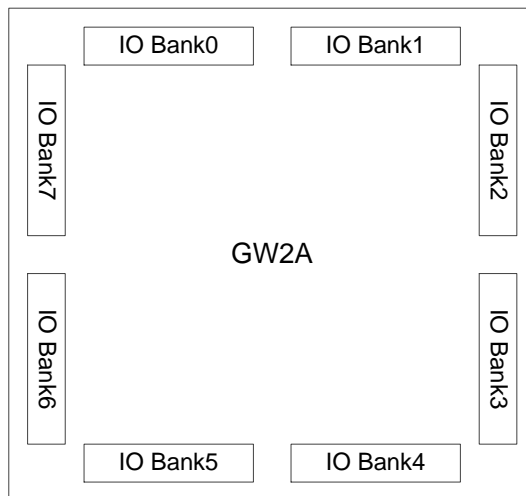


GW1NR 系列 FPGA 产品在分区 1/2/3 支持真 LVDS 差分输出，分区 0 支持 100 欧姆输入差分匹配电阻。GW1NR-6K/GW1NR-9K 的分区 0 支持 MIPI 输入，分区 2 支持 MIPI 输出。

GW2A 系列 FPGA 产品

GW2A 系列 FPGA 产品的管脚被划分为 8 个分区，每个分区由独立的管脚电源(Vcco)供电，管脚电源可以配置为 3.3V、2.5V、1.8V、1.5V 或 1.2V。

图 4-3 GW2A 系列 FPGA 产品分区分布示意图

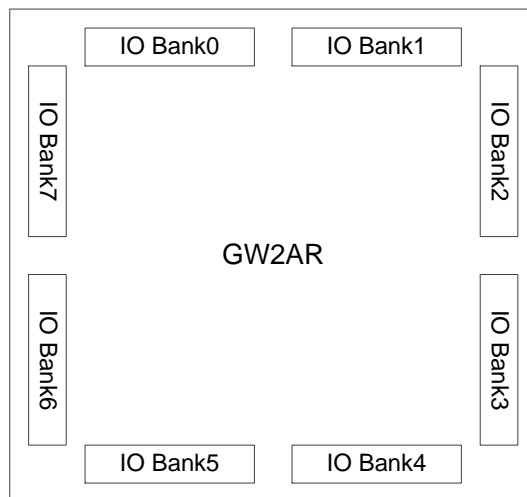


GW2A 系列 FPGA 产品所有分区都支持真 LVDS 差分输出，分区 0/1 支持 100 欧姆输入差分匹配电阻。

GW2AR 系列 FPGA 产品

GW2AR 系列 FPGA 产品的管脚被划分为 8 个分区，每个分区由独立的管脚电源(Vcco)供电，管脚电源可以配置为 3.3V、2.5V、1.8V、1.5V 或 1.2V。

图 4-4 GW2AR 系列 FPGA 产品分区分布示意图



GW2AR 系列 FPGA 产品所有分区都支持真 LVDS 差分输出，分区 0/1 支持 100 欧姆输入差分匹配电阻。

5 供电要求

核电压(V_{CC})和管脚电压(V_{CC0})达到特定阈值时，内部的上电复位信号(POR)会置位，高云半导体 FPGA 产品内核逻辑被激活。空白芯片默认的系统管脚状态是弱上拉。高云半导体 FPGA 产品对内核电压和管脚电压无上下电顺序要求。

每个分区支持一个参考电压输入(V_{REF})。一个分区内的任何管脚可以配置为输入参考电压。为了支持 SSTL 和 HSTL 等电平标准输入，参考电压设置为管脚电压的一半。输入参考电压也可由内部参考电压生成器产生。由于每个分区只有一条参考电压总线，一个分区内部参考电压生成器和外部参考电压输入管脚不能同时有效。

6 系统管脚缓存配置

高云半导体 FPGA 产品的系统管脚缓存包含两个输入输出管脚，分别标记为 A 和 B。管脚 A 对应于差分信号的正端，而管脚 B 对应于差分信号的负端。

6.1 LVCMOS 缓存配置

所有系统管脚都包含 LVCMOS 缓存，LVCMOS 缓存可根据不同应用场合配置成多种模式。每个 LVCMOS 缓存可以设置成弱上拉、弱下拉以及总线保持。弱上拉和弱下拉提供了一种固定特征，可以广泛应用于线与、线或等逻辑控制。总线保持以最小功耗锁存信号的上一个状态，关闭总线保持可以降低输入漏电流。

所有 LVCMOS 缓存具有可编程的驱动能力，各种电平标准对应的驱动能力选项可以参照表 3-1。高云半导体 FPGA 产品可编程的驱动能力仅保证相应设置最小的驱动能力。

去迟滞设置主要用于在噪声环境下防止一系列电平的快速跳转，所有 LVCMOS 缓存都支持去迟滞设置。

转换速率设置会在时钟上升沿和时钟下降沿同时生效，LVCMOS 缓存可以配置成低噪声模式(SLOW)和高速模式(FAST)。

当一个差分对配置成两个单端管脚使用时，管脚间的相对延时最小，信号的一致性最好。

6.2 差分缓存配置

当系统管脚缓存配置成差分模式时，输入去迟滞和总线保持特性被禁用。

GW1N 器件在分区 0 支持片内可编程的 100 欧姆输入差分匹配电阻。GW1N 器件分区分布示意图如图 4-1 所示。

GW1NR 器件在分区 0 支持片内可编程的 100 欧姆输入差分匹配电阻。GW1N 器件分区分布示意图如图 4-1 所示。

GW2A 器件在分区 0/1 支持片内可编程的 100 欧姆输入差分匹配电阻。GW2A 器件分区分布示意图如图 4-3 所示。

GW2AR 器件在分区 0/1 支持片内可编程的 100 欧姆输入差分匹配电阻。

GW2AR 器件分区分布示意图如图 4-4 所示。

所有单端系统管脚缓存对都可以配置成伪 LVDS 差分输出电平标准，比如 LVPECL33E，MLVDS25E，BLVDS25E 等。同时芯片外部需要添加电阻匹配网络。

GW1N 器件和 GW1NR 器件在分区 1/2/3 支持真 LVDS 差分输出驱动。GW1N-6K/GW1N-9K/GW1NR-6K/GW1NR-9K 分区 0 支持 MIPI 输入，分区 2 支持 MIPI 输出。

GW2A 器件和 GW2AR 器件在所有分区支持真 LVDS 差分输出驱动。

6.3 输入输出逻辑

高云半导体 FPGA 产品的 I/O 逻辑支持多种工作模式。每一种工作模式下，管脚(或管脚差分信号对)又可以配置成输出信号、输入信号、双向信号及三态输出信号(带三态控制的输出信号)。

GW1N-1K 器件 IOL6、IOR6 管脚不支持 IO 逻辑；GW1N-2K/GW1N-4K/器件 IOL10、IOR10 管脚不支持 IO 逻辑；GW1N-6K/GW1N-9K/GW2A-18/GW2A-55/GW2AR-18 器件所有管脚都支持 IO 逻辑。

图 6-1 为高云半导体 FPGA 产品输入输出逻辑的输出部分。

图 6-1 输入输出逻辑输出示意图 - 输出部分

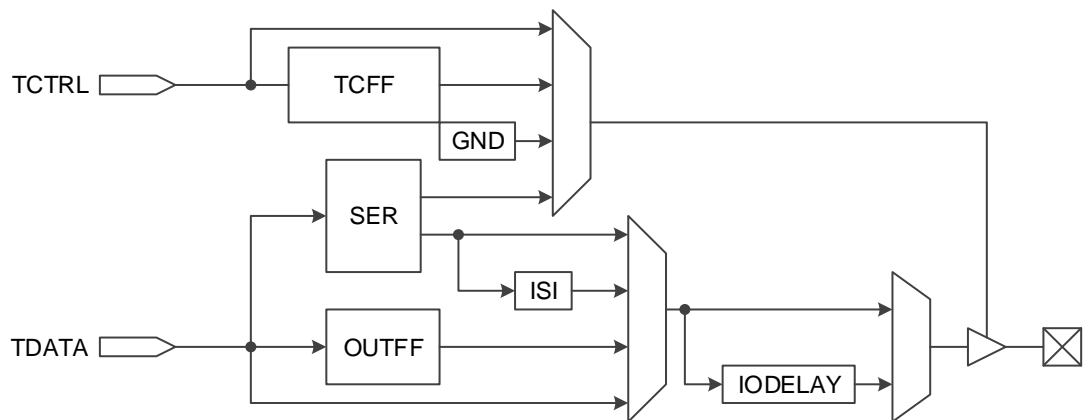
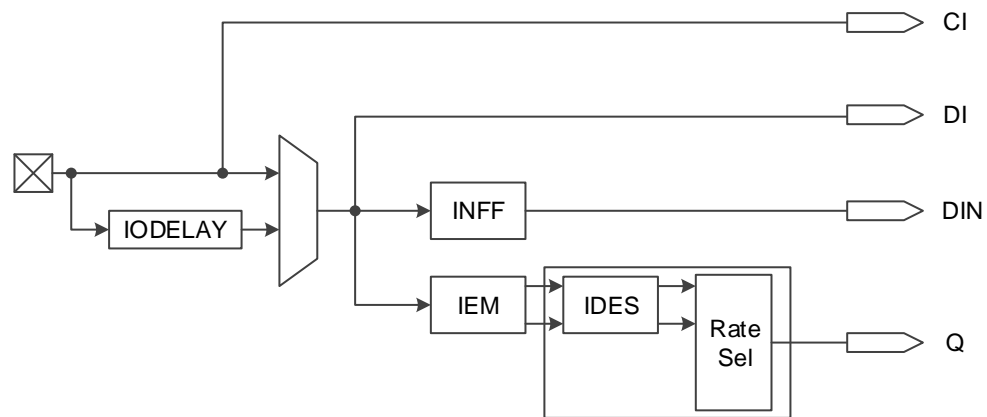


图 6-2 为高云半导体 FPGA 产品的输入输出逻辑的输入部分。

图 6-2 输入输出逻辑输入示意图 – 输入部分

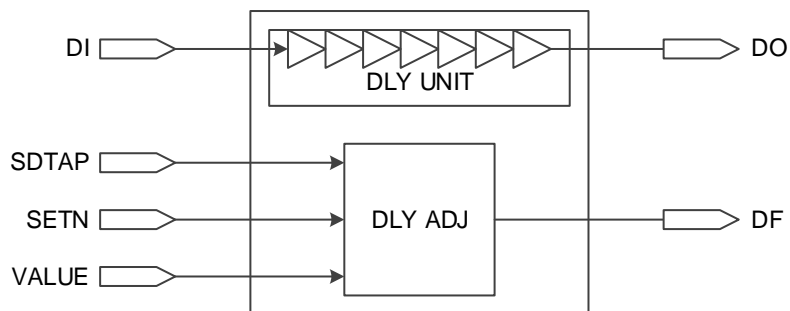


高云半导体 FPGA 产品的输入输出逻辑的组成模块说明如 [6.3.1 ~ 6.3.5](#) 所述。

6.3.1 延迟模块

图 6-3 为延迟模块 IODELAY。高云 FPGA 产品的每个 I/O 都包含 IODELAY 模块，总共提供的延迟大约为 128 步 x 25ps = 3,200ps。

图 6-3 IODELAY 示意图



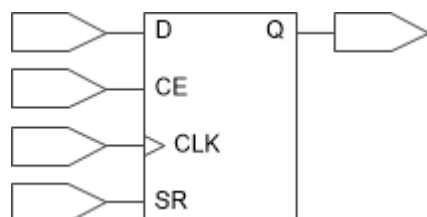
有两种控制延迟的方式：

- 静态控制
- 动态控制，可与 IEM 模块一起使用来调节动态取样窗口需要注意的是 IODELAY 不能同时用于输入和输出。

6.3.2 输入输出寄存器

图 6-4 为高云半导体 FPGA 产品的输入输出寄存器模块。高云半导体 FPGA 产品的每个管脚都提供可编程输入寄存器(INFF)、输出寄存器(OUTFF)和高阻控制寄存器(TCFF)。

图 6-4 输入输出寄存器示意图

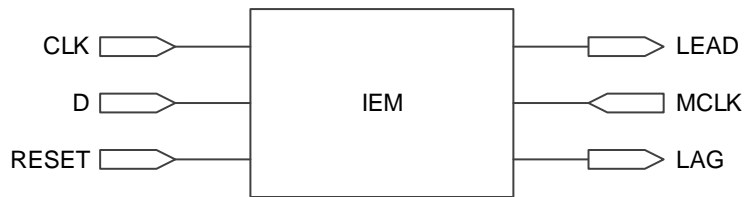


- CE 可以编程为低电平有效(0: enable)或高电平有效(1: enable)。
- CLK 可以编程为上升沿触发或下降沿触发。
- SR 可以编程为同步/异步的 SET/RESET 或无效(disable)。
- 寄存器可以编程为寄存器(register)或触发器(latch)。

6.3.3 取样模块

取样模块(IEM)是用来取样数据边沿,用于通用 DDR 模式,如图 6-5 所示。

图 6-5 高云半导体 FPGA 产品的 IEM 示意图



6.3.4 解串器 DES 及跨时钟域转换模块

每个输入的 I/O 逻辑提供了简单的解串器 DES,丰富了 I/O 资源应用方式。

6.3.5 串化器 SER 模块

每个输出的 I/O 逻辑提供了简单的串化器 SER 模块,丰富了 I/O 资源应用方式。

7 软件系统管脚属性

7.1 软件系统管脚设置

Gowin 云源软件的物理约束编辑器支持系统管脚属性设置，物理约束编辑器对应于 CST 文件，下面对 CST 文件支持的物理约束作详细介绍。

7.1.1 位置

对系统管脚进行物理位置锁定。

```
IO_LOC "xxx" H4 exclusive
```

7.1.2 电平标准

为系统管脚设置电平标准。

```
IO_PORT "xxx" IO_TYPE=LVCMOS18D
```

7.1.3 驱动能力

为输出管脚或双向管脚设置驱动能力。

```
IO_PORT "xxx" DRIVE=12
```

7.1.4 上下拉模式

设置上下拉模式，其中 UP：上拉；DOWN：下拉；KEEPER：总线保持；NONE：高阻。

```
IO_PORT "xxx" PULL_MODE=DOWN
```

7.1.5 参考电压

为系统管脚设置参考电压，既可以来自外部管脚也可以来自内部参考电压生成器。

```
IO_PORT "xxx" VREF=VREF1_LOAD
```

7.1.6 迟滞

为输入管脚或双向管脚设置迟滞量，从小到大依次是 NONE->H2L->L2H->HIGH。

```
IO_PORT "xxx" HYSTERESIS=L2H
```


7.1.7 漏极开路

为输出管脚或双向管脚打开或关闭漏极开路，提供 ON/OFF 选项。

```
IO_PORT "xxx" OPEN_DRAIN=ON
```

7.1.8 转换速率

为输出管脚或双向管脚设置转换速率，SLOW：低噪声模式；FAST：高速模式。

```
IO_PORT "xxx" SLEW_RATE=SLOW
```

7.1.9 单端匹配电阻

为单端信号设置终端匹配电阻，提供 OFF 和 100 欧选项。

```
IO_PORT "xxx" SINGLE_RESISTOR=100
```

7.1.10 差分匹配电阻

为差分信号设置终端匹配电阻，提供 OFF 和 100 欧选项。

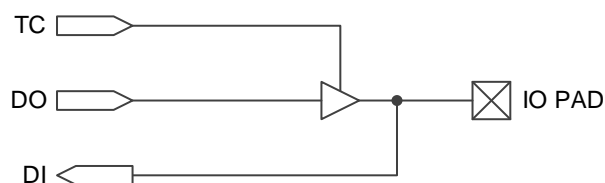
```
IO_PORT "xxx" Diff_RESISTOR=100
```

7.2 系统管脚原语

7.2.1 IBUF/OBUF/IOBUF/TBUF

普通模式下的 I/O 逻辑如图 7-1 所示，此模式下信号 TC、DO 以及 DI 直接通过 CRU 与器件内部连接。

图 7-1 普通模式下的输入输出逻辑结构示意图



单端输入缓存、单端输出缓存、单端双向缓存以及单端三态输出缓存信号定义参见表 7-1 到表 7-4。

表 7-1 单端输入缓存(IBUF)信号定义

信号名	输入输出定义	描述
I	输入	管脚输入到缓存
O	输出	缓存输出到器件内部

表 7-2 单端输出缓存(OBUF)信号定义

信号名	输入输出定义	描述
I	输入	器件内部输入到缓存
O	输出	缓存输出到管脚

表 7-3 单端双向缓存(IOBUF)信号定义

信号名	输入输出定义	描述
I	输入	器件内部输入到缓存
OE	输入	输出使能控制
O	输出	缓存输出到器件内部
IO	双向	缓存到管脚之间双向连线

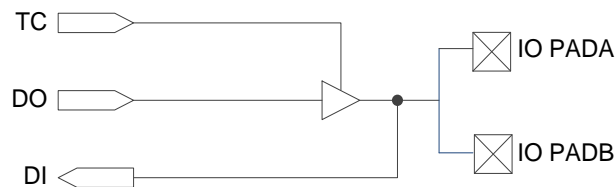
表 7-4 单端三态输出缓存(TBUF)示意图

信号名	输入输出定义	描述
I	输入	器件内部输入到缓存
OE	输入	输出使能控制
O	输出	缓存输出到管脚

7.2.2 LVDS_IBUF/LVDS_OBUF/LVDS_IOBUF/LVDS_TBUF

LVDS 逻辑图如图 7-2 所示, 包括 TLVDS 和 ELVDS 两种, 支持差分输入缓存、差分输出缓存、差分双向缓存以及差分三态输出缓存, 分别对应 TLVDS_IBUF/ELVDS_IBUF、TLVDS_OBUF/ELVDS_OBUF、TLVDS_IOBUF/ELVDS_IOBUF、TLVDS_TBUF/ELVDS_TBUF。

图 7-2 LVDS 输入输出逻辑结构示意图



差分输入缓存、差分输出缓存、差分双向缓存以及差分三态输出缓存信号定义参见表 7-5, 表 7-6, 表 7-7, 及表 7-8。

表 7-5 差分输入缓存信号定义

信号名	输入输出定义	描述
I	输入	管脚正端输入到缓存
IB	输入	管脚负端输入到缓存
O	输出	缓存输出到器件内部

表 7-6 差分输出缓存信号定义

信号名	输入输出定义	描述
I	输入	器件内部输入到缓存
O	输出	缓存输出到管脚正端
OB	输出	缓存输出到管脚负端

表 7-7 差分双向缓存信号定义

信号名	输入输出定义	描述
I	输入	器件内部输入到缓存
OE	输入	输出使能控制
O	输出	缓存输出到器件内部
IO	双向	缓存到管脚正端之间双向

信号名	输入输出定义	描述
		连线
IOB	双向	缓存到管脚负端之间双向连线

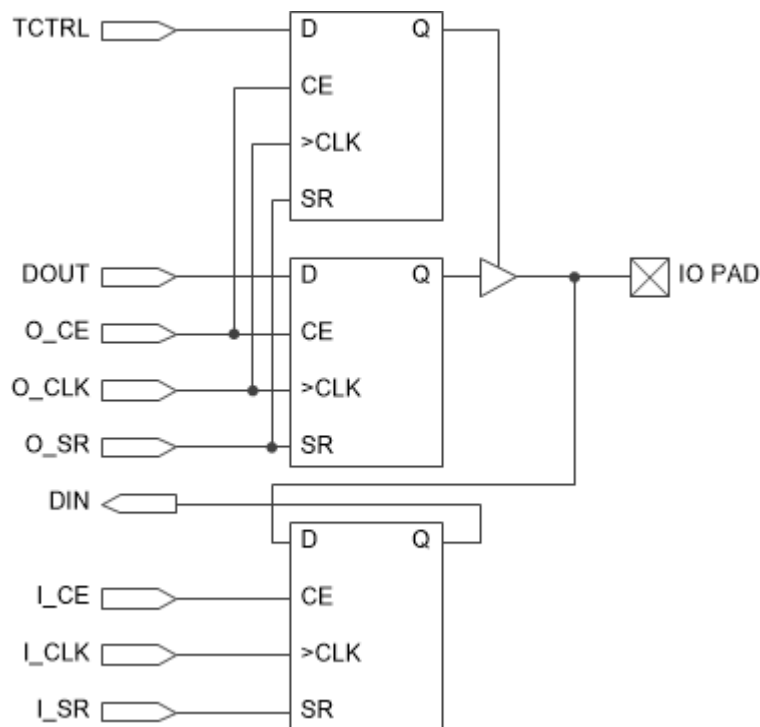
表 7-8 差分三态缓存信号定义

信号名	输入输出定义	描述
I	输入	器件内部输入到缓存
OE	输入	输出使能控制
O	输出	缓存输出到管脚正端
OB	输出	缓存输出到管脚负端

7.2.3 SDR

相对于普通模式，SDR 模式采用了 I/O 寄存器，如图 7-3 所示，可以有效地改善 I/O 的时序性能。

图 7-3 SDR 模式下的输入输出逻辑结构示意图



- CLK 使能信号 O_CE 和 I_CE 可以配置为高电平使能或低电平使能。
- 时钟信号 O_CLK 和 I_CLK 可以配置为上升沿触发或下降沿触发。
- 本地置复位信号 O_SR 和 I_SR 可以配置为同步复位、同步置位、异步复位、异步置位或无本地置复位功能。
- SDR 模式下的 I/O 存储单元可以配置成普通寄存器或 Latch。

7.2.4 IDDR/ODDR

在通用 DDR 模式下，高云半导体 FPGA 产品可以支持较高的 I/O 速度，其内部逻辑和管脚的速率比为 1:2，其输入输出结构图如图 7-4 和图 7-5 所示。

图 7-4 IDDR 结构示意图



表 7-9 IDDR 信号定义

Port Name	I/O	Description
D	Input	Data Input, from port O of input buffer or port DO of IODELAY
CLK	Input	Clock Input
Q0	Output	Data Output
Q1	Output	Data Output

图 7-5 ODDR 结构示意图



表 7-10 ODDR 信号定义

Port Name	I/O	Description
D0	Input	Data Input
D1	Input	Data Input
TX	Input	Data Input
CLK	Input	Clock Input
Q0	Output	Data Output, to port I of output buffer or port DI of IODELAY
Q1	Output	Tristate Enable Output, to port OEN of tristate/inout buffer(Q0 connected)or dangling

7.2.5 IDES4/OSER4

在通用 SERDES4 模式下，内部逻辑和管脚的速率比为 1:4，其输入输出结构图如图 7-6 和图 7-7 所示。

图 7-6 IDES4 结构示意图

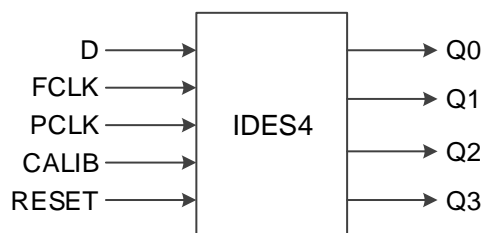


表 7-11 IDES4 信号定义

Port Name	I/O	Description
D	Input	Data Input, from port O of input buffer or port DO of IODELAY
FCLK	Input	Fast Clock Input
PCLK	Input	Primary Clock Input
CALIB	Input	Calib Signal, adjust Output
RESET	Input	Asynchronous Reset Input
Q3~Q0	Output	Data Output

图 7-7 OSER4 结构示意图

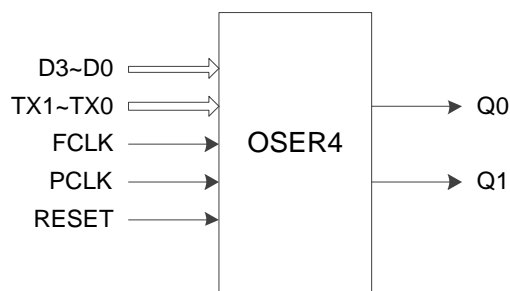


表 7-12 OSER4 信号定义

Port name	I/O	Description
D3~D0	Input	Data Input
TX1~TX0	Input	Data Input
FCLK	Input	Fast Clock Input
PCLK	Input	Primary Clock Input
RESET	Input	Asynchronous Reset Input
Q0	Output	Data Output, to port I of output buffer or port DI of IODELAY
Q1	Output	Tristate Enable Output, to port OEN of tristate/inout buffer(Q0 connected)or dangling

7.2.6 IVIDEO/OVIDEO

在通用 VEDIO 模式下，内部逻辑和管脚的速率比为 1:7，其输入输出结构图如图 7-8 和图 7-9 所示。

图 7-8 IVIDEO 结构示意图

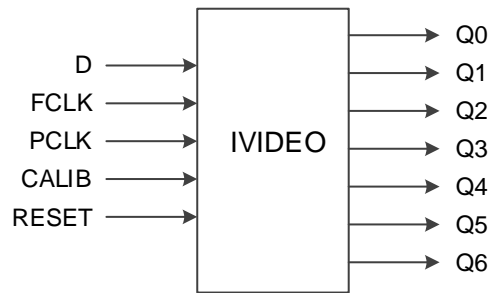


表 7-13 IVIDEO 信号定义

Port Name	I/O	Description
D	Input	Data Input, from port O of input buffer or port DO of IODELAY
FCLK	Input	Fast Clock Input
PCLK	Input	Primary Clock Input
CALIB	Input	Calib Signal Input
RESET	Input	Asynchronous Reset Input
Q6~Q0	Output	Data Output

图 7-9 OVIDEO 结构示意图

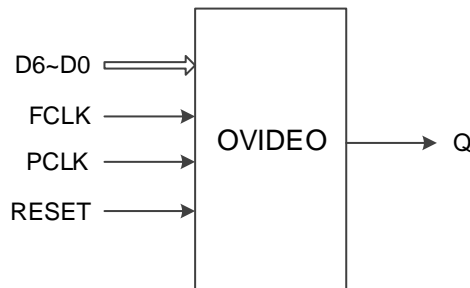


表 7-14 OVIDEO 信号定义

Port name	I/O	Description
D6~D0	Input	Data Input
FCLK	Input	Fast Clock Input
PCLK	Input	Primary Clock Input
RESET	Input	Asynchronous Reset Input
Q	Output	Data Output, to port I of output buffer or port DI of IODELAY

7.2.7 IDES8/OSER8

在通用 SERDES8 模式下，内部逻辑和管脚的速率比为 1:8，其输入输出结构图如图 7-10 和图 7-11 所示。

图 7-10 IDES8 结构示意图

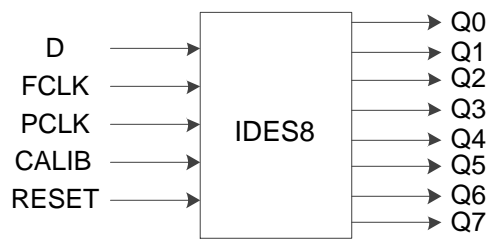


表 7-15 IDES8 信号定义

Port Name	I/O	Description
D	Input	Data Input, from port O of input buffer or port DO of IODELAY
FCLK	Input	Fast Clock Input
PCLK	Input	Primary Clock Input
CALIB	Input	Calib Signal Input
RESET	Input	Asynchronous Reset Input
Q7~Q0	Output	Data Output

图 7-11 OSER8 结构示意图

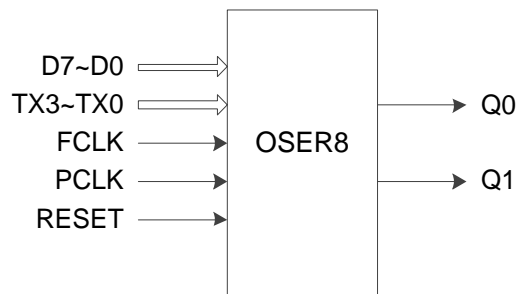


表 7-16 OSER8 信号定义

Port name	I/O	Description
D7~D0	Input	Data Input
TX3~TX0	Input	Data Input
FCLK	Input	Fast Clock Input
PCLK	Input	Primary Clock Input
RESET	Input	Asynchronous Reset Input
Q0	Output	Data Output, to port I of output buffer or port DI of IODELAY
Q1	Output	Tristate Enable Output, to port OEN of tristate/inout buffer(Q0 connected)or dangling

7.2.8 IDES10/OSER10

在通用 SERDES10 模式下，内部逻辑和管脚的速率比为 1:10，其输入输出结构图如图 7-12 和图 7-13 所示。

图 7-12 IDES10 结构示意图

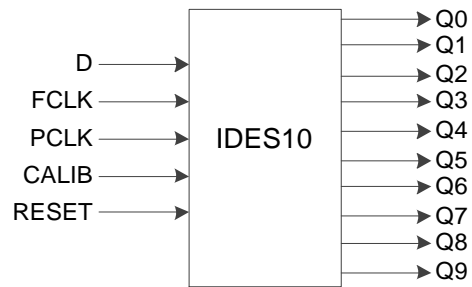


表 7-17 IDES10 信号定义

Port Name	I/O	Description
D	Input	Data Input, from port O of input buffer or port DO of IODELAY
FCLK	Input	Fast Clock Input
PCLK	Input	Primary Clock Input
CALIB	Input	Calib Signal
RESET	Input	Asynchronous Reset Input
Q9~Q0	Output	Data Output

图 7-13 OSER10 结构示意图

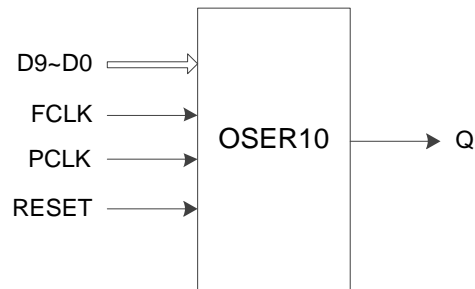


表 7-18 OSER10 信号定义

Port name	I/O	Description
D9~D0	Input	Data Input
FCLK	Input	Fast Clock Input
PCLK	Input	Primary Clock Input
RESET	Input	Asynchronous Reset Input
Q	Output	Data Output, to port I of output buffer or port DI of IODELAY

7.2.9 IDES16/OSER16

注！

本节所述内容仅适用于 GW1N-6 及 GW1N-9 器件。

在通用 SERDES16 模式下，内部逻辑和管脚的速率比为 1:16，其输入输出结构图如图 7-14 和图 7-15 所示。

图 7-14 IDES16 结构示意图

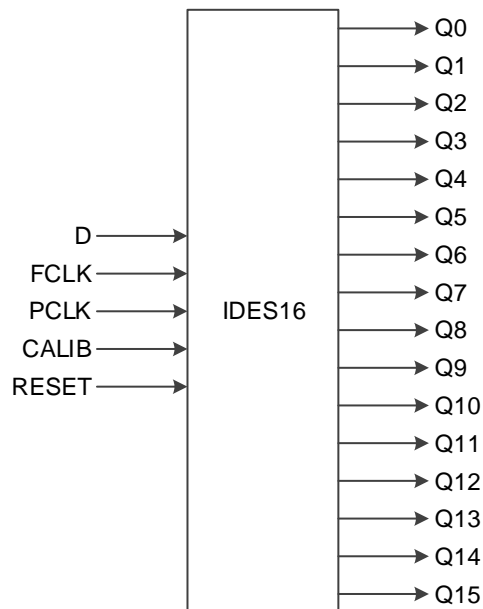


表 7-19 IDER16 信号定义

Port Name	I/O	Description
D	Input	Data Input, from port O of input buffer or port DO of IODELAY
FCLK	Input	Fast Clock Input
PCLK	Input	Primary Clock Input
CALIB	Input	Calib Signal
RESET	Input	Asynchronous Reset Input
Q15~Q0	Output	Data Output

图 7-15 OSER16 结构示意图

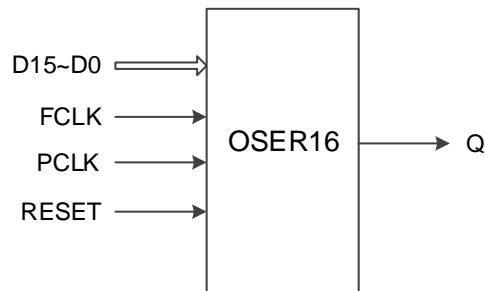


表 7-20 OSER16 信号定义

Port name	I/O	Description
D15~D0	Input	Data Input
FCLK	Input	Fast Clock Input
PCLK	Input	Primary Clock Input
RESET	Input	Asynchronous Reset Input
Q	Output	Data Output, to port I of output buffer or port DI of IODELAY

7.2.10 IDDR_MEM/IDES4_MEM/IDES8_MEM

注!

本节所述内容仅适用于 GW2A 系列 FPGA 器件:GW2A-18、GWAR-18、GW2A-55。

本节介绍的 IO 接口模式实现带 memory 的双倍/四倍/八倍数据速率输入, 如图 7-16 所示, n=1 时为 IDDR_MEM 模式, n=3 时为 IDER4_MEM 模式, n=7 时为 IDER8_MEM 模式。这些接口模式需要配合 DQS 使用, 其中, ICLK 连接 DQS 的输出信号 DQSR90, 且根据 ICLK 的时钟沿将数据输入 IO 接口; WADDR[2:0]连接 DQS 的输出信号 WPOINT; RADDR[2:0]连接 DQS 的输出信号 RPOINT。PCLK 和 ICLK 的频率关系为: $f_{PCLK} = f_{ICLK}$ 。

PCLK 和 ICLK 之间存在一定的相位关系, 可根据 DQS 的 DLLSTEP 值确定相位关系

图 7-16 带 memory 的 IO 接口倍频输入框图

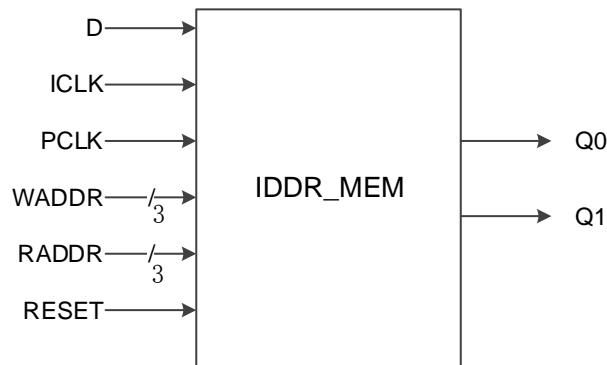


表 7-21 带 memory 的 IO 接口倍频输入信号定义

Port Name	I/O	Description
D	Input	Data Input, from port O of input buffer or port DO of IODELAY
ICLK	Input	Clock Input , from DQSR90 port of DQS
PCLK	Input	Primary Clock Input
WADDR[2:0]	Input	Write Address, from port WPOINT of DQS
RADDR[2:0]	Input	Read Address, from port RPOINT of DQS
RESET	Input	Asynchronous Reset Input
Q1~Q0	Output	Data Output

7.2.11 ODDR_MEM/OSER4_MEM/OSER8_MEM

注！

本节所述内容仅适用于 GW2A 系列 FPGA 器件:GW2A-18、GWAR-18、GW2A-55。

本节介绍的 IO 接口模式实现带 memory 的双倍/四倍/八倍数据速率输出，如图 7-17 所示。

n=0, m=1 时为 ODDR_MEM 模式；

n=1, m=3 时为 OSER4_MEM 模式；

n=3, m=7 时为 OSER8_MEM 模式。

这些接口模式需要配合 DQS 使用，TCLK 连接 DQS 的输出信号 DQSW0 或 DQSW270，且根据 TCLK 的时钟沿将数据从 IO 接口输出。

PCLK、FCLK 和 TCLK 的频率关系为： $f_{PCLK} = 1/2 f_{FCLK} = 1/2 f_{TCLK}$ 。

FCLK 和 TCLK 之间存在一定的相位关系，可根据 DQS 的 DLLSTEP 值和 WSTEP 值确定该相位关系。

图 7-17 带 memory 的 IO 接口倍频输出框图

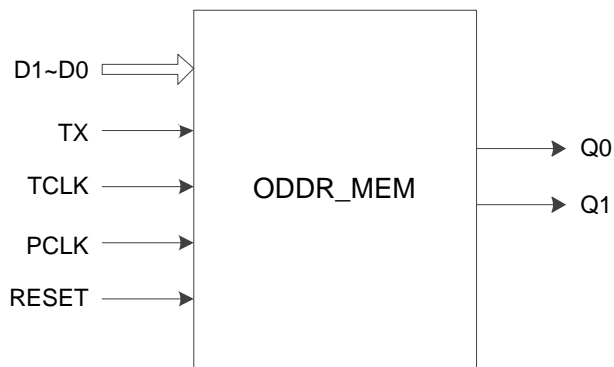


表 7-22 带 memory 的 IO 接口倍频输出信号定义

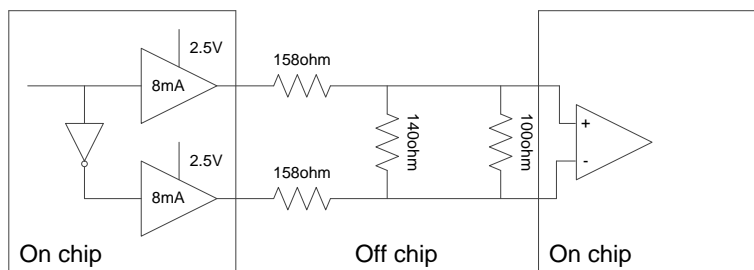
Port Name	I/O	Description
D1~D0	Input	Data Input
TX	Input	Data Input
TCLK	Input	Clock Input, from port DQSW0 or DQSW270 of DQS
PCLK	Input	Primary Clock Input
RESET	Input	Asynchronous Reset Input
Q0	Output	Data Output, to port I of output buffer or port DI of IODELAY
Q1	Output	Tristate Enable Output, to port OEN of tristate/inout buffer(Q0 connected)or dangling

8 模拟差分电路匹配网络

8.1 模拟 LVDS

高云半导体 FPGA 产品通过互补的 LVC MOS 输出加上外部匹配网络可以构建兼容 LVDS 输出标准，其外部匹配网络如图 8-1 所示。

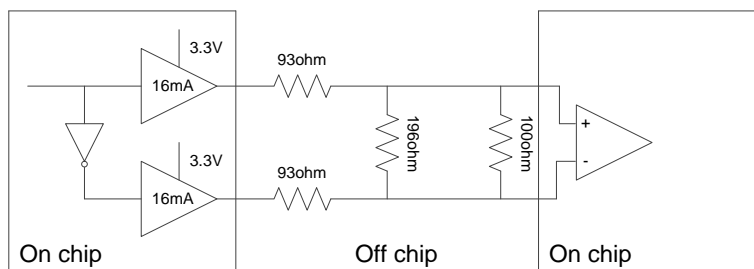
图 8-1 LVDS25E 匹配网络



8.2 模拟 LVPECL

高云半导体 FPGA 产品通过互补的 LVC MOS 输出加上外部匹配网络可以构建兼容 LVPECL 输出标准，其外部匹配网络如图 8-2 所示。

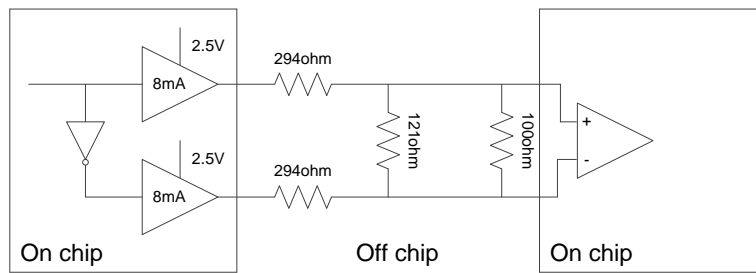
图 8-2 LVPECL 匹配网络



8.3 模拟 RSDS

高云半导体 FPGA 产品通过互补的 LVC MOS 输出加上外部匹配网络可以构建兼容 RSDS 输出标准，其外部匹配网络如图 8-3 所示。

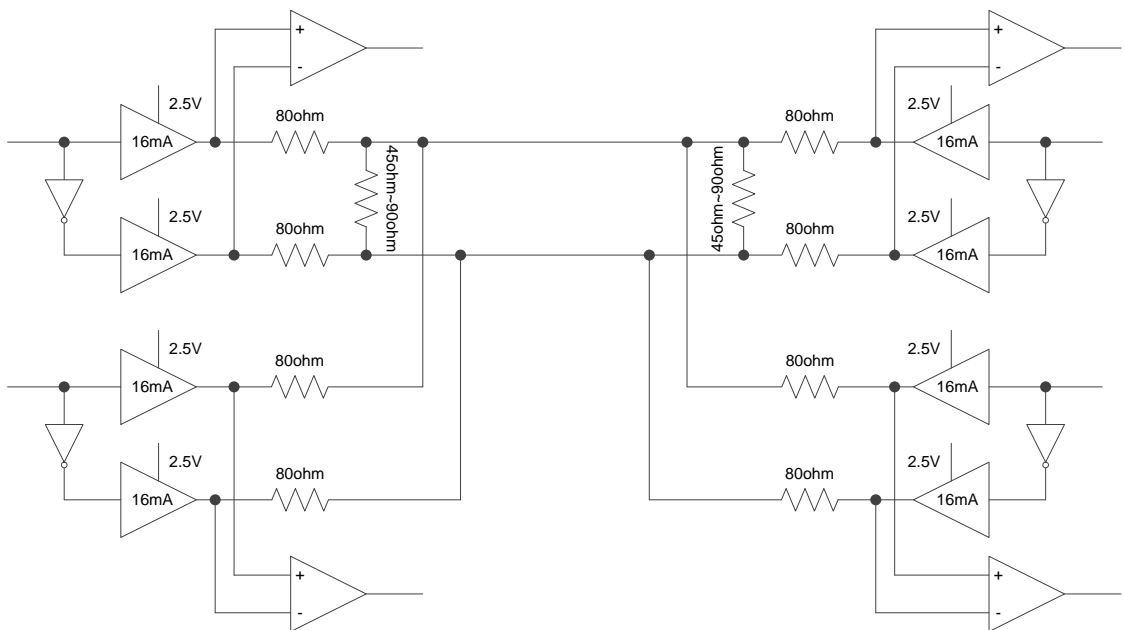
图 8-3 RSDS 匹配网络



8.4 模拟 BLVDS

高云半导体 FPGA 产品通过互补的 LVC MOS 输出加上外部匹配网络可以构建兼容 BLVDS 输出标准，其外部匹配网络如图 8-4 所示。

图 8-4 BLVDS 匹配网络



9 设计考虑和用法

9.1 系统管脚通用属性

- 所有分区支持差分输入；
- 所有分区支持模拟 LVDS 差分输出，但需要使用外部电阻网络；
- 所有分区支持上拉、下拉以及总线保持设置；
- 每个分区支持一种管脚电压；
- 每个分区支持一个参考电压信号，无论它来自外部管脚或者来自内部参考电压生成器。

9.2 系统管脚专用属性

- GW1N/GW1NR 分区 1/2/3 支持真 LVDS 差分输出缓存；GW2A/GW2AR 所有分区都支持真 LVDS 差分输出。
- GW1N/GW1NR 分区 0 支持内部 100 欧姆输入差分匹配电阻；GW2A/GW2AR 分区 0/1 支持 100 欧姆输入差分匹配电阻。

