

GW1NS & GW1NSR & GW1NSE & GW1NSER 系列 FPGA 产品原理图指导手册

简介

使用高云半导体 GW1NS & GW1NSR & GW1NSE & GW1NSER 系列 FPGA 产品做电路板设计时需遵循一系列规则。本文档详细描述了 GW1NS & GW1NSR & GW1NSE & GW1NSER 系列 FPGA 产品相关的一些器件特性和特殊用法，并给出校对表用于指导原理图设计，主要内容如下：

- 电源
- JTAG
- MSPI
- 时钟管脚
- 差分管脚
- READY、RECONFIG_N、DONE
- MODE
- JTAGSEL_N
- FASTRD_N
- 配置管脚复用
- 外接晶振电路参考
- Bank 电压
- 各器件支持的配置模式
- MIPI
- ADC
- USB
- 管脚分配

电源

概述

GW1NS & GW1NSR & GW1NSE & GW1NSER 系列 FPGA 产品支持三个版本，即 LX 版本、UX 版本和 LV 版本。电压种类包括 V_{CC} 核电压、 V_{CCX}

辅助电压和 V_{CC0} Bank 电压。

LX 版本器件内部没有线性稳压器，辅助电压 V_{CCX} 需要设置为 1.8V，I/O Bank 电压 V_{CC0} 可根据需要在 1.2V、1.5V、1.8V 电压中设置。

UX 版本内部集成线性稳压器，支持辅助电压 V_{CCX} 设置为 2.5V、3.3V，I/O Bank 电压 V_{CC0} 可根据需要在 1.2V、1.5V、1.8V、2.5V、3.3V 电压中设置，需要注意的是 V_{CCX} 需大于或者等于 V_{CC0} 。

LV 版本器件内部没有线性稳压器，辅助电压 V_{CCX} 支持 1.8V、2.5V 和 3.3V，I/O Bank 电压 V_{CC0} 可根据需要在 1.2V、1.5V、1.8V、2.5V、3.3V 电压中设置

注！

UX 版本和 LX 版本功能相同并且管脚兼容。

三个版本 V_{CC} 核电压都是 1.2V。 V_{CCX} 为辅助电源，用于给芯片内部部分电路供电，支持 1.8V、2.5V、3.3V 电压，芯片启动后，可关闭 V_{CCX} 电压。 V_{CC0} Bank 电压根据需要可在 1.2V、1.5V、1.8V、2.5V、3.3V 电压中设置。

电源指标

电源电压必须达到推荐工作范围内，器件才能正常工作。表 1 列出了各电源电压的推荐工作范围。

表 1 推荐工作范围

名称	描述	最小值	最大值
V_{CC}	核电压	1.14V	1.26V
V_{CC0x}	LX 版本器件 I/O Bank 电压	1.14V	1.89V
	UX 版本器件 I/O Bank 电压	1.14V	3.465V
	UX 版本器件的 V_{CCX} 需大于或者等于 V_{CC0x}		
	LV 版本器件 I/O Bank 电压	1.14V	3.465V
V_{CCX}	LX 版本器件辅助电压	1.71V	1.89V
	UX 版本器件辅助电压	2.375V	3.465V
	UX 版本器件的 V_{CCX} 需大于或者等于 V_{CC0x}		
	LV 版本器件辅助电压	1.71V	3.465V

总体功耗

针对特定密度、封装和资源利用率，可以使用云源软件 GPA 工具进行功耗评估和分析。

电源上升斜率

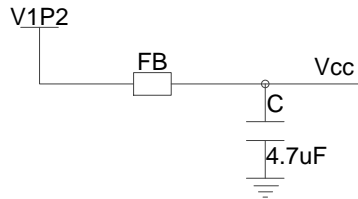
电源上电时间参考范围值：0.01mV/ μ s ~10mV/ μ s。

电源滤波

每一个 FPGA 电源输入脚就近连接一个 0.1 μ F 陶瓷电容到地；

对于 V_{CC} 核电压输入端要重点进行噪声处理，如下图所示：

图 1 V_{CC} 核电压输入端噪声处理



其中 FB 为磁珠，参考型号 MH2029-221Y，4.7uF 为陶瓷电容，精度不低于±20%。

JTAG

JTAG 概述

JTAG 接口用于将比特流数据下载到 FPGA 的 SRAM、片内 FLASH 或片外 FLASH 中。

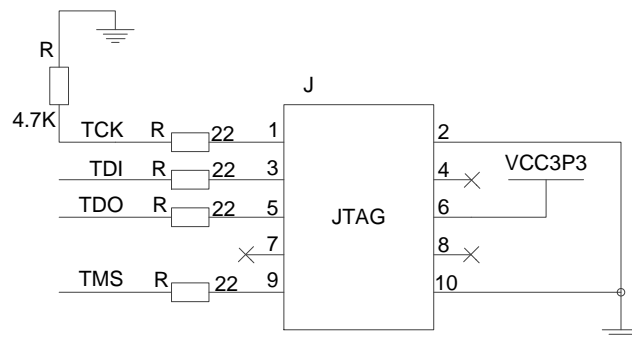
信号定义

表 2 JTAG 配置模式信号定义

名称	I/O 类型	说明
TCK	I	JTAG 串行时钟输入
TMS	I, 内部弱上拉	JTAG 串行模式输入
TDI	I, 内部弱上拉	JTAG 串行数据输入
TDO	O	JTAG 串行数据输出

JTAG 电路参考

图 2 JTAG 电路参考



注！

JTAG 插座第 6 脚的电源，根据实际情况可调整为 VCC1P2、VCC1P5、VCC1P8、VCC2P5。

MSPI

MSPI 概述

MSPI 配置模式，即 FPGA 作为主器件，通过 SPI 接口主动从外部 Flash 读取配置数据到 FPGA 的 SRAM 中。

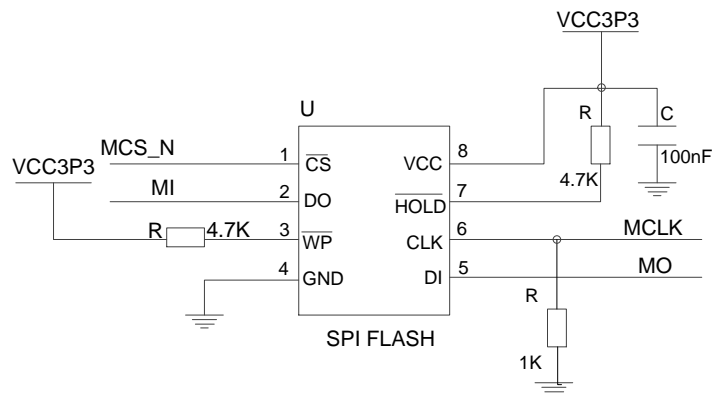
信号定义

表 3 MSPI 配置模式的信号定义

名称	I/O 类型	说明
MCLK	O	MSPI 模式下时钟输出
MCS_N	O	MSPI 模式下的使能信号，低电平有效
MI	I	MSPI 模式下数据输入
MO	O	MSPI 模式下数据输出

MSPI 电路参考

图 3 MSPI 电路参考



注!

MCLK 信号需加 1K 下拉电阻。

时钟管脚

概述

时钟管脚包括 GCLK 全局时钟管脚和 PLL 时钟管脚。

- **GCLK:** GCLK 在产品中按象限分布，分成 L、R 两个象限，每个象限提供 8 个 GCLK 网络，每个 GCLK 可选时钟源包括专用的时钟输入管脚和普通的布线资源单元 (CRU)，使用专用的时钟输入管脚可以取得更好的时钟性能；
- **PLL:** 通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。

信号定义

表 4 时钟管脚的信号定义

名称	I/O 类型	说明
GCLKT_[x]	I/O	全局时钟输入管脚, T(True), [x]: 全局时钟序号
GCLKC_[x]	I/O	全局时钟输入管脚, C(Comp), [x]: 全局时钟序号
LPLL_T_fb/RPLL_T_fb	I	左边/右边 PLL 反馈输入管脚, T(True)
LPLL_C_fb/RPLL_C_fb	I	左边/右边 PLL 反馈输入管脚, C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边 PLL 时钟输入管脚, T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边 PLL 时钟输入管脚, C(Comp)

时钟输入选择

如果外部时钟作为 PLL 时钟输入, 建议从 PLL_T 端输入。

GCLK 是全局时钟, 直接连接到器件的所有资源, 建议从 GCLK_T 端输入。

差分管脚

概述

差分传输是一种信号传输的技术, 区别于传统的一根信号线一根地线的做法, 差分传输在这两根线上都传输信号, 这两个信号的振幅相等, 相位相同, 极性相反。

差分类型

表 5 差分类型

I/O输出标准	单端/差分	Bank V _{CC0} (V)	输出驱动能力(mA)
LVPECL33E	差分	3.3	16
MVLDS25E	差分	2.5	16
BLVDS25E	差分	2.5	16
RSDS25E	差分	2.5	8
LVDS25E	差分	2.5	8
LVDS25	差分	2.5/3.3	3.5/2.5/2/6
RSDS	差分	2.5/3.3	2
MINILVDS	差分	2.5/3.3	2
PPLVDS	差分	2.5/3.3	3.5
SSTL15D	差分	1.5	8

I/O输出标准	单端/差分	Bank V _{CCO} (V)	输出驱动能力(mA)
SSTL25D_I	差分	2.5	8
SSTL25D_II	差分	2.5	8
SSTL33D_I	差分	3.3	8
SSTL33D_II	差分	3.3	8
SSTL18D_I	差分	1.8	8
SSTL18D_II	差分	1.8	8
HSTL18D_I	差分	1.8	8
HSTL18D_II	差分	1.8	8
HSTL15D_I	差分	1.5	8

注!

具体差分管脚位置请参考各 pinout 手册。

RECONFIG_N、READY、DONE

概述

RECONFIG_N，相当于 FPGA 编程配置的复位功能，RECONFIG_N 拉低时 FPGA 无法进行任何方式的配置操作。

作为配置管脚时，需要一个脉冲宽度不少于 25ns 的低电平启动 GowinCONFIG 配置模式，使器件按照 MODE 设置值重新加载比特流数据。用户也可以通过编写逻辑控制此管脚，从而按照自身需求触发器件进行重新配置。

READY，只有 READY 拉高时 FPGA 才能进行配置操作，READY 信号拉低后需采用器件上电或触发 RECONFIG_N 的方式恢复状态。

作为配置管脚时，若为 output 类型，可以指示 FPGA 当前能否进行配置。当器件具备配置条件时，READY 信号为高电平；若配置失败，则 READY 信号变为低电平。若为 input 类型，用户可通过自身逻辑或在器件外部人为拉低 READY 信号以延迟配置过程。

DONE，FPGA 配置成功的标志信号，配置成功后 DONE 信号拉高。

作为配置管脚时，若为 output 类型，可以指示 FPGA 当前配置过程是否成功。当配置成功时，DONE 信号为高电平，器件进入工作状态；配置过程未完成或配置失败时，DONE 信号保持低电平状态。若为 input 类型，用户可通过自身逻辑或在器件外部人为拉低 DONE 信号以延迟其进入用户模式。

RECONFIG_N 或 READY 保持低电平状态时，DONE 信号也会保持在低电平状态。使用 JTAG 电路配置 SRAM 的过程中，DONE 信号的值没有参考意义。

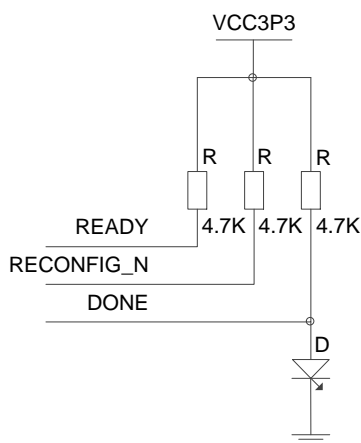
信号定义

表 6 信号定义

名称	I/O 类型	说明
RECONFIG_N	I, 内部弱上拉	低电平脉冲: 开始新的 GowinCONFIG 配置
READY	I/O	高电平: 当前可以对器件进行编程配置
		低电平: 无法对器件进行编程配置
DONE	I/O	高电平: 成功完成编程配置
		低电平: 未完成编程配置或编程配置失败

READY、RECONFIG_N、DONE 参考电路

图 4 READY、RECONFIG_N、DONE 参考电路



注!

上拉电源为对应配置管脚位置的 Bank 电压值 VCC00。

MODE

概述

MODE 包括 MODE0、MODE1、MODE2, 是 GowinCONFIG 配置模式选择信号。FPGA 上电或低电平脉冲触发 RECONFIG_N 时, 器件根据 MODE 值进入相应的 GowinCONFIG 状态。由于每个封装类型的管脚数目不同, 有些器件的 MODE 管脚未完全封装出来, 未封装出来的 MODE 管脚在器件内部已接地, 具体请参考相应器件的 PINOUT 手册。

信号定义

表 7 信号定义

名称	I/O 类型	说明
MODE2	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口
MODE1	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口

名称	I/O 类型	说明
MODE0	I, 内部弱上拉	GowinCONFIG 配置模式选择信号端口

模式选择

表 8 模式选择

配置模式	MODE[2:0]	相关说明	
JTAG	XXX	外部 Host 通过 JTAG 接口对小蜜蜂®(LittleBee®)家族 FPGA 产品进行配置	
GowinCONFIG	AUTO BOOT	000	FPGA 从内置 Flash 读取配置数据进行配置
	SSPI	001	外部 Host 通过 SPI 接口对小蜜蜂®(LittleBee®)家族 FPGA 产品进行配置
	MSPI	010	FPGA 作为 Master, 通过 SPI 接口从外部 Flash (或其他器件) 读取配置数据进行配置
	DUAL BOOT	110	FPGA 优先选择外部 Flash 读取配置数据进行配置, 外部 Flash 配置失败时选择从内部 Flash 进行配置
	SERIAL	101	外部 Host 通过 DIN 接口对小蜜蜂®(LittleBee®)家族 FPGA 产品进行配置
	CPU	111	外部 Host 通过 DBUS 接口对小蜜蜂®(LittleBee®)家族 FPGA 产品进行配置

JTAGSEL_N

概述

JTAG 模式选择信号。若在云源软件中设置 JTAG 管脚复用为 GPIO, 则器件上电后进行一次成功的配置后 JTAG 管脚变为 GPIO, JTAG 配置功能失效, 用户可通过拉低 JTAGSEL_N 进行恢复; 如果用户未设置 JTAG 管脚复用, 则 JTAG 配置功能一直可用。

信号定义

表 9 信号定义

管脚名称	I/O 类型	说明
JTAGSEL_N	I, 内部弱上拉	将 JTAG 管脚从 GPIO 恢复为配置管脚, 低电平有效

注!

JTAGSEL_N 管脚与 JTAG 配置的 4 个管脚 (TCK、TMS、TDI、TDO) 设置为 GPIO 时存在互斥关系: JTAGSEL_N 设置为 GPIO 时, JTAG 管脚只能作为配置管脚; JTAG 管脚设置为 GPIO 时, JTAGSEL_N 只能作为配置管脚。

FASTRD_N

概述

MSPI 配置模式读取 SPI Flash 速度选择信号。当 FASTRD_N 为高电平时为普通读取模式；当 FASTRD_N 为低电平时为高速读取模式。各个厂家的 Flash 高速读取操作指令不同，具体请参考相应 Flash 的数据手册。

信号定义

表 10 信号定义

管脚名称	I/O 类型	说明
FASTRD_N	I/O	<ul style="list-style-type: none">● 作为配置管脚类型输入，内部弱上拉，READY 信号上升沿时采样 MSPI 配置速度模式；● 作为 GPIO 时，可用作输入或输出类型。

注！

- 高电平：普通 Flash 访问模式，时钟频率不得高于 30MHz；
- 低电平：高速 Flash 访问模式，时钟频率范围大于 30MHz，小于 80MHz。

配置管脚复用

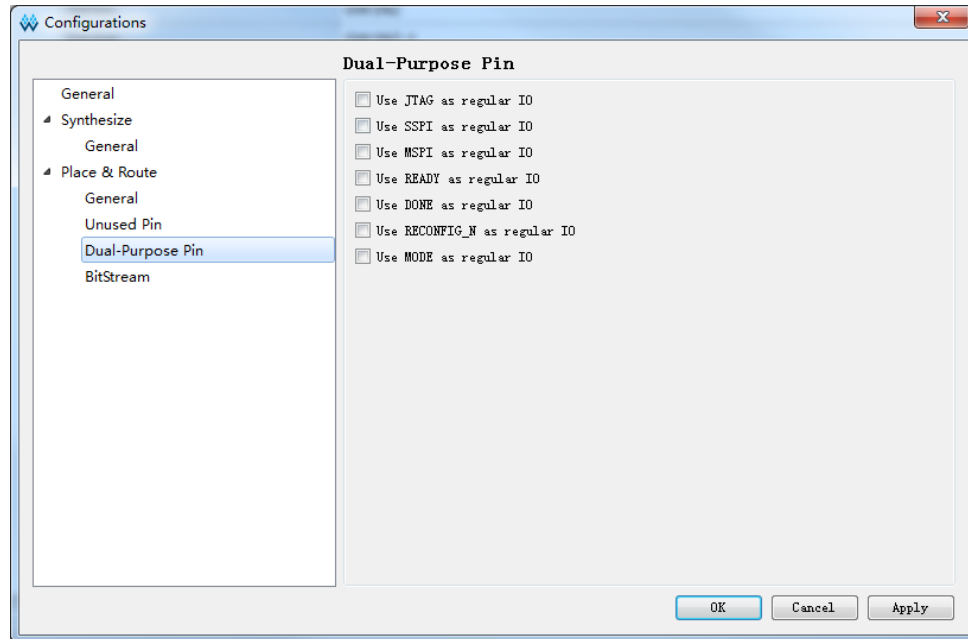
概述

配置管脚复用指的是在上电瞬间执行的是配置功能，下载完比特流文件后作为普通 IO 使用。

通过 Gowin 云源软件配置管脚复用：

1. 打开 Gowin 云源软件中相应的工程；
2. 在菜单栏中选择“Project > Configuration > Dual-Purpose Pin”，如图 5 所示；
3. 勾选对应选项设置配置管脚的复用情况。

图 5 配置管脚复用



管脚复用

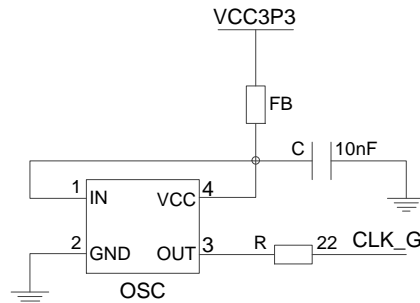
- SSPI: 作为 GPIO 时, 可用作 input 或 output 类型;
- MSPI: 作为 GPIO 时, 可用作 input 或 output 类型;
- RECONFIG_N: 作为 GPIO 时, 只能用作 output 类型。为保障配置过程顺利进行, 用户复用 RECONFIG_N 管脚时需将其初始值置为高电平;
- READY: 作为 GPIO 时, 可用作 input 或 output 类型。READY 用作 input 类型的 GPIO 时需保证配置开始前其初始值为 1, 否则 FPGA 无法进行配置;
- DONE: 作为 GPIO 时, 可用作 input 或 output 类型。DONE 用作 input 类型的 GPIO 时需保证配置开始前其初始值为 1, 否则配置结束后 FPGA 无法进入用户模式;
- JTAG: 作为 GPIO 时, 可用作 input 或 output 类型;
- JTAGSEL_N: 作为 GPIO 时, 可用作 input 或 output 类型。
- MODE: 作为 GPIO 时, 可用作 input 或 output 类型。为保障配置过程顺利进行, 用户复用 MODE 管脚时需要保证在配置的时候(上电或者低电平脉冲触发 RECONFIG_N)提供正确的配置模式值。MODE 最多可复用三个管脚, 未封装出来的器件内部接地, 具体请参考相应器件的 PINOUT 手册。不同的配置模式对应的 MODE 值请参考相应器件的配置与编程手册。

注!

如果 IO 口数量够使用, 优先使用非复用管脚。

FPGA 外接晶振电路参考

图 6 FPGA 外接晶振电路



其中 FB 为磁珠，参考型号 MH2029-221Y；电阻精度不低于 $\pm 5\%$ ；电容精度不低于 $\pm 20\%$

Bank 电压

各器件的 Bank 供电要求请参考如下文档中的 Power 部分。

- [UG825](#)，GW1NS-2C 器件 Pinout 手册
- [UG822](#)，GW1NS-2 器件 Pinout 手册
- [UG824](#)，GW1NS-4&4C 器件 Pinout
- [UG862](#)，GW1NSR-2&2C 器件 Pinout 手册
- [UG864](#)，GW1NSR-4 器件 Pinout 手册
- [UG865](#)，GW1NSR-4C 器件 Pinout 手册
- [UG872](#)，GW1NSE-2C 器件 Pinout
- [UG883](#)，GW1NSER-4C 器件 Pinout

各器件支持的配置模式

GW1NS-2

表 11 GW1NS-2 配置模式

配置模式	JTAG	AUTO BOOT	DUAL BOOT	MSPI	SSPI	SERIAL	CPU
QN32	Yes	Yes	N/A	N/A	Yes	N/A	N/A
QN32U	Yes	Yes	N/A	N/A	N/A	N/A	N/A
CS36	Yes	Yes	N/A	N/A	N/A	N/A	N/A
CS36U	Yes	Yes	N/A	N/A	N/A	N/A	N/A
QN48	Yes	Yes	N/A	N/A	N/A	N/A	N/A
LQ144	Yes	Yes	Yes	N/A	Yes	Yes	Yes

GW1NS-2C

表 12 GW1NS-2C 配置模式

配置模式	JTAG	AUTO BOOT	DUAL BOOT	MSPI	SSPI	SERIAL	CPU
QN32	Yes	Yes	N/A	N/A	Yes	N/A	N/A
QN32U	Yes	Yes	N/A	N/A	N/A	N/A	N/A
CS36	Yes	Yes	N/A	N/A	N/A	N/A	N/A
QN48	Yes	Yes	N/A	N/A	N/A	N/A	N/A
LQ144	Yes	Yes	Yes	N/A	Yes	Yes	Yes

GW1NS-4/4C

表 13 GW1NS-4/4C 配置模式

配置模式	JTAG	AUTO BOOT	MSPI
CS49	Yes	Yes	N/A
QN48	Yes	Yes	Yes
MG64	Yes	Yes	N/A

GW1NSR-2/2C

表 14 GW1NSR-2/2C 配置模式

配置模式	JTAG	AUTO BOOT
QN48	Yes	Yes

GW1NSE-2C

表 15 GW1NSE-2C 配置模式

配置模式	JTAG	AUTO BOOT
QN48	Yes	Yes
LQ144	Yes	Yes

GW1NSER-4C

表 16 GW1NSER-4C 配置模式

配置模式	JTAG	AUTO BOOT
QN48G	Yes	Yes
QN48P	Yes	Yes

GW1NSR-4C

表 17 GW1NSR-4C 配置模式

配置模式	JTAG	AUTO BOOT
MG64P	Yes	Yes

MIPI

GW1NS 系列 FPGA 产品支持内嵌的 MIPI 接口模块。GW1NS-2 的

BANK0 为 MIPI 输入端口，BANK2 为 MIPI 输出端口；GW1NS-4 的 BANK0/BANK1 为 MIPI 输入，BANK2 支持 MIPI 输出。

注！

- GW1NS-2C/2 不论是 LX 版本还是 UX 版本的器件，BANK0 用作 MIPI 输入时 V_{CC00} 需设置为 1.2V，BANK2 用作 MIPI 输出时 V_{CC02} 需设置为 1.2V；并且 LX 版本的 MIPI 的速度仅能达到 UX 版本器件的 MIPI 速度的 60%；
- GW1NS-4C/4 器件 BANK0/BANK1 用作 MIPI 输入时， V_{CC00}/V_{CC01} 需设置为 1.2V，BANK2 用作 MIPI 输出时 V_{CC02} 需设置为 1.2V；并且 V_{CCX} 设置为 1.8V 时 MIPI 的速度仅能达到 V_{CCX} 设置为 2.5V/3.3V 时 MIPI 速度的 60%；

ADC

GW1NS-2C/2 器件内部集成了一个 8 通道单端 12bit SAR 模数转换器，是一款低功耗，低漏电流、高动态性能的中速 ADC。

动态性能：

- 转换速率：最大 1MHz
- 动态范围：> 81dB SFDR，> 62db SINAD
- 线性性能：INL<1LSB，DNL<0.5LSB，无失码。

ADC 的参考电压：

- 通过配置参数可以使能/不使能参考电压：
 $VREF_EN=1$ ，使能；
 $VREF_EN=0$ ，不使能，此时，Vref 由 Vccx 提供。
- 当 Vref 使能的时候，有两种方式提供 Vref：内部和外部。
内部由 Vccx 提供，通过配置参数 $VREF_SEL$ ，支持 7 种参考电压；外部由 IO 管脚 VREF 提供。

注！

- ADC 信号管脚入口建议增加 10uF 电容
- 建议优先使用外部参考电压

USB

GW1NS-2C/2 器件内嵌 USB2.0 PHY，480Mbps 数据速率，兼容 USB1.1 1.5/12Mbps 速率，即插即用，热插拔。

注！

- FPGA 芯片的 VBUS 管脚需与 USB 接插件上的 VBUS 连接；
- FPGA 芯片的 ID 管脚需与 USB 接插件上的 ID 连接；
- FPGA 芯片的 XIN 和 XOUT 管脚需与外部 12Mhz 的晶体连接；
- FPGA 芯片的 REXT 管脚必须外接下拉 12.7K，精度 1% 的电阻。

管脚分配

在电路设计前需要对 FPGA 的管脚分配进行全局统筹，针对应用结合器

件架构特性做出合理的选择，包括 IO LOGIC、全局时钟资源、PLL 资源、差分信号资源等。

注！

配置过程中，器件的所有 I/O（除 TCK 外）均为内部弱上拉，配置完成后 I/O 状态由用户程序和约束控制。

技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: 00 86 0755 82620391

版本信息

日期	版本	说明
2020/07/28	1.0	初始版本。

版权所有© 2020 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。